

【11】 證書號數：I497910**【45】 公告日：**中華民國 104 (2015) 年 08 月 21 日**【51】 Int. Cl.：** **H03K19/003 (2006.01)****H03K17/16 (2006.01)**

發明

全 9 頁

【54】 名 稱：雜訊過濾電路以及積體電路

NOISE FILTER CIRCUIT AND IC

【21】 申請案號：100111758**【22】 申請日：**中華民國 100 (2011) 年 04 月 06 日**【11】 公開編號：**201242249**【43】 公開日期：**中華民國 101 (2012) 年 10 月 16 日**【72】 發明人：**柯明道 (TW) KER, MING DOU；顏承正 (TW) YEN, CHENG CHEGN；陳東陽 (TW) CHEN, TUNG YANG**【71】 申請人：**國立交通大學NATIONAL CHIAO-TUNG
UNIVERSITY

新竹市東區大學路 1001 號

奇景光電股份有限公司

HIMAX TECHNOLOGIES, INC.

臺南市新市區紫棟路 26 號

【74】 代理人：洪澄文；顏錦順**【56】 參考文獻：**

US 6778004B1

US 7466175B2

US 7733165B2

審查人員：謝文元

[57]申請專利範圍

1. 一種雜訊過濾電路，適用於一積體電路，包括：一解耦合單元，耦接至上述積體電路之一電源接合墊，用以相應於位於上述積體電路之上述電源接合墊的來自一靜電放電事件之一瞬變電壓，而產生一第一電流；以及一電流放大電路，耦接於上述解耦合單元以及上述積體電路之上述電源接合墊，用以根據上述第一電流，從上述積體電路之上述電源接合墊汲取出一第二電流，其中上述解耦合單元包括至少一二極體，其中上述二極體之一接面電容形成一解耦合電容，用以解耦合位於上述積體電路之上述電源接合墊的上述瞬變電壓。
2. 如申請專利範圍第 1 項所述之雜訊過濾電路，其中於上述靜電放電事件中，相應於位於上述積體電路之上述電源接合墊的上述瞬變電壓，上述電流放大電路放大上述第一電流以得到上述第二電流，並將上述第一電流以及上述第二電流分流至一接地端。
3. 如申請專利範圍第 1 項所述之雜訊過濾電路，其中上述電流放大電路包括一電流鏡，以及上述第二電流為上述第一電流的倍數。
4. 如申請專利範圍第 1 項所述之雜訊過濾電路，其中上述解耦合單元更包括一電容，耦接於上述積體電路之上述電源接合墊以及上述電流放大電路之間。
5. 如申請專利範圍第 4 項所述之雜訊過濾電路，其中上述二極體係以從上述積體電路之上述電源接合墊至上述電容或是從上述電容至上述電流放大電路之順向導通方向連接，其中上述電容以及上述二極體之上述接面電容形成上述解耦合電容。
6. 如申請專利範圍第 4 項所述之雜訊過濾電路，其中上述二極體係以從上述積體電路之上述電源接合墊至上述電容或是從上述電容至上述電流放大電路之反向導通方向連接，其中上述電容以及上述二極體之上述接面電容形成上述解耦合電容。

(2)

7. 如申請專利範圍第 4 項所述之雜訊過濾電路，其中上述二極體係以從上述積體電路之上述電源接合墊至上述電容或是從上述電容至上述電流放大電路之順向導通方向連接。
8. 如申請專利範圍第 4 項所述之雜訊過濾電路，其中上述二極體係以從上述積體電路之上述電源接合墊至上述電容或是從上述電容至上述電流放大電路之反向導通方向連接。
9. 一種積體電路，包括：一電源接合墊；一核心電路；一雜訊過濾電路，耦接於上述電源接合墊以及上述核心電路之間，包括：一解耦合單元，耦接於上述電源接合墊，用以相應於上述電源接合墊的來自一靜電放電事件之一瞬變電壓，而產生一第一電流；以及一電流放大電路，耦接於上述解耦合單元以及上述電源接合墊，用以根據上述第一電流，從上述電源接合墊汲取出一第二電流，其中上述解耦合單元包括至少一二極體，其中上述二極體之一接面電容形成一解耦合電容，用以解耦合位於上述積體電路之上述電源接合墊的上述瞬變電壓。
10. 如申請專利範圍第 9 項所述之積體電路，其中於上述靜電放電事件中，相應於位於上述電源接合墊的上述瞬變電壓，上述電流放大電路放大上述第一電流以得到上述第二電流，並將上述第一電流以及上述第二電流分流至一接地端。
11. 如申請專利範圍第 9 項所述之積體電路，其中上述電流放大電路包括一電流鏡，以及上述第二電流為上述第一電流的倍數。
12. 如申請專利範圍第 9 項所述之積體電路，其中上述解耦合單元更包括一電容，耦接於上述電源接合墊以及上述電流放大電路之間。
13. 如申請專利範圍第 12 項所述之積體電路，其中上述二極體係以從上述電源接合墊至上述電容或是從上述電容至上述電流放大電路之順向導通方向連接，其中上述電容以及上述二極體之上述接面電容形成上述解耦合電容。
14. 如申請專利範圍第 12 項所述之積體電路，其中上述二極體係以從上述電源接合墊至上述電容或是從上述電容至上述電流放大電路之反向導通方向連接，其中上述電容以及上述二極體之上述接面電容形成上述解耦合電容。
15. 如申請專利範圍第 12 項所述之積體電路，其中上述二極體係以從上述電源接合墊至上述電容或是從上述電容至上述電流放大電路之順向導通方向連接。
16. 如申請專利範圍第 12 項所述之積體電路，其中上述二極體係以從上述電源接合墊至上述電容或是從上述電容至上述電流放大電路之反向導通方向連接。

圖式簡單說明

第 1A 圖-第 1D 圖係分別顯示傳統雜訊過濾電路；

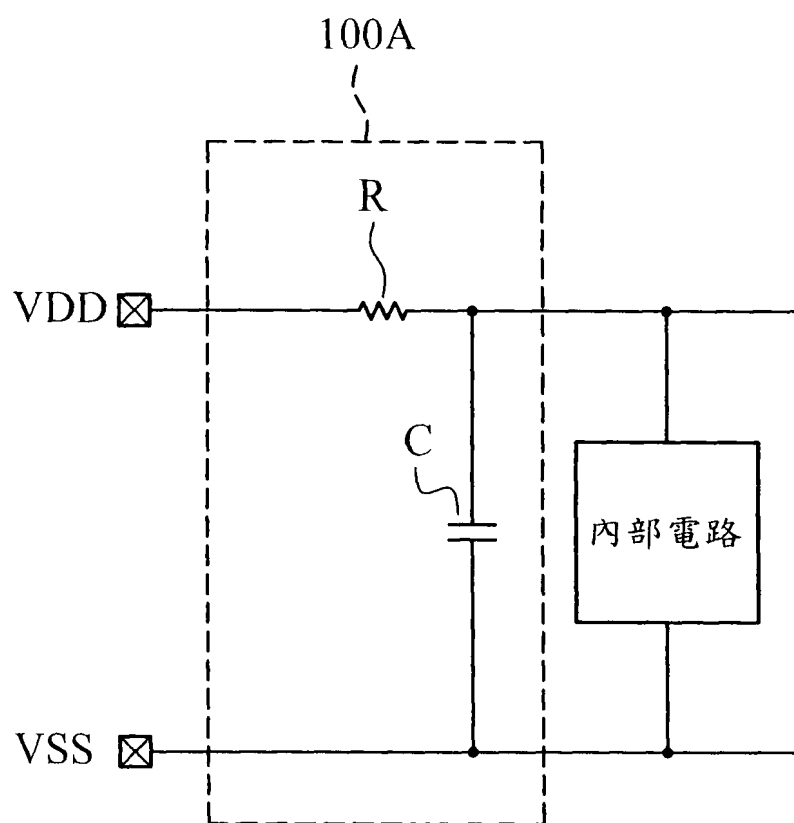
第 2 圖係顯示根據本發明一實施例所述之積體電路；

第 3 圖係顯示根據本發明一實施例所述之雜訊過濾電路；

第 4 圖係顯示透過使用欠阻尼之弦波電壓源來模擬第 3 圖在系統級之靜電放電瞬變下的示意圖；以及

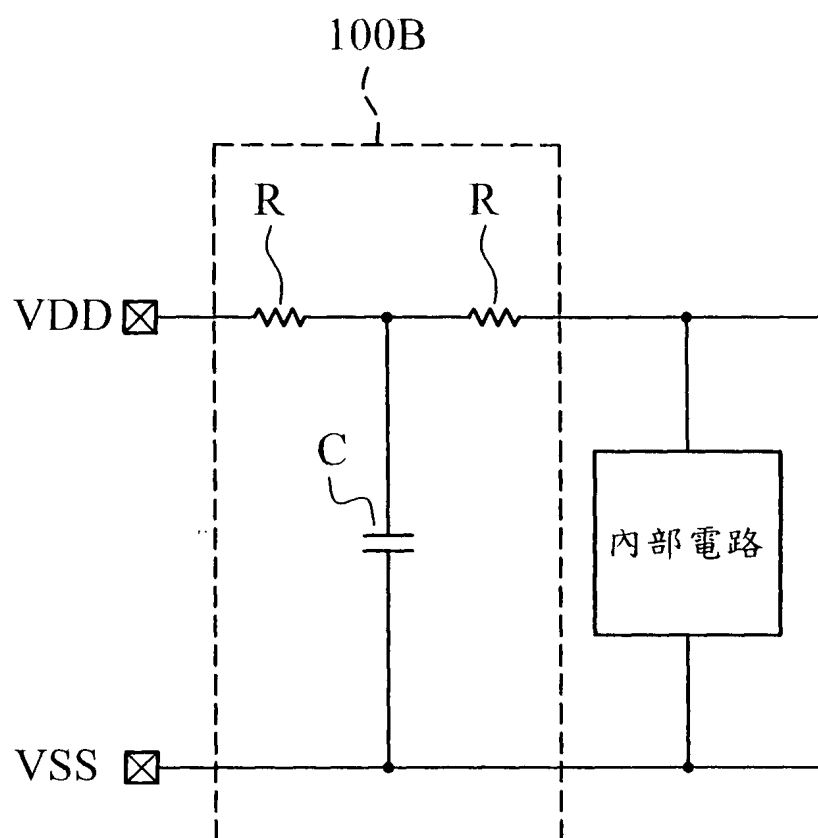
第 5A 圖-第 5D 圖係分別係顯示根據本發明其他實施例所述之雜訊過濾電路。

(3)



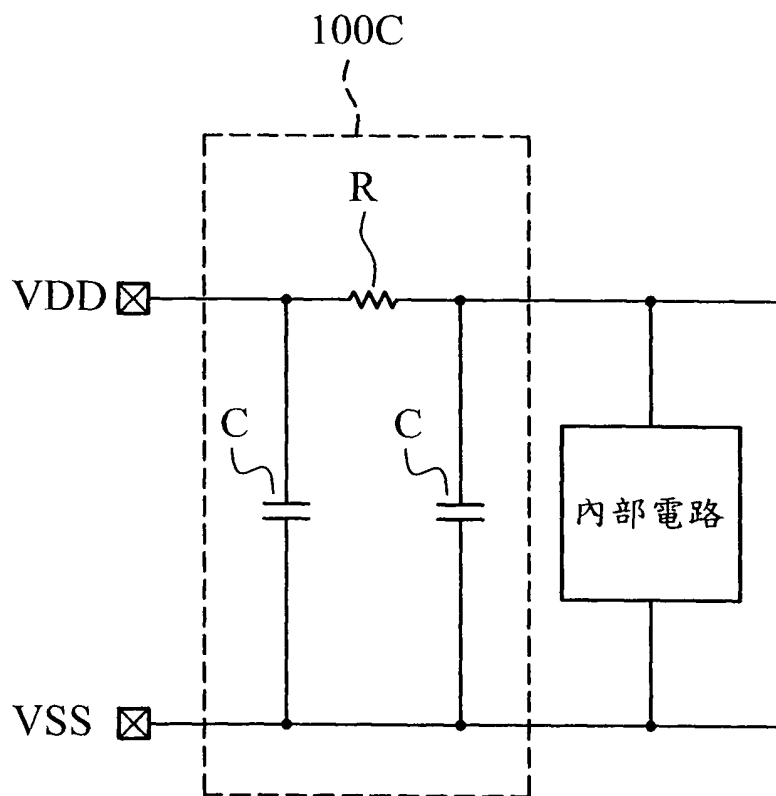
第 1A 圖

(4)



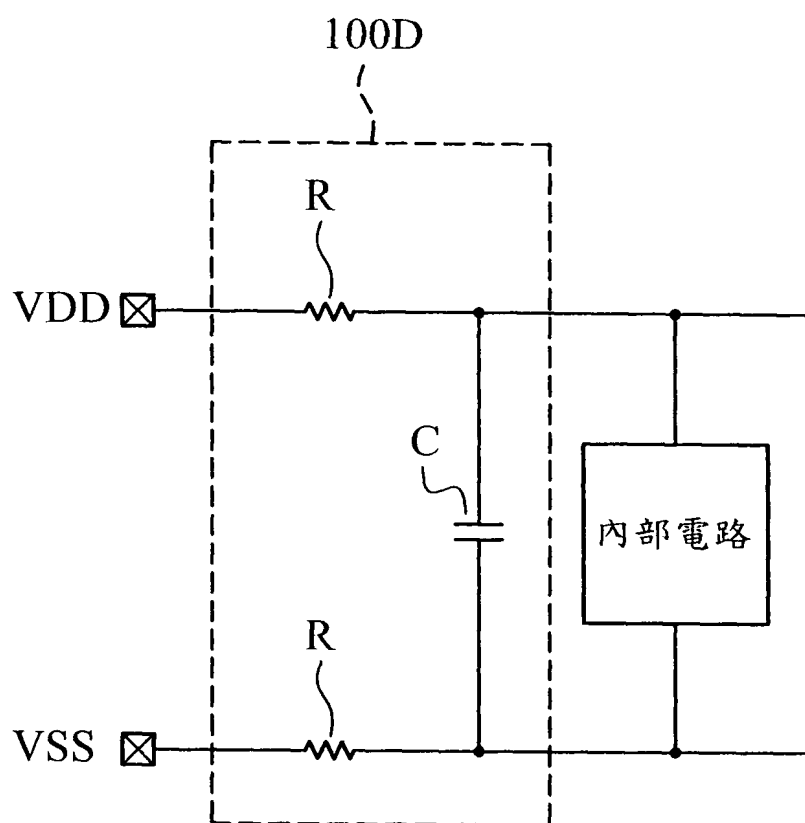
第 1B 圖

(5)

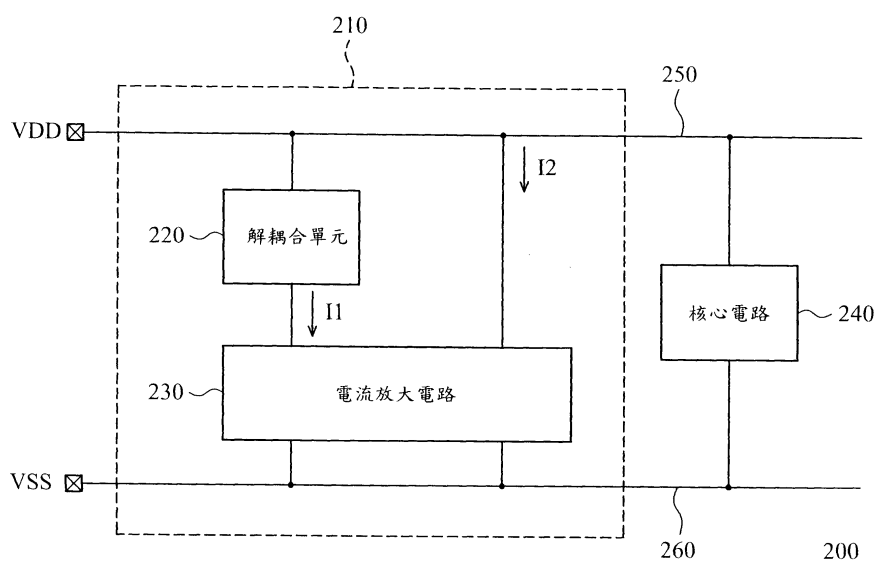


第 1C 圖

(6)

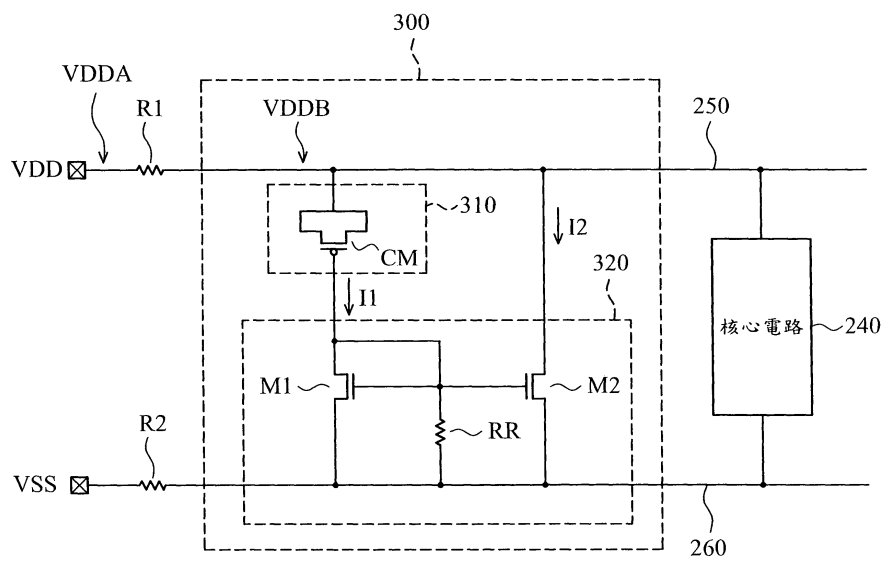


第 1D 圖

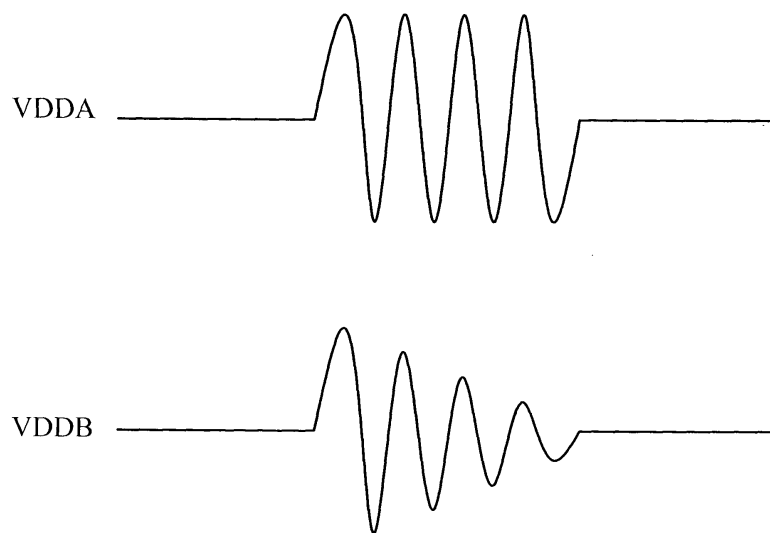


第 2 圖

(7)

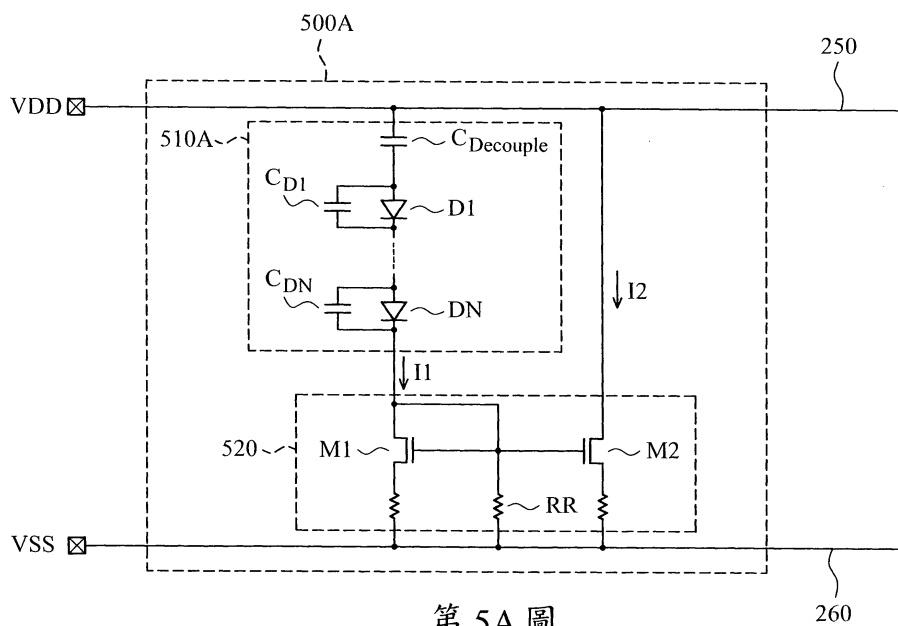


第 3 圖

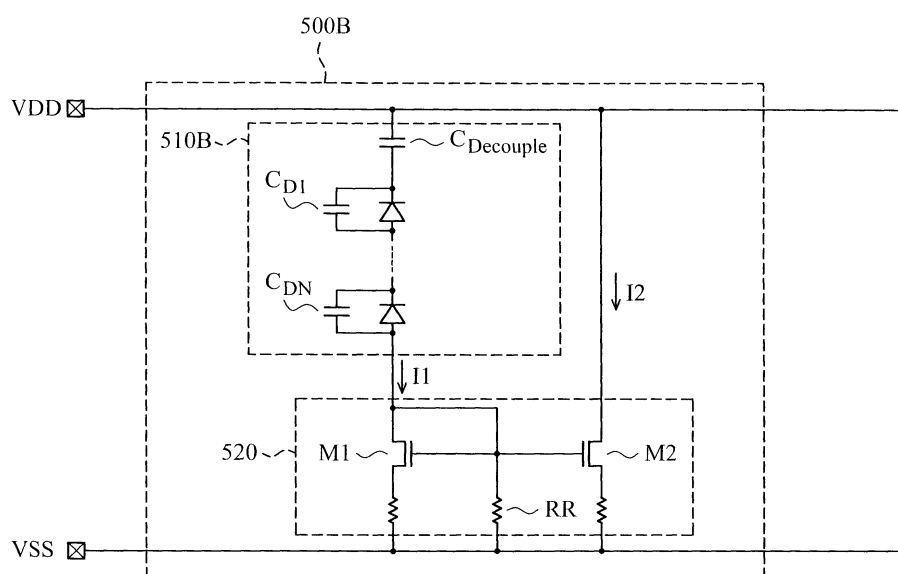


第 4 圖

(8)

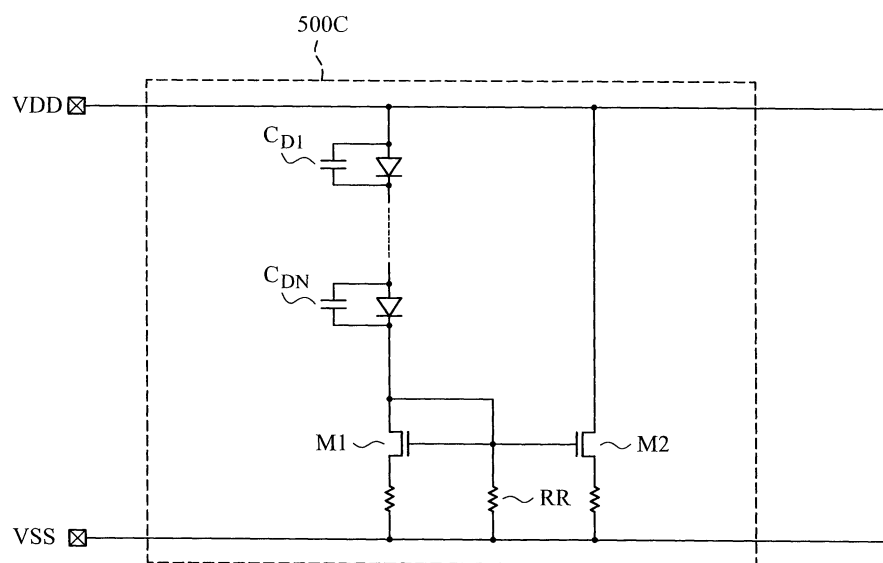


第 5A 圖

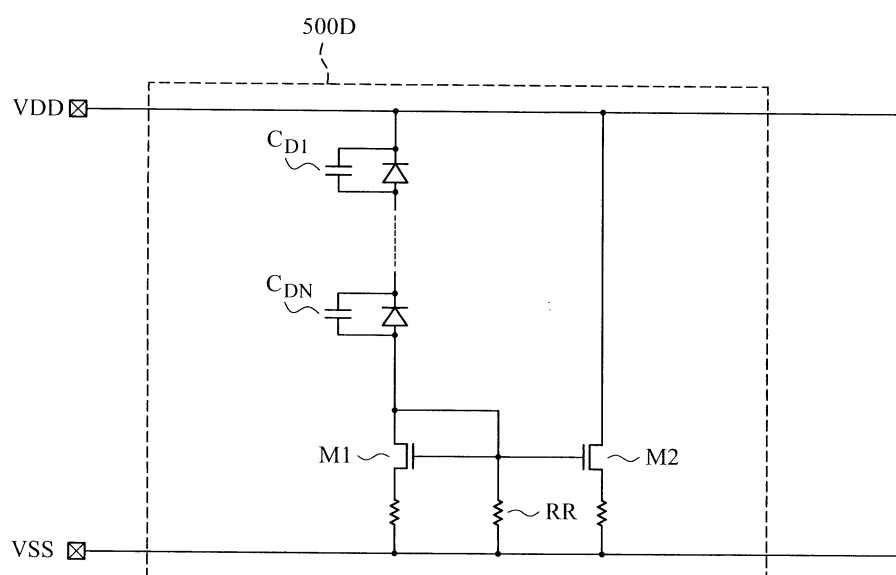


第 5B 圖

(9)



第 5C 圖



第 5D 圖