

【11】證書號數：I517227

【45】公告日：中華民國 105 (2016) 年 01 月 11 日

【51】Int. Cl.：H01L21/30 (2006.01)

發明

全 11 頁

【54】名稱：平面式放電微通道 (Micro Tubes) 結構及其製作方法

【21】申請案號：101106427

【22】申請日：中華民國 101 (2012) 年 02 月 24 日

【11】公開編號：201335980

【43】公開日期：中華民國 102 (2013) 年 09 月 01 日

【72】發明人：陳東暘 (TW) CHEN, TUNG YANG；柯明道 (TW) KER, MING DOU；姜信欽 (TW) JIANG, RYAN HSIN CHIN

【71】申請人：晶焱科技股份有限公司 AMAZING MICROELECTRONIC CORP.

新北市中和區中正路 736 號 6 樓之 6

【74】代理人：林火泉

【56】參考文獻：

TW I220313

TW I303477

CN 1828893A

審查人員：詹利澤

[57]申請專利範圍

1. 一種平面式放電微通道(Micro Tubes)結構，包含：一基板；二電極圖案，設於該基板上，該二電極圖案分別具有一尖端，該二尖端相隔一間隙；至少一分隔區塊，其係設於該基板上，並位於該間隙中；以及一第一絕緣層，其係設於該些電極圖案與該分隔區塊上，並充填該間隙，以藉該間隙與該些尖端形成至少二放電路徑，該些電極圖案係透過該放電路徑進行放電。
2. 如請求項 1 所述之平面式放電半導體結構，其中該第一絕緣層更包含：一第一子絕緣層，其係設於該些電極圖案與該分隔區塊上，並充填該間隙，該第一子絕緣層於該間隙之位置具有連通該些電極圖案之一溝槽；以及一第二子絕緣層，其係設於該第一子絕緣層上，並充填該溝槽，以藉其形成該些放電路徑。
3. 如請求項 1 所述之平面式放電微通道結構，更包含一第二絕緣層，其係設於該基板上，以供該電極圖案、該些分隔區塊與該第一絕緣層設於該第二絕緣層上。
4. 如請求項 1 所述之平面式放電微通道結構，其中每一該電極圖案之中間更具有至少一空洞。
5. 如請求項 1 所述之平面式放電微通道結構，其中該電極圖案為金屬電極圖案。
6. 如請求項 1 所述之平面式放電微通道結構，其中該分隔區塊為金屬區塊或絕緣區塊。
7. 如請求項 6 所述之平面式放電微通道結構，其中該絕緣區塊之材質為二氧化矽或氮化矽。
8. 如請求項 1 所述之平面式放電微通道結構，其中該第一絕緣層之材質為二氧化矽或氮化矽。
9. 如請求項 1 所述之平面式放電微通道結構，其中該間隙內有空氣或惰性氣體，藉此係形成該些放電路徑。
10. 如請求項 1 所述之平面式放電微通道結構，更包含一低介電常數層，其係設於該些間隙內，藉該低介電常數層係形成該些放電路徑。

(2)

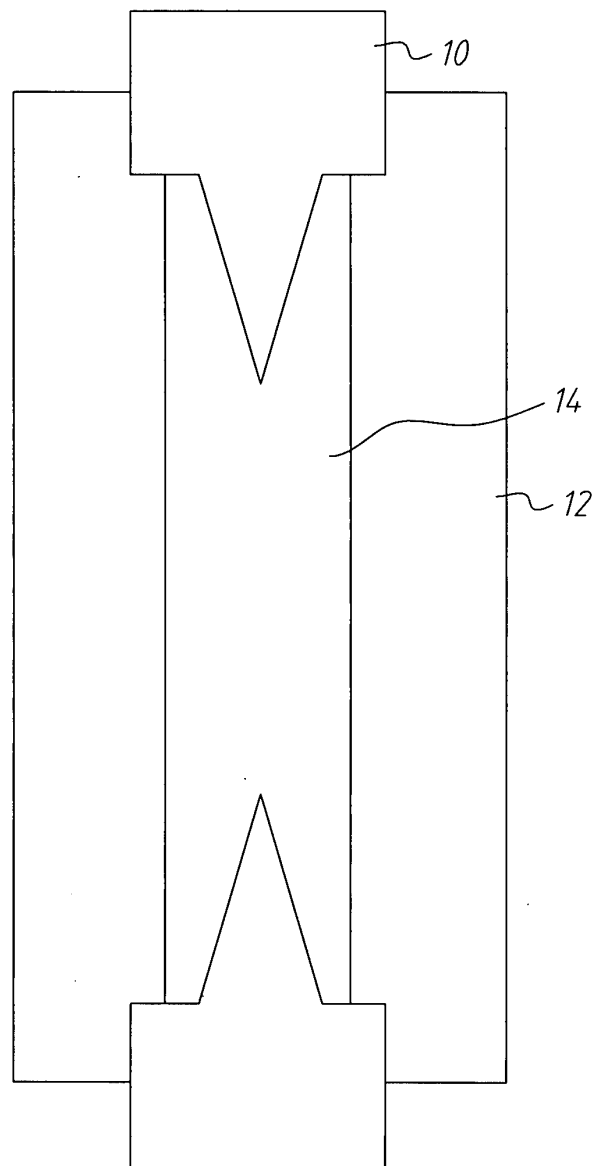
11. 如請求項 1 所述之平面式放電微通道結構，其中該基板為矽基板。
12. 如請求項 1 所述之平面式放電微通道結構，其中該第一絕緣層與該分隔區塊為相同材質。
13. 如請求項 1 所述之平面式放電微通道結構，更包含二覆蓋區塊，每一該覆蓋區塊係分別位於每一該電極圖案上，並與相鄰之該分隔區塊相隔一子間隙，其係與該間隙及該些電極圖案相連通，該第一絕緣層設於該些覆蓋區塊與該分隔區塊上，並充填該間隙與該子間隙，以藉其形成該些放電路徑。
14. 一種平面式放電微通道(MicroTubes)結構之製作方法，包含下列步驟：於一基板上形成二電極圖案與至少一分隔區塊，該二電極圖案分別具有一尖端，該二尖端相隔一間隙，該分隔區塊位於該間隙中；以及形成一第一絕緣層於該些電極圖案與該分隔區塊上，並充填該間隙，以藉該間隙與該些尖端形成連通該些電極圖案之至少二放電路徑。
15. 如請求項 14 所述之平面式放電微通道結構之製作方法，其中形成該第一絕緣層於該些電極圖案與該分隔區塊上，並充填該間隙，以藉其形成該些放電路徑之步驟，更包含下列步驟：於該些電極圖案與該分隔區塊上，形成一內絕緣層，以填滿該間隙；於該間隙之位置移除部分該內絕緣層，以於該些電極圖案與該分隔區塊上，形成具有連通該些電極圖案之一溝槽的一第一子絕緣層；以及形成一第二子絕緣層於該第一子絕緣層上，並充填該溝槽，以藉其形成該些放電路徑，使該第一絕緣層形成於該些電極圖案與該分隔區塊上。
16. 如請求項 15 所述之平面式放電微通道結構之製作方法，其中於該些電極圖案與該分隔區塊上，形成該第一子絕緣層之步驟後，係於該溝槽中形成一低介電常數層，以與該些電極圖案鄰接，接著再進行形成該第二子絕緣層於該第一子絕緣層與該低介電常數層上，以藉該低介電常數層形成該些放電路徑之步驟。
17. 如請求項 15 所述之平面式放電微通道結構之製作方法，其中該第二子絕緣層之形成方法為化學氣相沈積(CVD)法。
18. 如請求項 15 所述之平面式放電微通道結構之製作方法，其中該溝槽內有空氣或惰性氣體，藉此係形成該些放電路徑。
19. 如請求項 14 所述之平面式放電微通道結構之製作方法，其中該電極圖案為金屬電極圖案，且該分隔區塊為金屬區塊時，於該基板上形成該些電極圖案與該分隔區塊之步驟，更包含下列步驟：於該基板上形成一金屬層；以及 移除部分該金屬層，以於該基板上形成該些金屬電極圖案與該金屬區塊。
20. 如請求項 14 所述之平面式放電微通道結構之製作方法，其中在形成該些電極圖案於該基板上之步驟中，係形成中間更具有至少一空洞之每一該電極圖案於該基板上。
21. 如請求項 14 所述之平面式放電微通道結構製作方法，其中該分隔區塊為絕緣區塊。
22. 如請求項 14 所述之平面式放電微通道結構之製作方法，其中在於該基板上形成該些電極圖案與該分隔區塊之步驟前，係先於該基板上形成一第二絕緣層，再進行於該第二絕緣層上形成該些電極圖案與該分隔區塊之步驟。
23. 如請求項 14 所述之平面式放電微通道結構之製作方法，其中形成該些電極圖案與該分隔區塊於該基板上之步驟後，係於該間隙中形成一低介電常數層，以與該些電極圖案鄰接，接著再進行形成該第一絕緣層於該些電極圖案、該分隔區塊與該低介電常數層上，以藉該低介電常數層形成該些放電路徑之步驟。
24. 如請求項 14 所述之平面式放電微通道結構之製作方法，其中該第一絕緣層之形成方法為化學氣相沈積法。
25. 如請求項 14 所述之平面式放電微通道結構之製作方法，其中該間隙內有空氣或惰性氣體，藉此係形成該些放電路徑。

26. 如請求項 14 所述之平面式放電微通道結構之製作方法，其中於該基板上形成該些電極圖案與該分隔區塊之步驟，更包含下列步驟：形成該些電極圖案於該基板上；形成一內絕緣層於該些電極圖案與該基板上，以填滿該間隙；以及於該間隙之位置移除部分該內絕緣層，以形成該分隔區塊及位於每一該電極圖案上之一覆蓋區塊，該覆蓋區塊與相鄰之該分隔區塊相隔一子間隙，其係與該間隙及該些電極圖案相連通。
27. 如請求項 26 所述之平面式放電微通道結構之製作方法，其中形成該第一絕緣層於該些電極圖案與該分隔區塊上，並充填該間隙，以藉其形成該些放電路徑之步驟中，係形成該第一絕緣層於該些覆蓋區塊與該分隔區塊上，並充填該間隙與該子間隙，以藉其形成該些放電路徑。

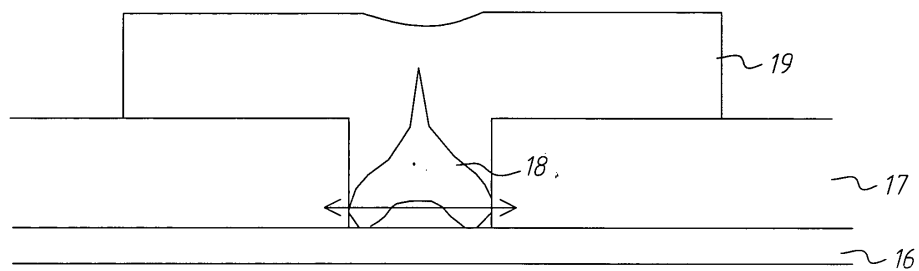
圖式簡單說明

- 第 1 圖為先前技術之氣體放電管示意圖。
- 第 2 圖為本發明之形成絕緣層於具有寬間隙之薄金屬層上之結構剖視圖。
- 第 3 圖為本發明之形成絕緣層於具有窄間隙之厚金屬層上之結構剖視圖。
- 第 4 圖為本發明之第一實施例結構剖視圖。
- 第 5 圖為本發明之第一實施例之電極圖案與分隔區塊位置示意圖。
- 第 6(a)圖至第 6(c)圖為本發明之製作第一實施例各步驟結構剖視圖。
- 第 7 圖為本發明之第二實施例結構剖視圖。
- 第 8 圖為本發明之第二實施例之電極圖案、分隔區塊與第一子絕緣層位置示意圖。
- 第 9(a)圖至第 9(e)圖為本發明之製作第二實施例各步驟結構剖視圖。
- 第 10 圖為本發明之第三實施例結構剖視圖。
- 第 11 圖為本發明之第三實施例之電極圖案與分隔區塊位置示意圖。
- 第 12(a)圖至第 12(b)圖為本發明之製作第三實施例各步驟結構剖視圖。
- 第 13 圖為本發明之第四實施例結構剖視圖。
- 第 14 圖為本發明之第四實施例之電極圖案與分隔區塊位置示意圖。
- 第 15(a)圖至第 15(b)圖為本發明之製作第四實施例各步驟結構剖視圖。
- 第 16 圖為本發明之第五實施例結構剖視圖。
- 第 17 圖為本發明之第五實施例之電極圖案、分隔區塊與第一子絕緣層位置示意圖。
- 第 18(a)圖至第 18(d)圖為本發明之製作第五實施例各步驟結構剖視圖。
- 第 19 圖為本發明之第六實施例結構剖視圖。
- 第 20 圖為本發明之第六實施例之電極圖案、分隔區塊與覆蓋區塊位置示意圖。
- 第 21(a)圖至第 21(d)圖為本發明之製作第六實施例各步驟結構剖視圖。
- 第 22 圖為本發明之電極圖案與複數分隔區塊位置示意圖。

(4)

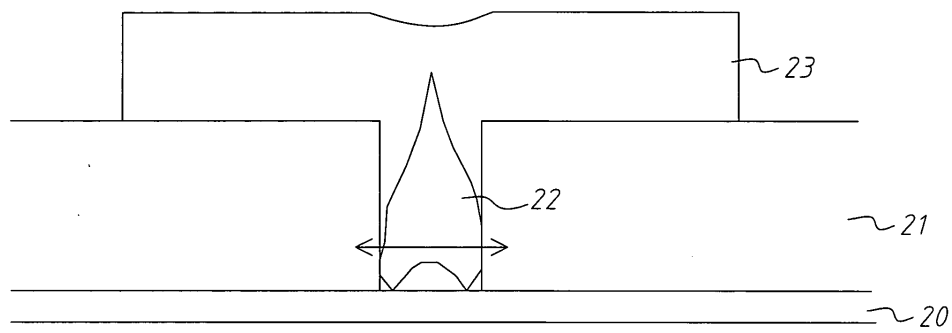


第 1 圖

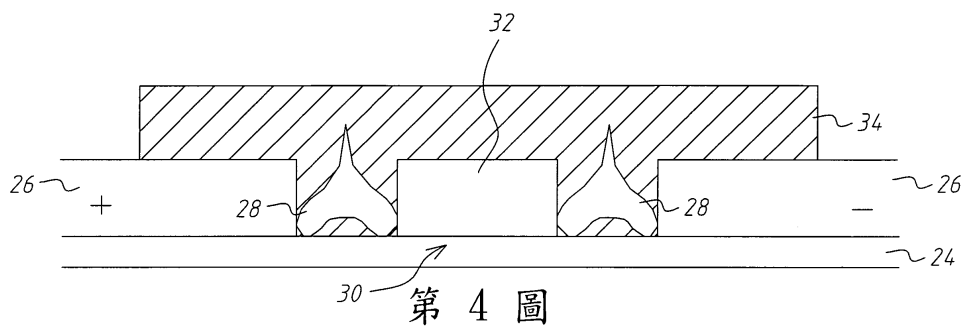


第 2 圖

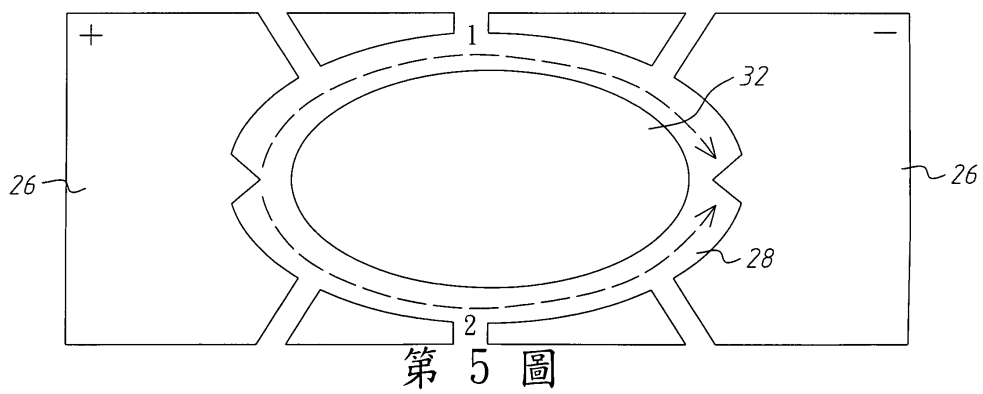
(5)



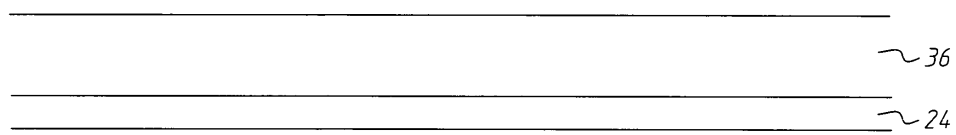
第 3 圖



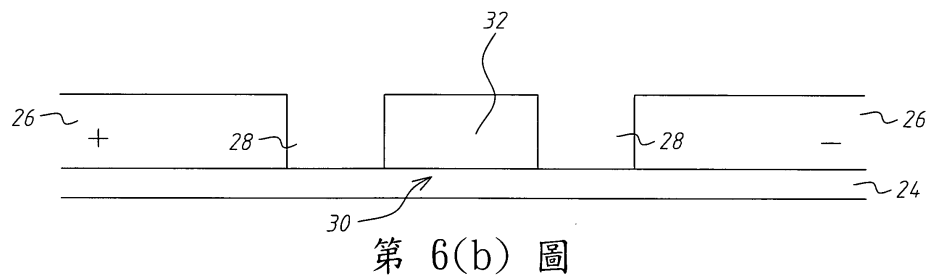
第 4 圖



第 5 圖

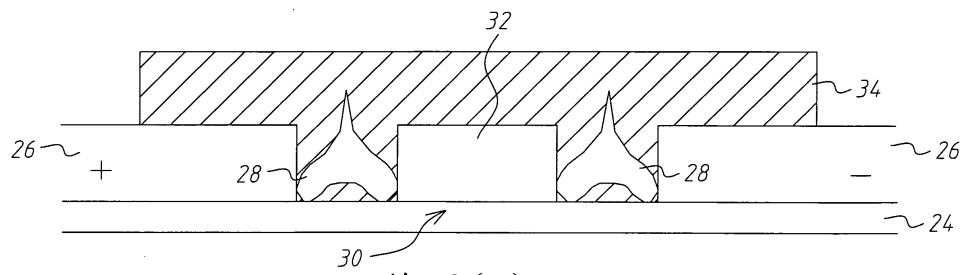


第 6(a) 圖

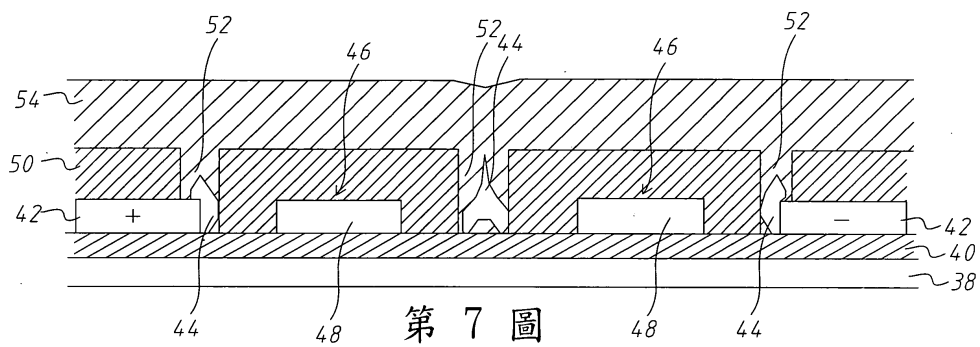


第 6(b) 圖

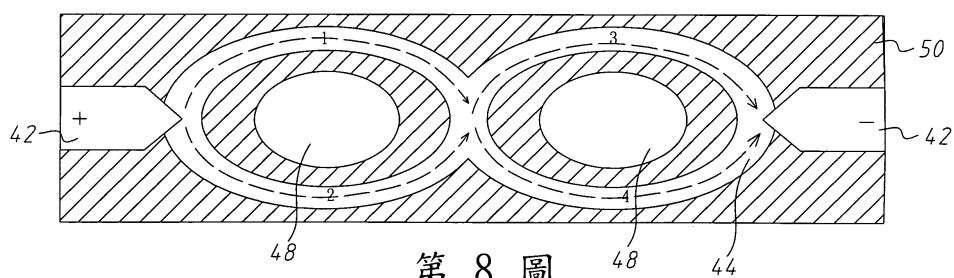
(6)



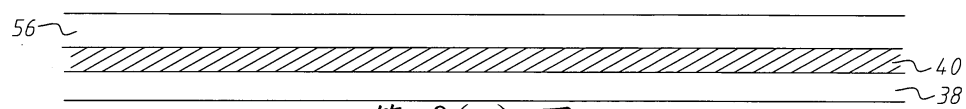
第 6(c) 圖



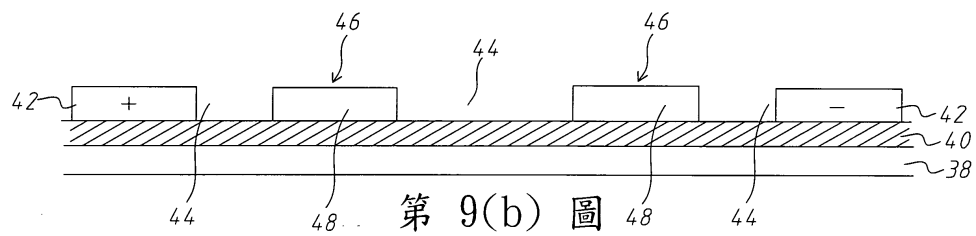
第 7 圖



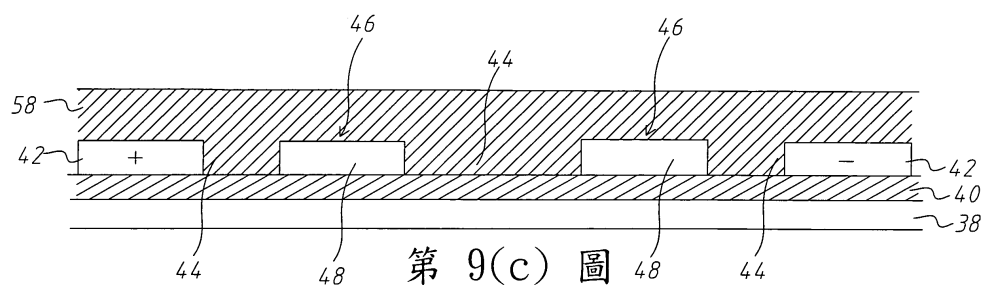
第 8 圖



第 9(a) 圖

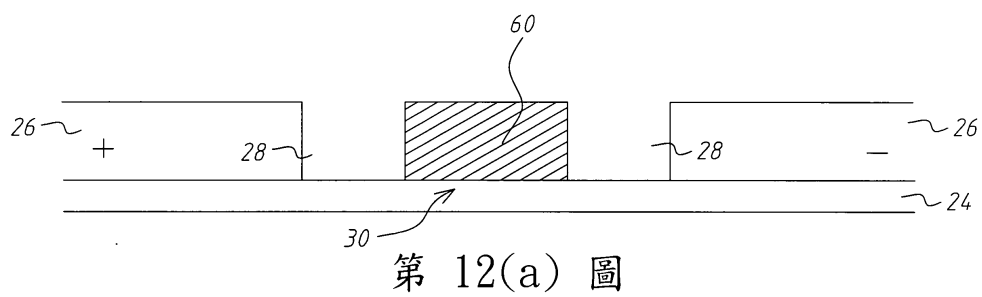
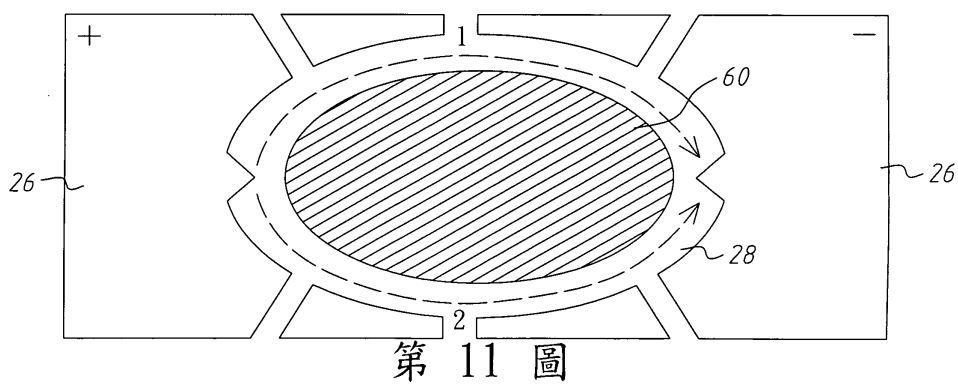
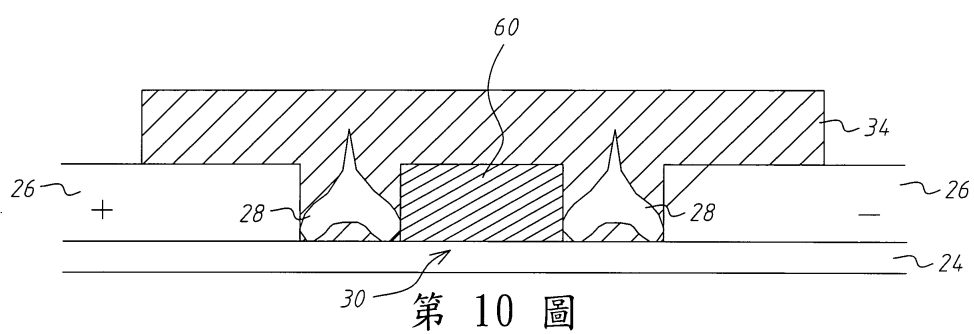
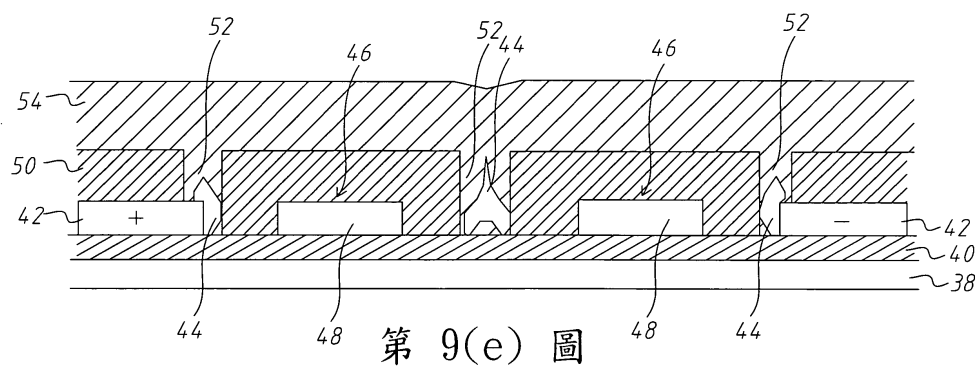


第 9(b) 圖

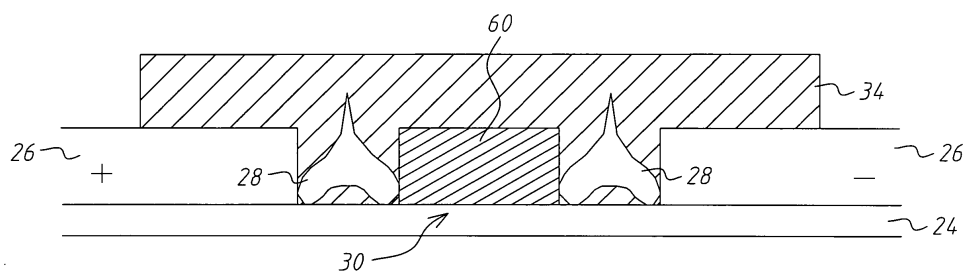


第 9(c) 圖

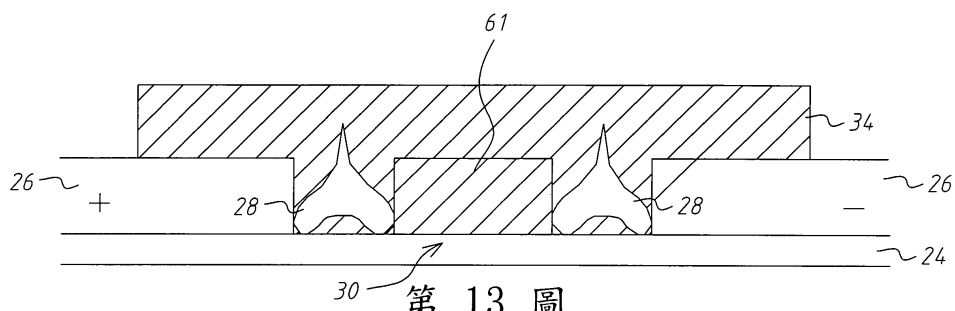
第 9(d) 圖



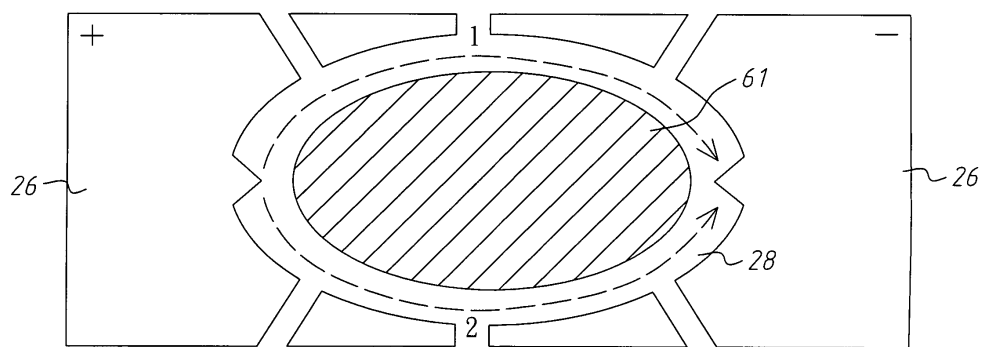
(8)



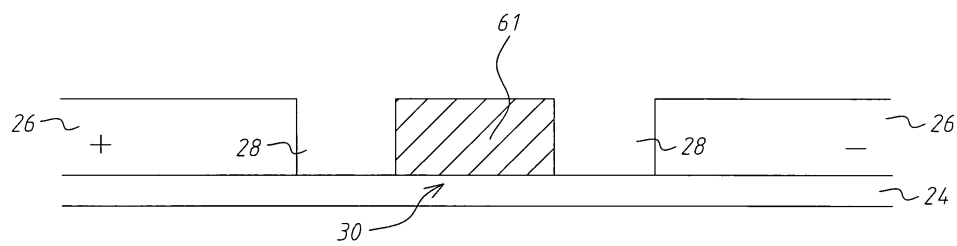
第 12(b) 圖



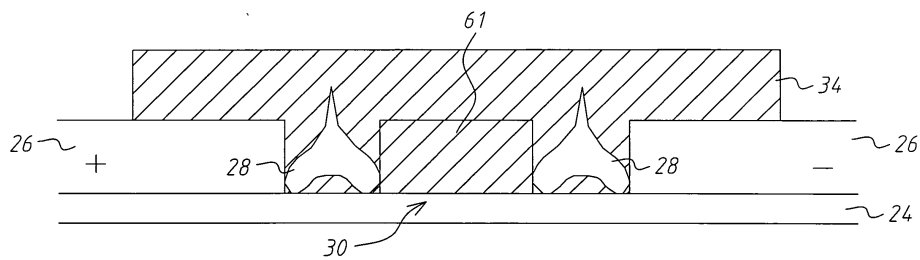
第 13 圖



第 14 圖

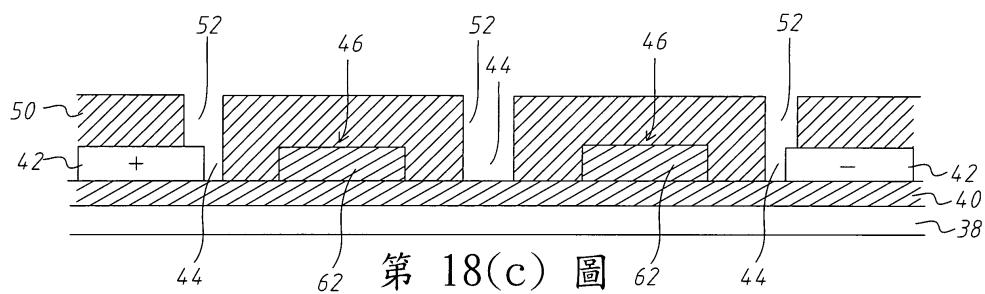
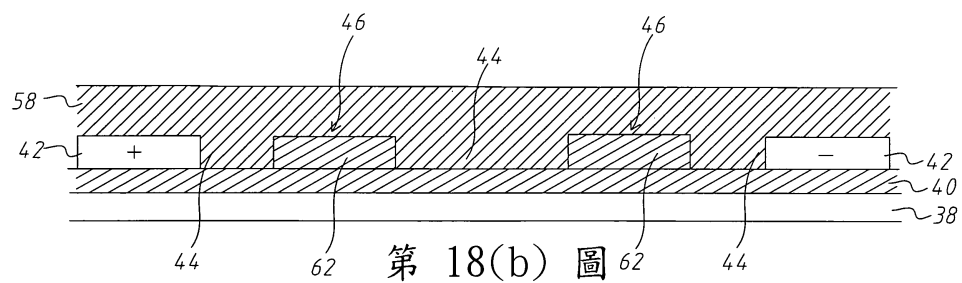
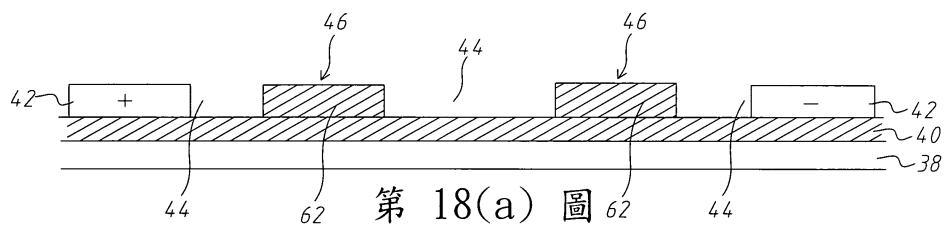
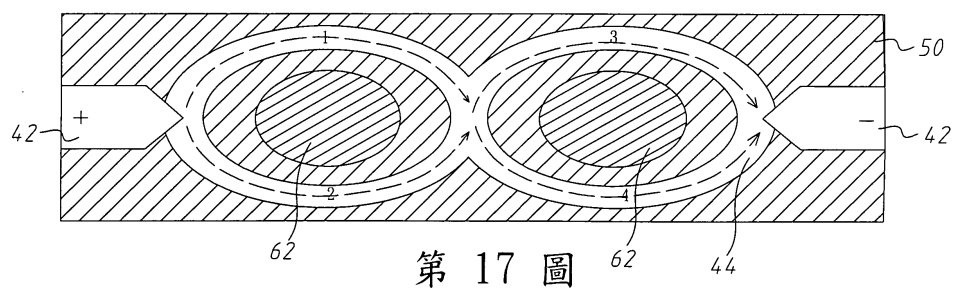
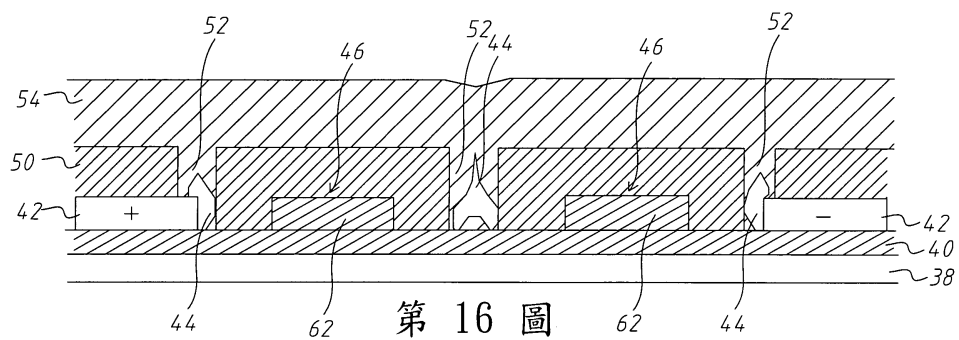


第 15(a) 圖

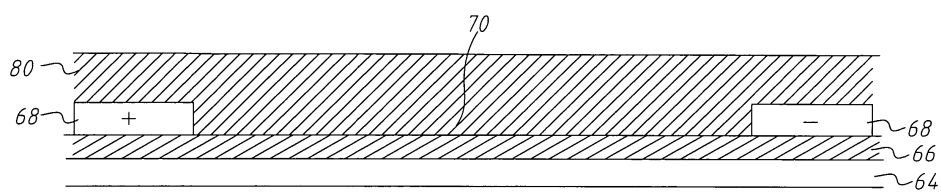
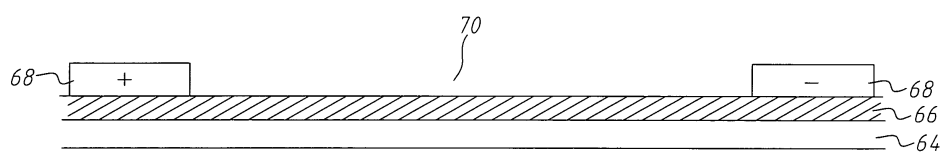
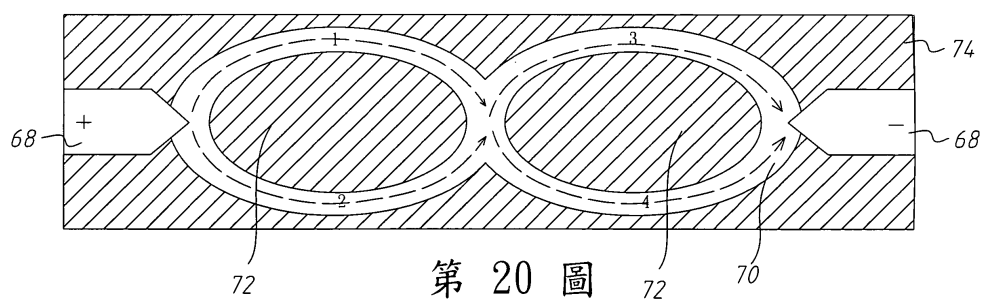
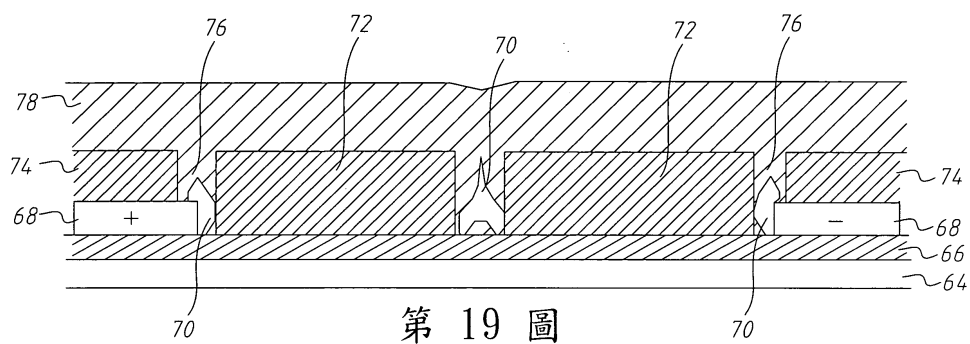
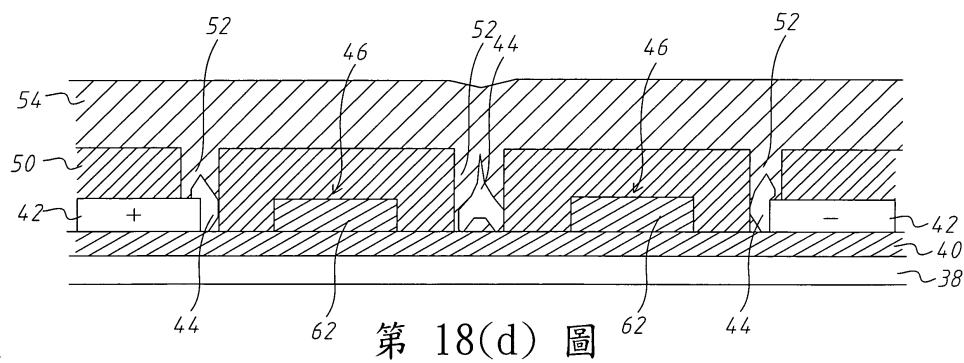


第 15(b) 圖

(9)



(10)



(11)

