

【11】證書號數：I527214

【45】公告日：中華民國 105 (2016) 年 03 月 21 日

【51】Int. Cl. : H01L29/74 (2006.01) H01L23/60 (2006.01)
H01L21/70 (2006.01)

發明

全 13 頁

【54】名稱：具有 ESD 防護之矽控整流器，以及製造用以做為 ESD 防護電路之矽控整流器之方法

SILICON-CONTROLLED RECTIFIER FOR ESD PROTECTION AND
METHOD FOR MANUFACTURING SILICON-CONTROLLED RECTIFIER
FOR ESD PROTECTION

【21】申請案號：103100775

【22】申請日：中華民國 103 (2014) 年 01 月 09 日

【11】公開編號：201431065

【43】公開日期：中華民國 103 (2014) 年 08 月 01 日

【30】優先權：2013/01/31

美國

61/758,868

2013/02/27

美國

13/778,369

【72】發明人：林群祐 (TW) LIN, CHUN YU；柯明道 (TW) KER, MING DOU；蔡銘憲 (TW) TSAI, MING HSIEN；竹立煒 (TW) CHU, LI WEI；宋明相 (TW) SONG, MING HSIANG

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD.

新竹市新竹科學工業園區力行六路 8 號

【74】代理人：洪澄文；顏錦順

【56】參考文獻：

TW 538520

TW 200400613

TW 200507254

TW 200644212

審查人員：邱迺軒

[57]申請專利範圍

1. 一種矽控整流器(silicon controlled rectifier, SCR)，包括將電流由一 SCR 陽極導向一 SCR 陰極的一電流路徑；其中該電流路徑包括：一第一垂直電流路徑部分，耦接至該 SCR 陽極；一第二垂直電流路徑部分，耦接至該 SCR 陰極；以及一水平電流路徑部分，位於該第一與第二垂直電流路徑部分之下，其中該水平電流路徑部分包括一第一阱區與一第二阱區，該第一阱區與該第二阱區會合於一接面，而該接面疊置於一第一平面之上，其中該第一阱區與該第二阱區互相配合以橫跨該第一垂直電流路徑部分與該第二垂直電流路徑部分兩者之間所間隔的距離。
2. 如申請專利範圍第 1 項所述之矽控整流器，其中該第一垂直電流路徑部分與該第二垂直電流路徑部分以該第一平面呈鏡像對稱；其中該矽控整流器更包括：至少一第一垂直電流路徑凹入處，其由該第一垂直電流路徑部分之一側壁向內延伸；以及至少一第二垂直電流路徑凹入處，其由該第二垂直電流路徑部分之一側壁向內延伸；其中該至少一第一垂直電流路徑凹入處與該至少一第二垂直電流路徑凹入處以該第一平面呈鏡像對稱；至少一第一阱區接觸點，配置於該至少一第一垂直電流路徑凹入處之中，該至少一第一阱區接觸點電性耦接至一第一井；至少一第二阱區接觸點，配置於該至少一第二垂直電流路徑凹入處之中，該至少一第二阱區接觸點電性耦接至一第二井；其中該至少一第一阱

區接觸點與該至少一第二阱區接觸點短路；其中一第二平面與該第一平面垂直相交，使得該第一垂直電流路徑部分與該第二垂直電流路徑部分以該第二平面互相對稱。

3. 如申請專利範圍第 1 項所述之矽控整流器，其中該第一垂直電流路徑部分係一 u 型、f 型、 π 型或 w 型凸出物，其由該 SCR 所在之基質垂直向上延伸；其中該第二垂直電流路徑部分係一 u 型、f 型、 π 型或 w 型凸出物，其由該基質垂直向上延伸，並與該第一垂直電流路徑部分之該 u 型、f 型、 π 型或 w 型凸出物以該第一平面呈鏡像對稱；其中該矽控整流器更包括配置於該第一垂直電流路徑部分與該第二垂直電流路徑部分之該 u 型、f 型、 π 型或 w 型凸出物之凹入處的複數個接觸點。
4. 如申請專利範圍第 1 項所述之矽控整流器，其中該第一垂直電流路徑部分具有一第一導電率型，而該第一井具有與該第一導電率型相反的一第二導電型；其中該第一阱區具有該第二導電率型，而該第二阱區具有該第一導電率型。
5. 如申請專利範圍第 1 項所述之矽控整流器，其中該 SCR 陽極包括複數個 u 型、f 型、 π 型或 w 型凸出物，其中，當該等凸出物沿著平行該第二平面的方向延伸時，相鄰的 u 型、f 型、 π 型或 w 型凸出物之側壁互相緊靠或合併。
6. 如申請專利範圍第 1 項所述之矽控整流器，其中該 SCR 陽極包括複數個 u 型、f 型、 π 型或 w 型凸出物，其中相鄰的 u 型、f 型、 π 型或 w 型凸出物之側壁互相緊靠或合併。
7. 一種矽控整流器(SCR)，形成於一基質之上，包括一 SCR 陽極、一 SCR 陰極，以及將電流由該 SCR 陽極導向該 SCR 陰極的一電流路徑；其中該電流路徑包括：一第一垂直電流路徑部分，耦接至該 SCR 陽極，並且具有一第一導電率型；一第二垂直電流路徑部分，耦接至該 SCR 陰極，並且具有與該第一導電率型相反的一第二導電率型，其中該第二垂直電流路徑部分與該第一垂直電流路徑部分水平配置於相同的平面，且兩者水平間隔一距離；以及一水平電流路徑部分，配置於該第一垂直電流路徑部分與該第二垂直電流路徑部分之下，並橫跨該第一垂直電流路徑部分與該第二垂直電流路徑部分之間所間隔的距離，該水平電流路徑部分包括：一第一阱區，耦接至該第一垂直電流路徑部分並配置於該第一垂直電流路徑部分之下，其中該第一井具有該第二導電率型；以及一第二阱區，耦接至該第二垂直電流路徑部分並配置於該第二垂直電流路徑部分之下，其中該第一井與該第二井會合於一接面，而該接面對齊一第一平面，其中該第二井具有該第一導電率型。
8. 如申請專利範圍第 7 項所述之矽控整流器，其中該第一垂直電流路徑部分與該第二垂直電流路徑部分以該第一平面呈鏡像對稱；其中該第一垂直電流路徑部分係一細長半導體本體，具有相對的側壁；其中該細長半導體本體包括具有該第一導電率型的一上層，以及具有該第二導電率型的一下層；該矽控整流器更包括：複數個介電區，相鄰於該半導體本體，並位於兩側壁之側；以及至少一第一阱區接觸點，耦接至該第一阱區，並與至少一第二阱區接觸點短路，其中該第二阱區接觸點耦接至該第二阱區；其中一第二平面與該第一平面垂直交錯，使得該第一垂直電流路徑部分與該第二垂直電流路徑部分以該第二平面互相對稱。
9. 如申請專利範圍第 7 項所述之矽控整流器，其中該第一垂直電流路徑部分係一 u 型、f 型、 π 型或 w 型凸出物，由該 SCR 所在之一基質垂直向上延伸；其中該第二垂直電流路徑部分係一 u 型、f 型、 π 型或 w 型凸出物，由該基質垂直向上延伸，並與該第一垂直電流路徑部分之該 u 型、f 型、 π 型或 w 型凸出物以該第一平面呈鏡像對稱；其中該矽控整流器更包括配置於該第一垂直電流路徑部分與該第二垂直電流路徑部分之該 u 型、f 型、 π 型或 w 型凸出物的凹入處內的複數個接觸點。
10. 一種製造用以做為 ESD 防護電路之矽控整流器(silicon controlled rectifier, SCR)之方法，包括：形成一 n-井，其在一半導體基質中具有一第一 n 摻雜濃度；形成一 p 井其在一半

(3)

導體基質中具有一第一 p 摻雜濃度，其中該 p 井與該 n-井會合於一接面；以及形成一陽極區於該 n-井之上；其中該陽極區具有一第二 p 摻雜濃度，其值大於該第一 p 摻雜濃度，該陽極區包括一 u 型、f 型、 π 型或 w 型凸出物，其由該半導體基質向外延伸，更包括：形成 n-井接觸點，其在該陽極區之該 u 型、f 型、 π 型或 w 型凸出物之凹入處具有一第二 n 摻雜濃度；形成一陰極區，其在該 p 井上具有一第二 n 摻雜濃度，其中該陰極區包括一 u 型、f 型、 π 型或 w 型凸出物，其由該半導體基質向外延伸；以及形成 p 井接觸點，其在該陰極區之該 u 型、f 型、 π 型或 w 型凸出物之凹入處具有一第二 p 摻雜濃度；其中所形成的該陽極區與該陰極區包括多個 u 型、f 型、 π 型或 w 型凸出物，其中該陽極區與陰極區以該接面所在之一平面互相對稱；其中該半導體基質係一矽基質。

圖式簡單說明

第 1A 圖為一實施例中具有 ESD 敏感電路及 ESD 防護電路之積體電路示意圖。

第 1B 圖為某些實施例中第 1A 圖中 ESD 防護電路中所使用的 SCR 之另一角度視圖。

第 2A 圖為某些實施例中具有 w 型防護之 SCR 示意圖。

第 2B 圖為第 2A 圖中之 SCR 上對稱的第一及第二平面。

第 3 圖為第 2A 圖中具有絕緣區之上視圖。

第 4 圖為一實施例中第 3 圖之 SCR 之剖面側視圖。

第 5 圖為一實施例中第 3 圖 SCR 之剖面側視圖。

第 6A 圖為其他實施例中具有 u 型防護之 SCR 之示意圖。

第 6B 圖為其他實施例中具有多重 u 型防護之 SCR 之示意圖。

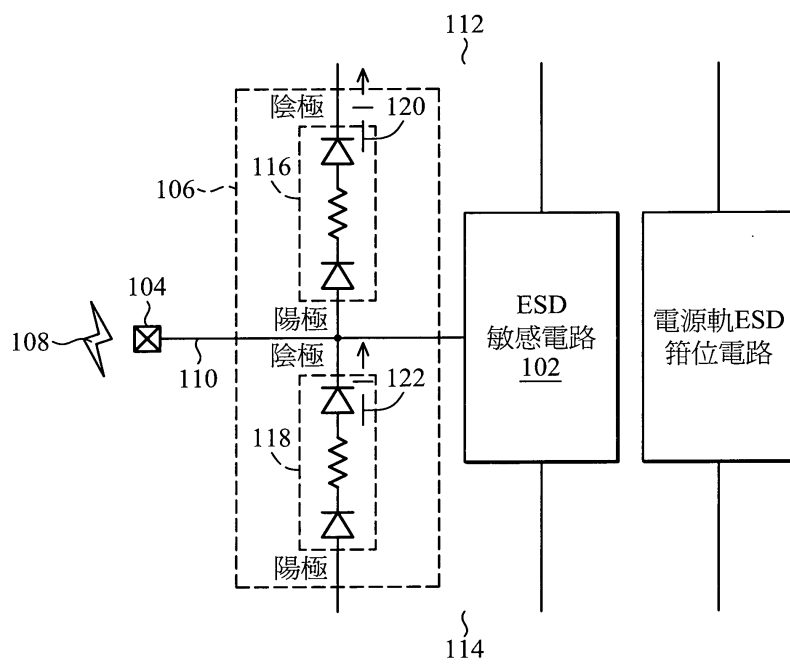
第 7A 圖至第 7B 圖為包括四個 SCR 之電路，其可分流 ESC 脈衝。

第 8 圖為第 7A 圖之對應 SCR 上視圖。

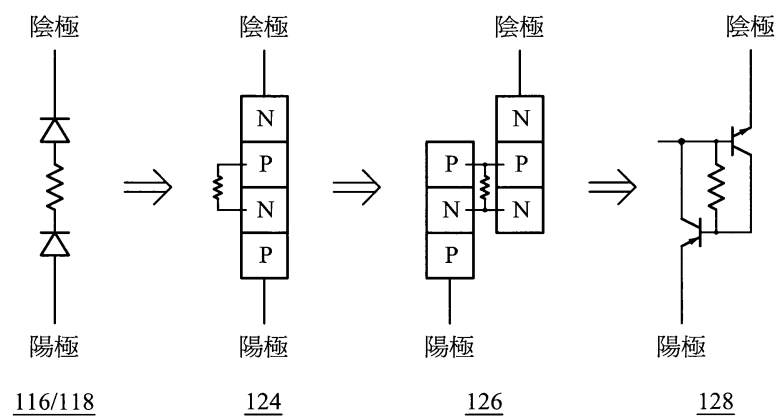
第 9 圖為某些實施例中電流如何通過 SCR 之示意圖。

第 10 圖為製造用以做為 ESD 防護電路之 SCR 之方法流程圖。

(4)

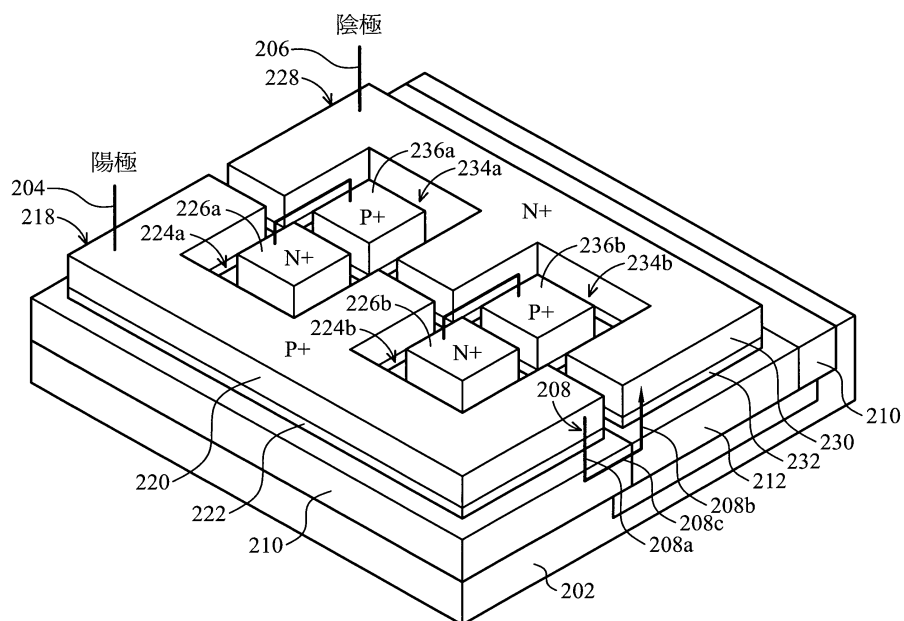


第 $\frac{100}{1A}$ 圖

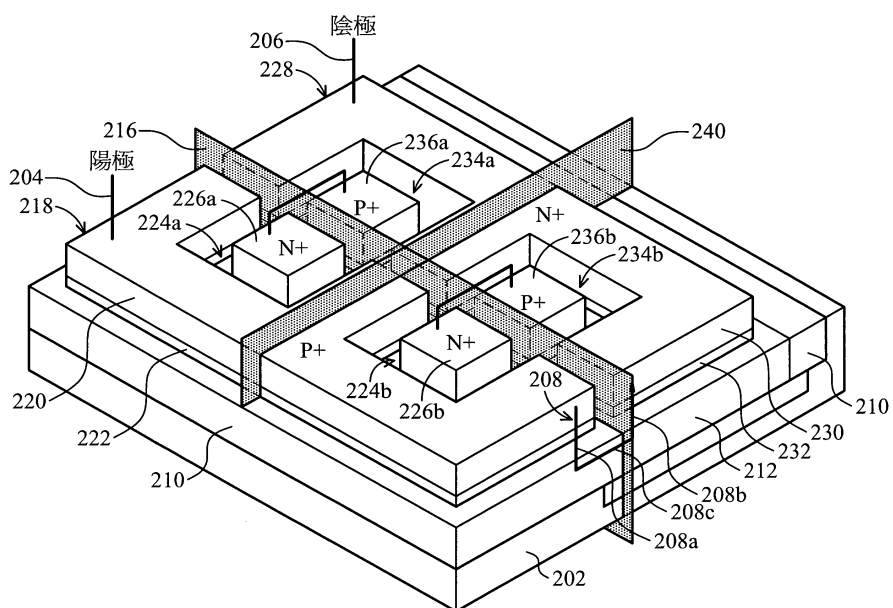


第 1B 圖

(5)

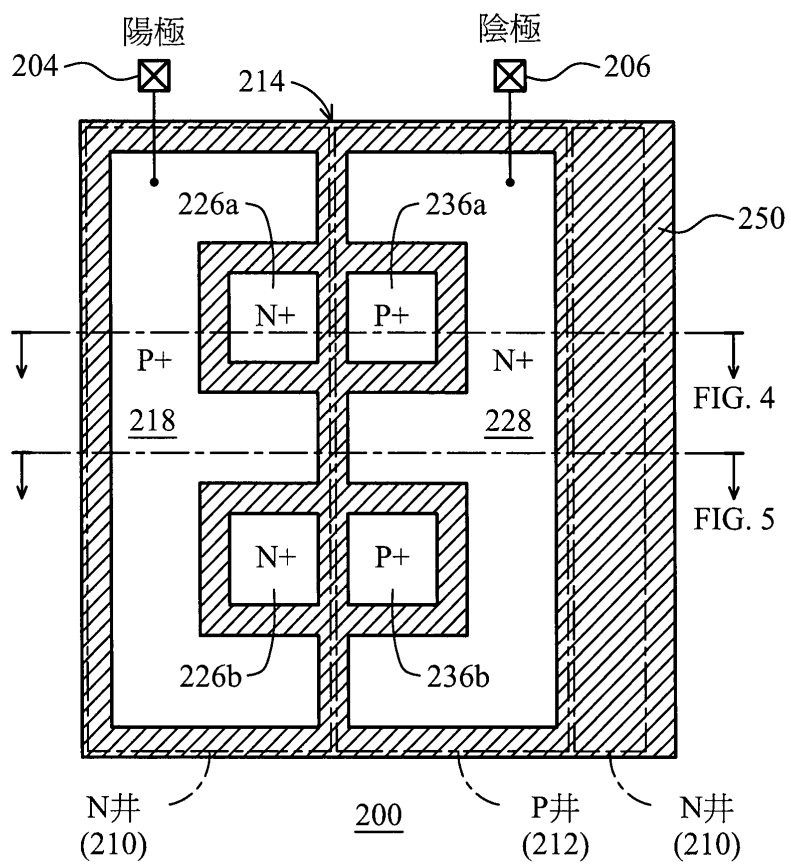


第 2A 圖



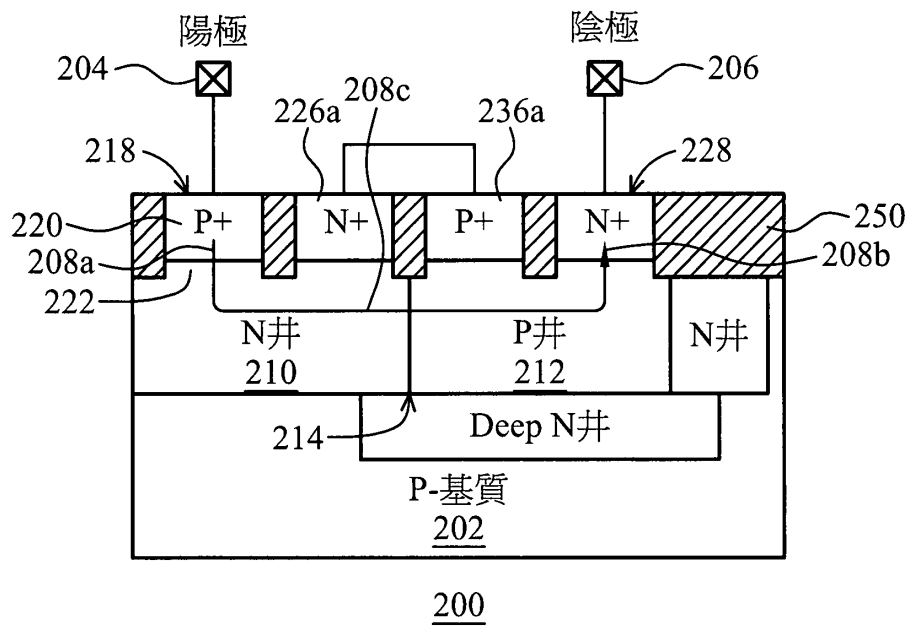
第 2B 圖

(6)

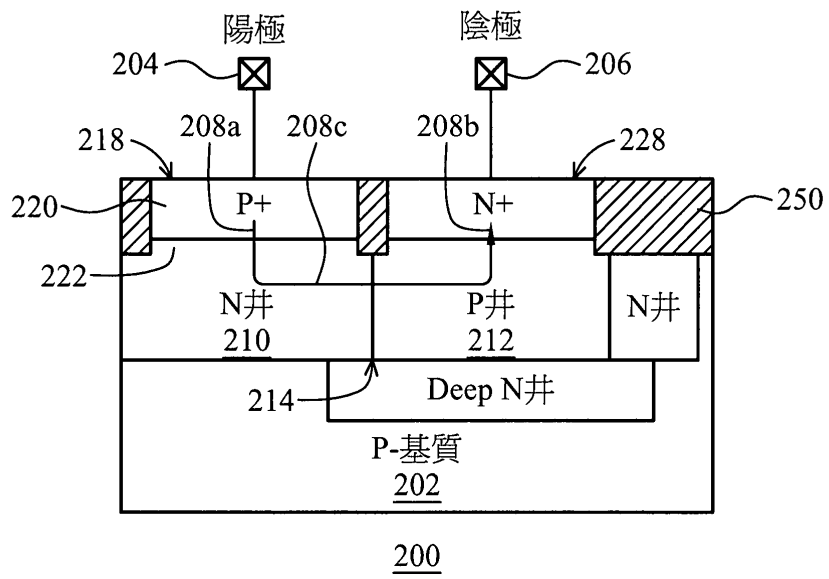


第 3 圖

(7)

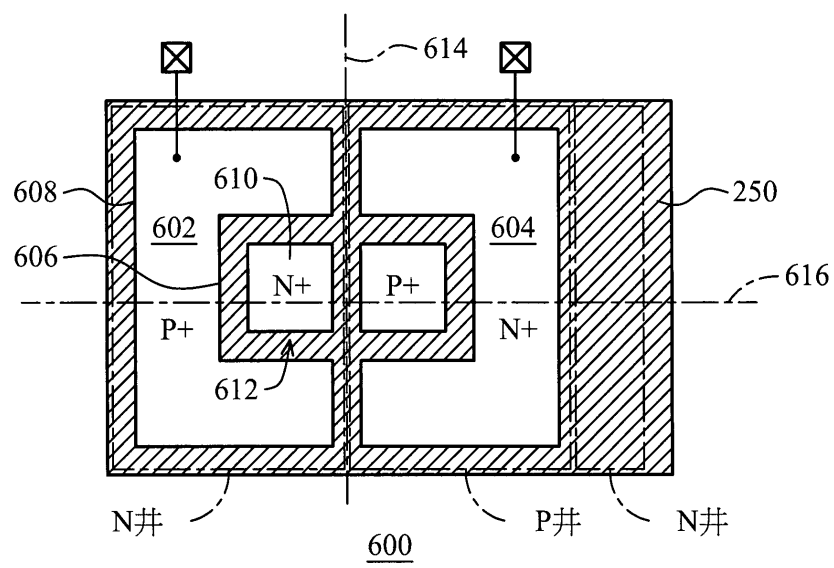


第 4 圖



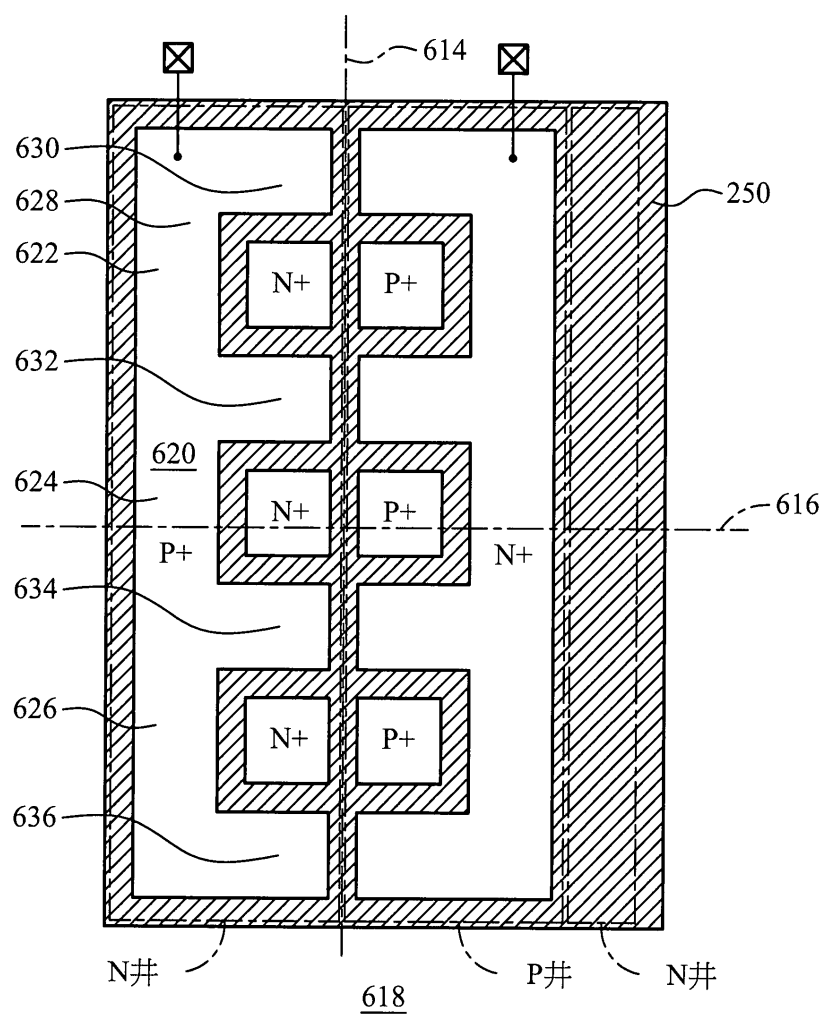
第 5 圖

(8)



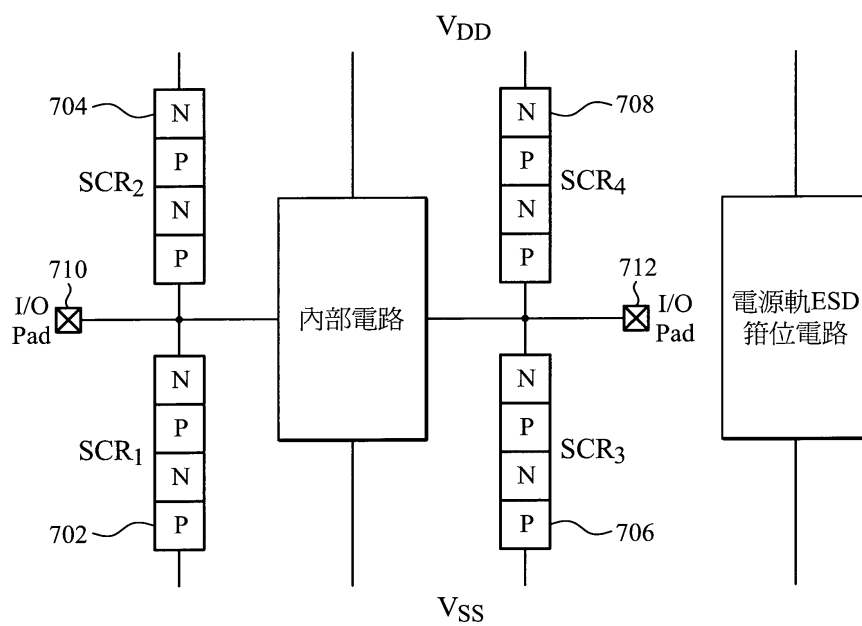
第 6A 圖

(9)

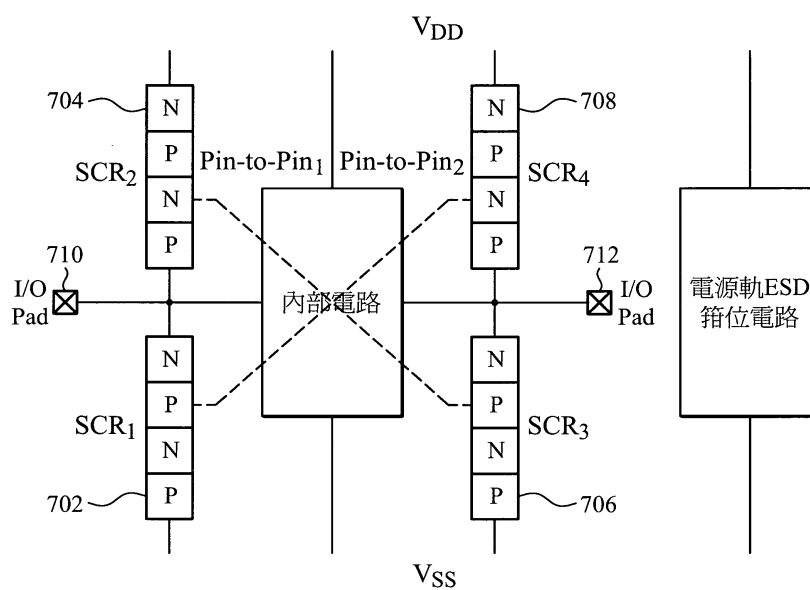


第 6B 圖

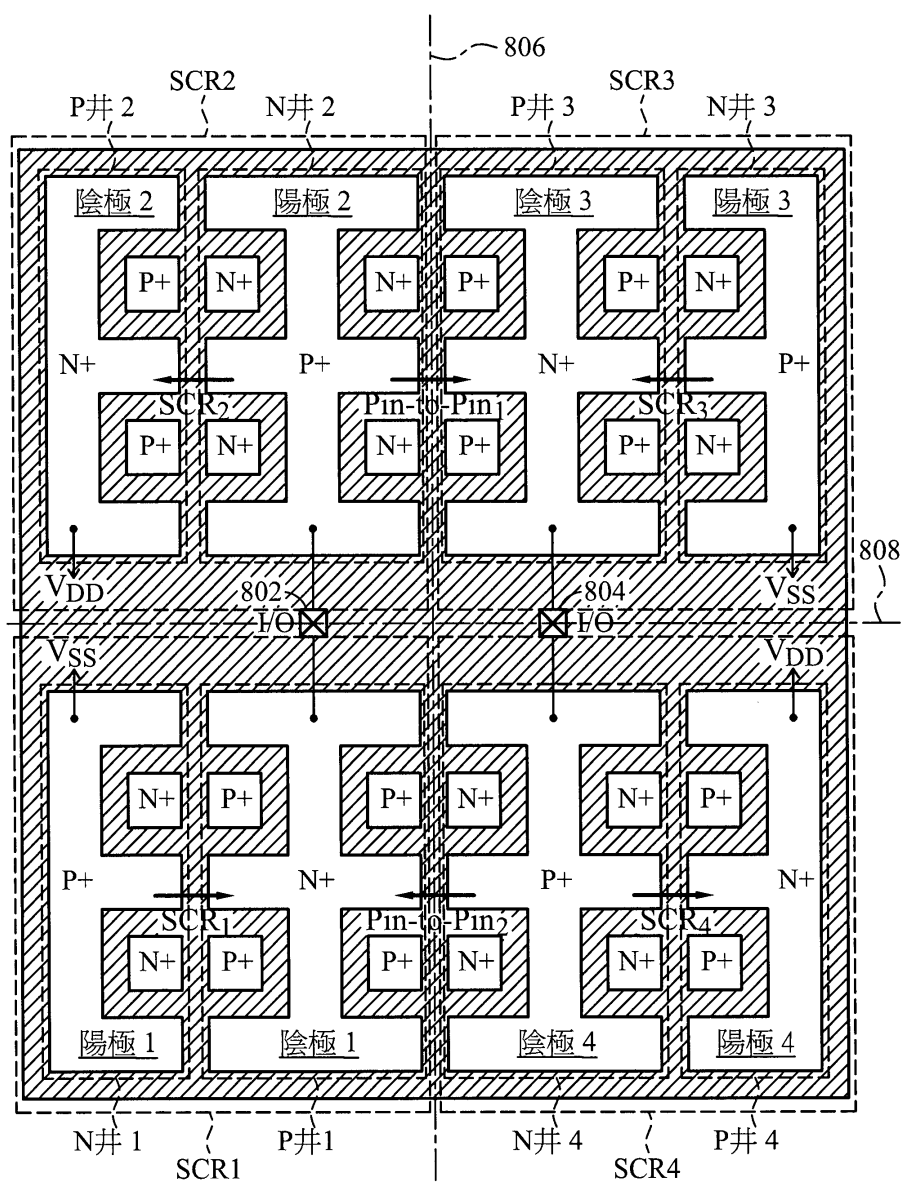
(10)



第 7A 圖

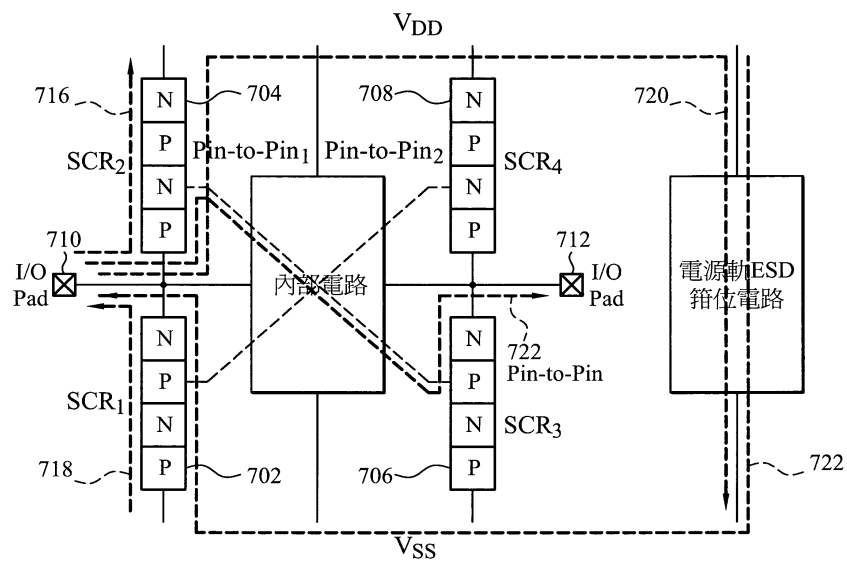


第 7B 圖

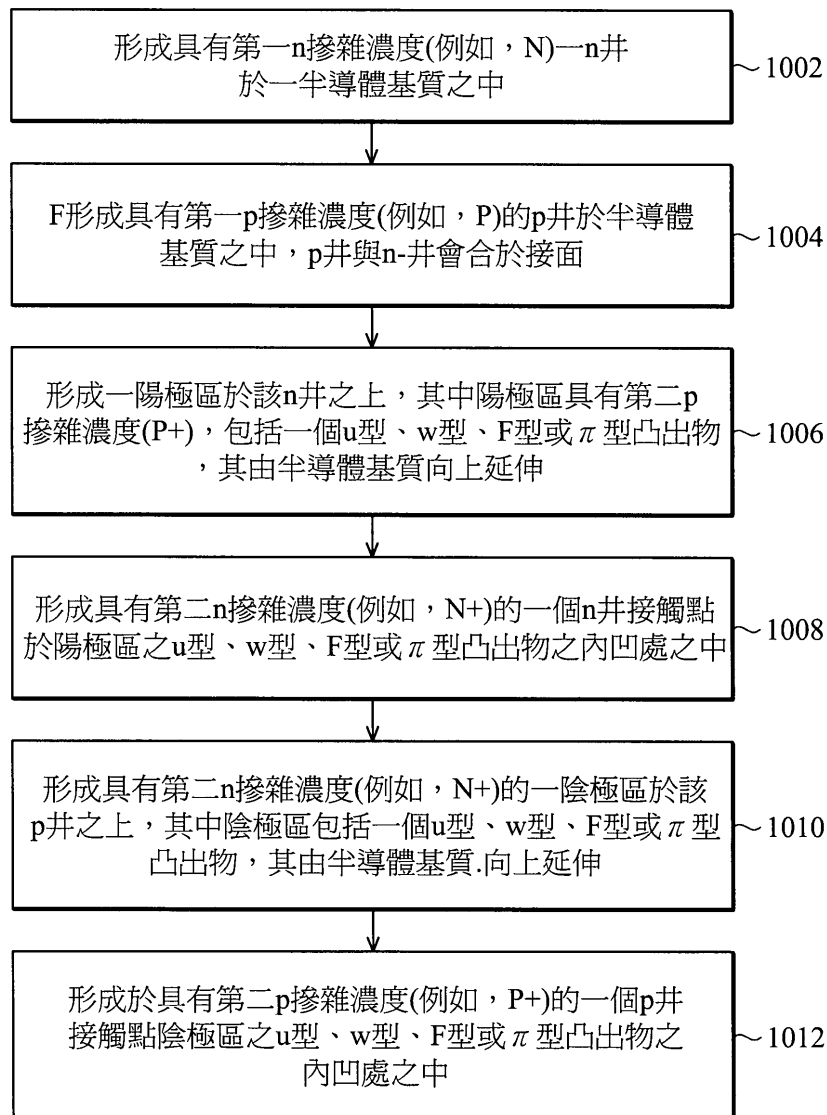


第 8 圖

(12)



第 9 圖



第 10 圖