

【11】證書號數：I566367

【45】公告日：中華民國 106(2017)年 01 月 11 日

【51】Int. Cl.： H01L23/60 (2006.01)

發明

全 10 頁

【54】名稱：跨域靜電放電保護裝置

CROSS-DOMAIN ELECTROSTATIC DISCHARGE PROTECTION DEVICE

【21】申請案號：104136958

【22】申請日：中華民國 104(2015)年 11 月 10 日

【72】發明人：尼迪 卡魯納 (IN) NIDHI, KARUNA；艾 飛 (AR) ALTOLAGUIRRE, FEDERICO AGUSTIN；柯明道 (TW) KER, MING DOU；林耿立 (TW) LIN, GEENG LIH

【71】申請人：世界先進積體電路股份有限公司 VANGUARD INTERNATIONAL SEMICONDUCTOR CORPORATION

新竹縣新竹科學工業園區園區三路 123 號

【74】代理人：洪澄文；顏錦順

【56】參考文獻：

US 8848326B2

US 8958186B2

US 2007/0085144A1

US 2012/0033335A1

審查人員：孫建文

## [57]申請專利範圍

1. 一種跨域靜電放電保護裝置，包括：一深 n 型井，形成於一基板；一第一 p 型井和一第二 p 型井，形成於該深 n 型井；一第一 n 型井，形成於該深 n 型井中且位於該第一 p 型井和該第二 p 型井之間，該第一 n 型井接觸該第一 p 型井和該第二 p 型井；一第一 p 型摻雜區和一第二 p 型摻雜區，形成於該第一 n 型井；一第三 p 型摻雜區和一第四 p 型摻雜區，分別形成於該第一 p 型井和該第二 p 型井；一第一 n 型摻雜區，形成於該第一 p 型井且位於該第三 p 型摻雜區和該第一 p 型摻雜區之間；以及一第二 n 型摻雜區，形成於該第二 p 型井且位於該第二 p 型摻雜區和該第四 p 型摻雜區之間；其中，該第一 p 型摻雜區連接一第一電源區域的一第一電壓源，該第三 p 型摻雜區和該第一 n 型摻雜區連接該第一電源區域的一第二電壓源；其中，該第二 p 型摻雜區連接一第二電源區域的一第三電壓源，該第四 p 型摻雜區和該第二 n 型摻雜區連接該第二電源區域的一第四電壓源；以及其中，該第一電源區域和該第二電源區域是不同的電源區域。
2. 如申請專利範圍第 1 項所述之跨域靜電放電保護裝置，更包括：一第三 n 型摻雜區，形成於該第一 p 型井和該第一 n 型井的一第一邊界區，且位於該第一 n 型摻雜區和該第一 p 型摻雜區之間；一第一閘極結構，形成於該第一 p 型井上，且位於該第一 n 型摻雜區和該第三 n 型摻雜區之間；一第四 n 型摻雜區，形成於該第二 p 型井和該第一 n 型井的一第二邊界區，且位於該第二 n 型摻雜區和該第二 p 型摻雜區之間；以及一第二閘極結構，形成於該第二 p 型井上，且位於該第二 n 型摻雜區和該第四 n 型摻雜區之間；其中，該第一閘極結構和該第二閘極結構分別連接該第二電壓源和該第四電壓源。
3. 如申請專利範圍第 1 項所述之跨域靜電放電保護裝置，更包括：一 p 型偏壓區，形成於該第一 n 型井，且位於該第一 p 型摻雜區和該第二 p 型摻雜區之間；一第五 p 型摻雜區和一第七 p 型摻雜區，分別形成於該第一 p 型井和該第一 n 型井，且被設置於該第一 n 型摻雜區和該第一 p 型摻雜區之間；一第六 p 型摻雜區和一第八 p 型摻雜區，分別形成於該第二 p 型井和該第一 n 型井，且被設置於該第二 n 型摻雜區和該第二 p 型摻雜區之

(2)

- 間；一第三閘極結構，形成於該第一 n 型井上且位於該第一和該第七 p 型摻雜區之間；一第四閘極結構，形成於該第一 n 型井上且位於該第二和該第八 p 型摻雜區之間；其中，該第五和該第七 p 型摻雜區電性連接，該第六和該第八 p 型摻雜區電性連接，該第三和該第四閘極結構連接至一偵測節點，以及該 p 型偏壓區連接一偏壓。
4. 如申請專利範圍第 3 項所述之跨域靜電放電保護裝置，更包括一偏壓電路，提供基於該第一電壓源及該第三電壓源的該偏壓，以減少該跨域靜電放電保護裝置的漏電流。
  5. 如申請專利範圍第 4 項所述之跨域靜電放電保護裝置，其中該偏壓電路包括串聯連接的一第一 PMOS 電晶體及一第二 PMOS 電晶體，且該串聯連接的第一 PMOS 電晶體及第二 PMOS 電晶體更連接於該第一電壓源及該第三電壓源之間；其中，該第一和該第二 PMOS 電晶體的閘極分別連接該第三電壓源和該第一電壓源，且該第一和該第二 PMOS 電晶體的基體極和兩者的一連接節點則連接該 p 型偏壓區。
  6. 如申請專利範圍第 3 項所述之該跨域靜電放電保護裝置，更包括一靜電放電偵測及觸發電路，連接該第一及該第二 n 型摻雜區、該第三及該第四 p 型摻雜區、該 p 型偏壓區及該第三和該第四閘極結構；其中，當靜電放電事件發生在任一該第一、該第二、該第三及該第四電壓源時，該靜電放電偵測及觸發電路，產生一偵測電壓至該第三和該第四閘極結構，以啟動該跨域靜電放電保護裝置。
  7. 如申請專利範圍第 6 項所述之該跨域靜電放電保護裝置，其中該靜電放電偵測及觸發電路包括：一第一二極體，具有一陽極和一陰極，分別連接該第三 p 型摻雜區和該第四 p 型摻雜區；一第二二極體，具有一陰極和一陽極，分別連接該第三 p 型摻雜區和該第四 p 型摻雜區；一第三二極體和一第四二極體，兩者的陽極連接在一起，兩者的陰極分別連接該第三 p 型摻雜區和該第四 p 型摻雜區；一電容器，連接於該第三和該第四二極體的陽極和該偵測節點之間；以及一電阻器，連接於該偵測節點和該 p 型偏壓區之間。
  8. 如申請專利範圍第 4 項所述之跨域靜電放電保護裝置，更包括一靜電放電偵測及觸發電路，連接該第一及該第二 n 型摻雜區、該第三及該第四 p 型摻雜區、該 p 型偏壓區及該第三和該第四閘極結構；其中，當靜電放電事件發生在任一該第一、該第二、該第三及該第四電壓源時，該靜電放電偵測及觸發電路，產生一偵測電壓至該第三和該第四閘極結構，以啟動該跨域靜電放電保護裝置。
  9. 如申請專利範圍第 8 項所述之跨域靜電放電保護裝置，其中該靜電放電偵測及觸發電路包括：一第一二極體，具有一陽極和一陰極，分別連接該第三 p 型摻雜區和該第四 p 型摻雜區；一第二二極體，具有一陰極和一陽極，分別連接該第三 p 型摻雜區和該第四 p 型摻雜區；一第三二極體和一第四二極體，兩者的陽極連接在一起，兩者的陰極分別連接該第三 p 型摻雜區和該第四 p 型摻雜區；一電容器，連接於該第三和該第四二極體的陽極和該偵測節點之間；以及一電阻器，連接於該偵測節點和該 p 型偏壓區之間。
  10. 如申請專利範圍第 1 項所述之跨域靜電放電保護裝置，其中更包括一第五 n 型摻雜區和一第六 n 型摻雜區，分別形成於該第一 p 型井和該第二 p 型井且分別連接該第四電壓源和該第二電壓源。
  11. 如申請專利範圍第 2 項所述之跨域靜電放電保護裝置，更包括一第五 n 型摻雜區和一第六 n 型摻雜區，分別形成於該第一 p 型井和該第二 p 型井且分別連接該第四電壓源和該第二電壓源。
  12. 如申請專利範圍第 3 項所述之跨域靜電放電保護裝置，更包括一第五 n 型摻雜區和一第六 n 型摻雜區，分別形成於該第一 p 型井和該第二 p 型井且分別連接該第四電壓源和該第二電壓源。

(3)

13. 一種跨域靜電放電保護裝置，包括：一深 n 型井，形成於一基板；一第一 p 型井和一第二 p 型井，形成於該深 n 型井；一第一 n 型井，形成於該深 n 型井中且位於該第一 p 型井和該第二 p 型井之間，該第一 n 型井接觸該第一 p 型井和該第二 p 型井；一第一 p 型摻雜區和一第二 p 型摻雜區，形成於該第一 n 型井；一第三 p 型摻雜區和一第四 p 型摻雜區，分別形成於該第一 p 型井和該第二 p 型井；一第一 n 型摻雜區，形成於該第一 p 型井且位於該第三 p 型摻雜區和該第一 p 型摻雜區之間；以及一第二 n 型摻雜區，形成於該第二 p 型井且位於該第二 p 型摻雜區和該第四 p 型摻雜區之間；一 p 型偏壓區，形成於該第一 n 型井，且位於該第一 p 型摻雜區和該第二 p 型摻雜區之間；一第五 p 型摻雜區和一第七 p 型摻雜區，分別形成於該第一 p 型井和該第一 n 型井，且被設置於該第一 n 型摻雜區和該第一 p 型摻雜區之間；一第六 p 型摻雜區和一第八 p 型摻雜區，分別形成於該第二 p 型井和該第一 n 型井，且被設置於該第二 n 型摻雜區和該第二 p 型摻雜區之間；一第三閘極結構，形成於該第一 n 型井上且位於該第一和該第七 p 型摻雜區之間；一第四閘極結構，形成於該第一 n 型井上且位於該第二和該第八 p 型摻雜區之間；以及一靜電放電偵測及觸發電路，連接該第一及該第二 n 型摻雜區、該第三及該第四 p 型摻雜區、該 p 型偏壓區及該第三和該第四閘極結構；其中，該第一 p 型摻雜區連接一第一電源區域的一第一電壓源，該第三 p 型摻雜區和該第一 n 型摻雜區連接該第一電源區域的一第二電壓源；其中，該第二 p 型摻雜區連接一第二電源區域的一第三電壓源，該第四 p 型摻雜區和該第二 n 型摻雜區連接該第二電源區域的一第四電壓源，以及該第一電源區域和該第二電源區域是不同的電源區域；其中，該第五和該第七 p 型摻雜區電性連接，該第六和該第八 p 型摻雜區電性連接，該第三和該第四閘極結構連接至一偵測節點，以及該 p 型偏壓區連接一偏壓；其中，當靜電放電事件發生在任一該第一、該第二、該第三及該第四電壓源時，該靜電放電偵測及觸發電路，產生一偵測電壓至該第三和該第四閘極結構，以啟動該跨域靜電放電保護裝置。
14. 如申請專利範圍第 13 項所述之該跨域靜電放電保護裝置，其中，該靜電放電偵測及觸發電路包括：一第一二極體，具有一陽極和一陰極，分別連接該第三 p 型摻雜區和該第四 p 型摻雜區；一第二二極體，具有一陰極和一陽極，分別連接該第三 p 型摻雜區和該第四 p 型摻雜區；一第三二極體和一第四二極體，兩者的陽極連接在一起，兩者的陰極分別連接該第三 p 型摻雜區和該第四 p 型摻雜區；一電容器，連接於該第三和該第四二極體的陽極和該偵測節點之間；以及一電阻器，連接於該偵測節點和該 p 型偏壓區之間。
15. 如申請專利範圍第 14 項所述之跨域靜電放電保護裝置，更包括一偏壓電路，提供基於該第一電壓源及該第三電壓源的該偏壓，以減少該跨域靜電放電保護裝置的漏電流。
16. 如申請專利範圍第 15 項所述之跨域靜電放電保護裝置，其中，該偏壓電路包括串聯連接的一第一 PMOS 電晶體及一第二 PMOS 電晶體，且該串聯連接的第一 PMOS 電晶體及第二 PMOS 電晶體更連接於該第一電壓源及該第三電壓源之間；其中，該第一和該第二 PMOS 電晶體的閘極分別連接該第三電壓源和該第一電壓源，且該第一和該第二 PMOS 電晶體的基體極和兩者的一連接節點則連接該 p 型偏壓區。

#### 圖式簡單說明

第 1 圖顯用於跨電源區域之 ESD 保護配置。

第 2 圖顯示用於跨電源區域之簡化 ESD 保護的例示。

第 3 圖顯示依據本發明之第一示範實施例的跨域 ESD 保護單元(裝置)的剖面圖。

第 4 圖顯示內嵌於依據本發明之跨域 ESD 保護單元中的 QSCR 結構。

第 5 圖顯示依據本發明之第二示範實施例的跨域 ESD 保護單元(裝置)的剖面圖。

第 6A 圖顯示依據本發明之第三示範實施例的跨域 ESD 保護裝置的剖面圖。

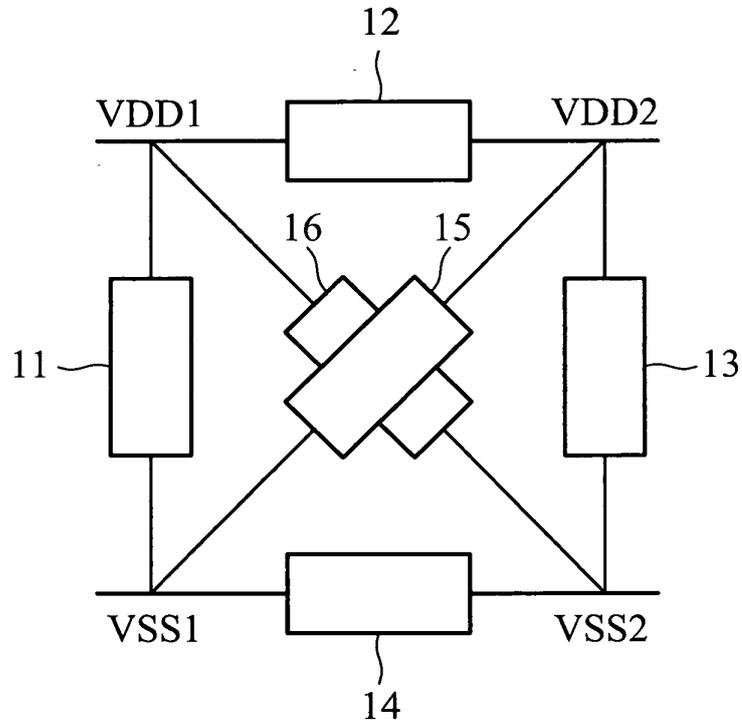
(4)

第 6B 圖顯示第 6A 圖的 ESD 偵測及觸發電路 63 的示範實作。

第 6C 圖顯示第 6A 圖的動態 n 井偏壓電路 62 的示範實作。

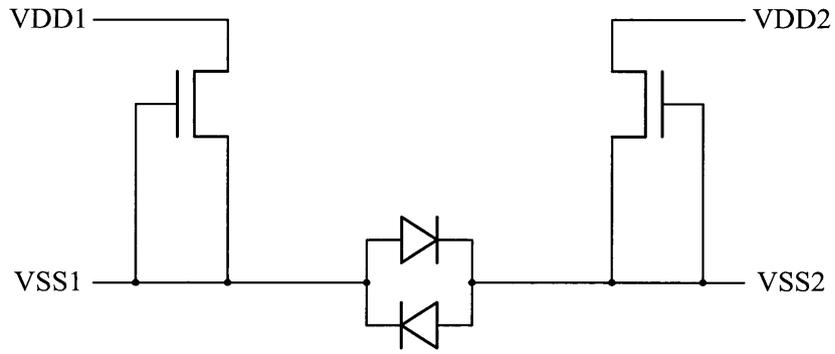
第 7A 圖顯示應用到本發明之具有 QCSR 結構之跨域 ESD 保護單元的二極體串的配置。

第 7B 圖顯示應用到不具有 QCSR 結構之傳統跨域 ESD 保護單元的二極體串的配置。



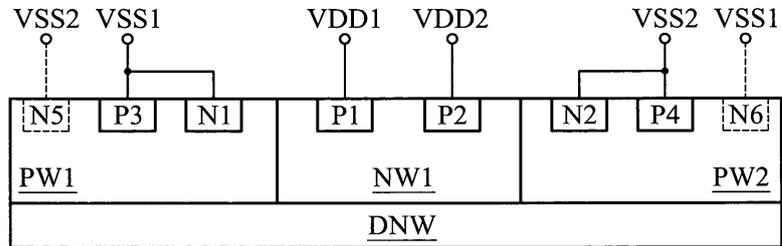
第 1 圖

(5)



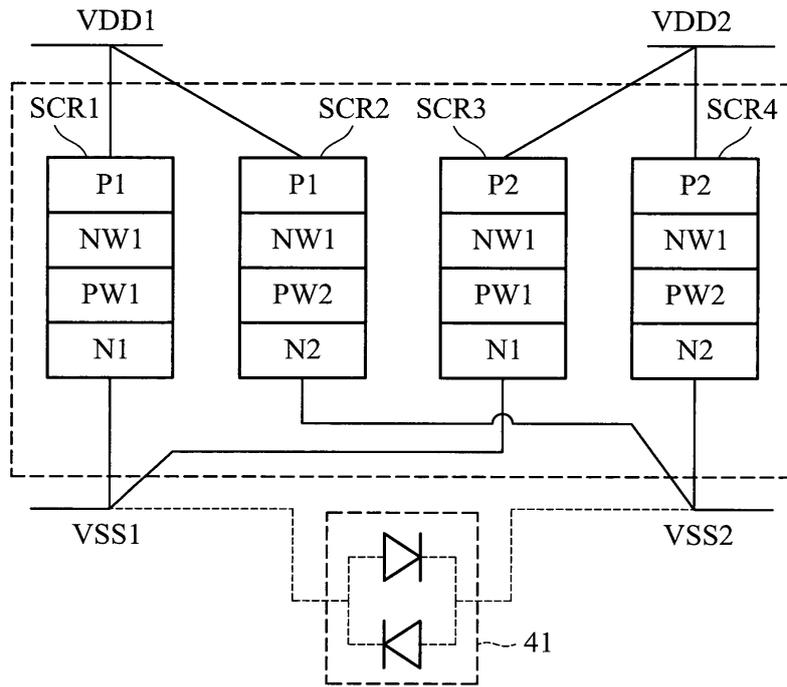
第 2 圖

30  
↙



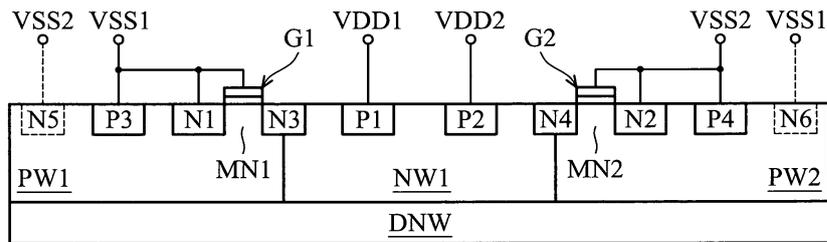
第 3 圖

(6)



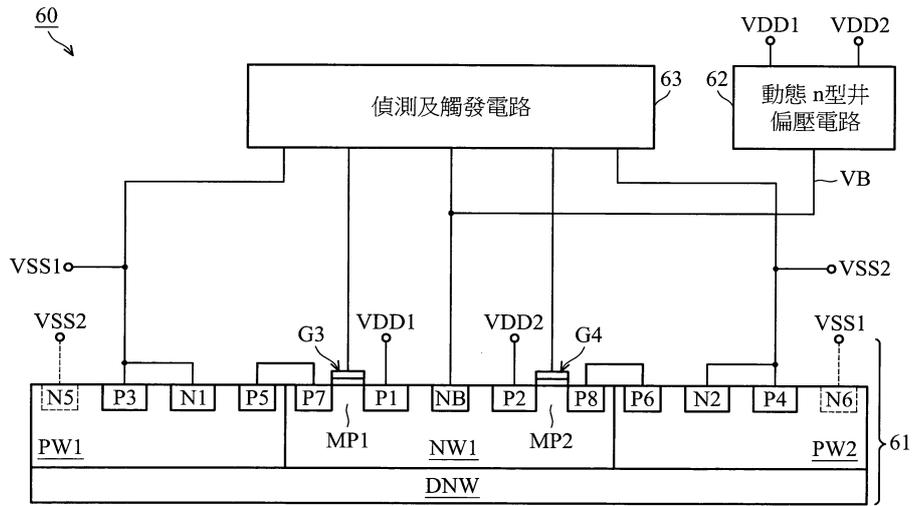
第 4 圖

50

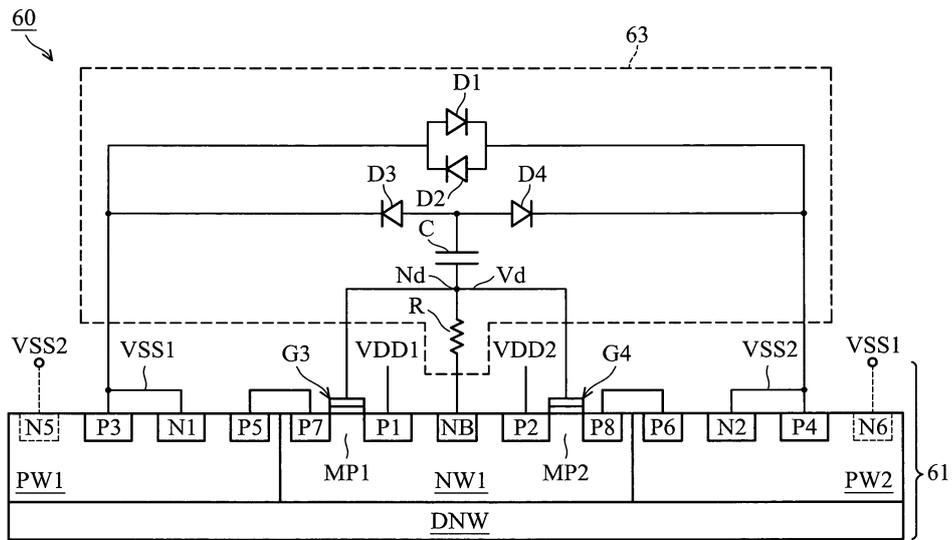


第 5 圖

(7)

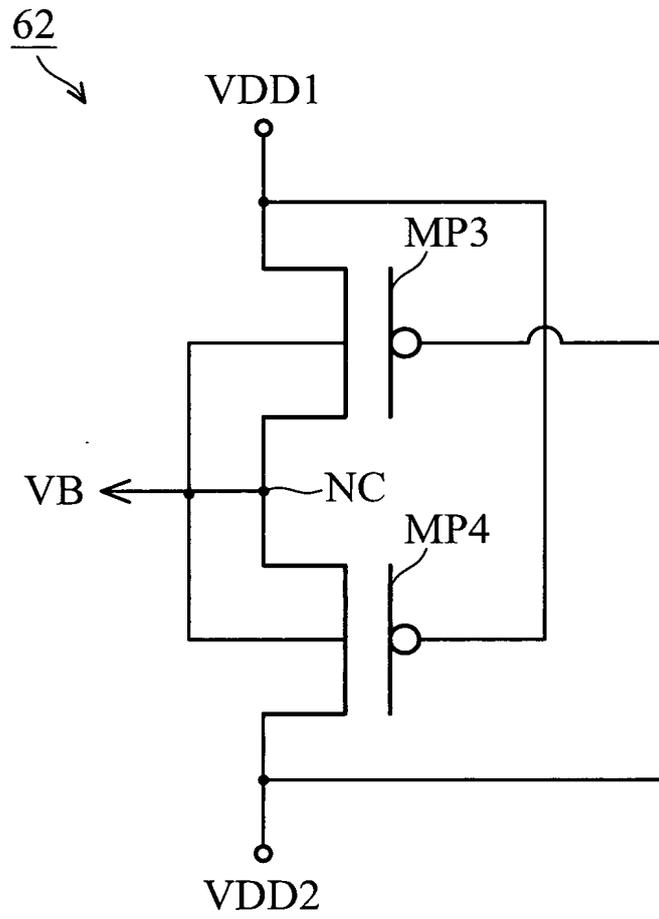


第 6A 圖



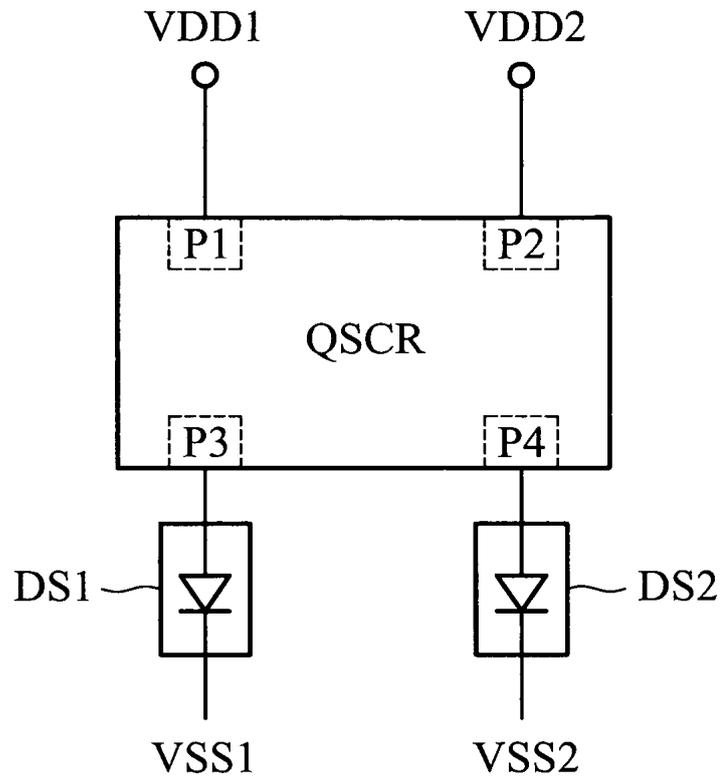
第 6B 圖

(8)

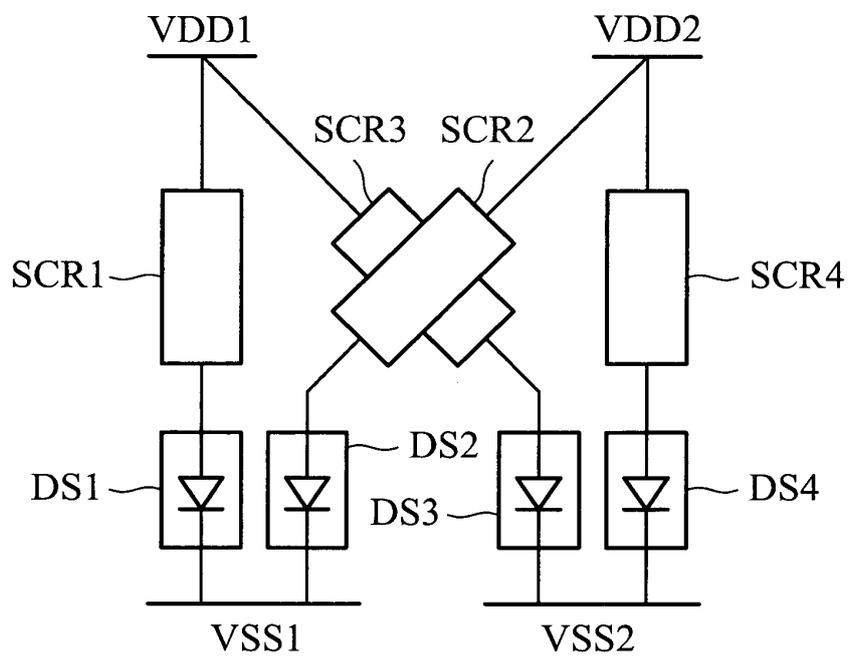


第 6C 圖

(9)



第 7A 圖



第 7B 圖