

【11】證書號數：I628779

【45】公告日：中華民國 107 (2018) 年 07 月 01 日

【51】Int. Cl.： H01L27/02 (2006.01) H01L27/08 (2006.01)

發明

全 12 頁

【54】名稱：雙極性電晶體裝置

BIPOLAR TRANSISTOR DEVICE

【21】申請案號：106104514 【22】申請日：中華民國 106 (2017) 年 02 月 10 日

【11】公開編號：201824511 【43】公開日期：中華民國 107 (2018) 年 07 月 01 日

【30】優先權：2016/12/20 美國 15/384,736

【72】發明人：柯明道 (TW) KER, MING-DOU；吳偉琳 (TW) WU, WOEI-LIN；彭政傑 (TW) PENG, JAMES JENG-JIE；姜信欽 (TW) JIANG, RYAN HSIN-CHIN

【71】申請人：晶焱科技股份有限公司 AMAZING MICROELECTRONIC CORP.

新北市中和區中正路 736 號 6 樓之 6

【74】代理人：江日舜

【56】參考文獻：

TW 201419490A

CN 103187413A

US 2015/0029622A1

US 2015/0171074A1

審查人員：呂俊賢

【57】申請專利範圍

1. 一種雙極性電晶體裝置，其係包含：一基板；至少一第一電晶體單元，包含：一第一摻雜井區，其為第一導電型，該第一摻雜井區設於該基板中；至少一第一鰭式結構，包含：複數第一摻雜鰭，其係均勻設於該第一摻雜井區中，並沿第一方向設置，每一該第一摻雜鰭具有一第一摻雜區與二第一重摻雜區，該第一摻雜區為該第一導電型，該些第一重摻雜區為第二導電型，每一該第一摻雜區設於其對應之該二第一重摻雜區之間，該些第一摻雜區與該些第一重摻雜區設於該第一摻雜井區中，並從該基板之表面上凸出；以及一第一閘極帶，設於該些第一摻雜區之頂部與側壁及該基板之該表面上，並沿與該第一方向相交之第二方向設置，且該第一閘極帶為浮接；以及至少一第二鰭式結構，包含：複數第二摻雜鰭，其係均勻設於該第一摻雜井區中，並沿該第一方向設置，每一該第二摻雜鰭具有一第二摻雜區與二第二重摻雜區，該第二摻雜區為該第一導電型，該些第二重摻雜區為該第二導電型，每一該第二摻雜區設於其對應之該二第二重摻雜區之間，該些第二摻雜區與該些第二重摻雜區設於該第一摻雜井區中，並從該基板之該表面上凸出；以及一第二閘極帶，設於該些第二摻雜區之頂部與側壁及該基板之該表面上，並沿該第二方向設置，且該第二閘極帶為浮接，該些第一重摻雜區、該些第二重摻雜區與該第一摻雜井區形成複數第一雙載子界面電晶體，該些第一重摻雜區連接一高電壓端，該些第二重摻雜區連接一低電壓端，該高電壓端與該低電壓端之電壓對該些第一雙載子界面電晶體進行偏壓，以產生複數第一靜電放電 (ESD) 電流來通過該些第一雙載子界面電晶體。
2. 如請求項 1 所述之雙極性電晶體裝置，其中該第一導電型為 P 型時，該第二導電型為 N 型，該第一導電型為 N 型時，該第二導電型為 P 型。
3. 如請求項 1 所述之雙極性電晶體裝置，其中該第二方向垂直該第一方向。

(2)

4. 如請求項 1 所述之雙極性電晶體裝置，其中該第一鰭式結構更包含二第一接觸電極，其係分別設於位於該些第一摻雜區之相異二側之該些第一重摻雜區之頂部與側壁及該基板之該表面上，並沿該第二方向設置，該些第一重摻雜區透過該些第一接觸電極連接該高電壓端；以及該第二鰭式結構更包含二第二接觸電極，其係分別設於位於該些第二摻雜區之相異二側之該些第二重摻雜區之頂部與側壁及該基板之該表面上，並沿該第二方向設置，該些第二重摻雜區透過該些第二接觸電極連接該低電壓端。
5. 如請求項 1 所述之雙極性電晶體裝置，其中該第一閘極帶與該第二閘極帶之材質為多晶矽。
6. 如請求項 1 所述之雙極性電晶體裝置，其中該第一鰭式結構之數量為複數個，該第二鰭式結構之數量為複數個，該些第一鰭式結構與該些第二鰭式結構為交替式設置。
7. 如請求項 1 所述之雙極性電晶體裝置，其中該第一鰭式結構之數量為二，該第一電晶體單元更包含一第一摻雜區域，該第一摻雜區域為第二導電型，該第一摻雜區域設於該第一摻雜井區中，該第二鰭式結構設於該些第一鰭式結構之間，該些第二重摻雜區與該些第二摻雜區設於該第一摻雜區域中，該第二閘極帶設於該些第一閘極帶之間，且該第二閘極帶連接該些第一閘極帶。
8. 如請求項 7 所述之雙極性電晶體裝置，其中該第一摻雜區域為摻雜井區。
9. 如請求項 7 所述之雙極性電晶體裝置，更包含至少一第二電晶體單元，該第一電晶體單元之數量為二，該第二電晶體單元更包含：一第二摻雜井區，其係為該第二導電型，該第二摻雜井區設於該基板中；一第二摻雜區域，其係為該第一導電型，該第二摻雜區域設於該第二摻雜井區中；二第三鰭式結構，每一該第三鰭式結構更包含：複數第三摻雜鰭，其係均勻設於該第二摻雜井區中，並沿該第一方向設置，每一該第三摻雜鰭具有一第三摻雜區與二第三重摻雜區，該第三摻雜區為該第二導電型，該些第三重摻雜區為該第一導電型，每一該第三摻雜區設於其對應之該二第三重摻雜區之間，該些第三摻雜區與該些第三重摻雜區設於該第二摻雜井區中，並從該基板之該表面上凸出，該些第三重摻雜區連接該低電壓端；以及一第三閘極帶，設於該些第三摻雜區之頂部與側壁及該基板之該表面上，並沿該第二方向設置，且該第三閘極帶為浮接；以及一第四鰭式結構，包含：複數第四摻雜鰭，其係均勻設於該第二摻雜區域中，並沿該第一方向設置，每一該第四摻雜鰭具有一第四摻雜區與二第四重摻雜區，該第四摻雜區為該第一導電型，該些第四重摻雜區為該第二導電型，每一該第四摻雜區設於其對應之該二第四重摻雜區之間，該些第四摻雜區與該些第四重摻雜區設於該第二摻雜區域中，並從該基板之該表面上凸出，該些第四重摻雜區連接該高電壓端；以及一第四閘極帶，設於該些第四摻雜區之頂部與側壁及該基板之該表面上，並沿該第二方向設置，且該第四閘極帶為浮接，該第四閘極帶設於該些第三閘極帶之間，該第四閘極帶連接該些第三閘極帶，該些第三重摻雜區、該些第四重摻雜區、該第二摻雜區域與該第二摻雜井區形成複數第二雙載子界面電晶體，該高電壓端與該低電壓端之該電壓對該些第二雙載子界面電晶體進行偏壓，以產生複數第二靜電放電（ESD）電流來通過該些第二雙載子界面電晶體，又該些第一摻雜井區與該第二摻雜井區呈交替式鄰接，該些第一摻雜區域與該第二摻雜區域呈交替式鄰接。
10. 如請求項 9 所述之雙極性電晶體裝置，其中該第三鰭式結構更包含二第三接觸電極，其係分別設於位於該些第三摻雜區之相異二側之該些第三重摻雜區之頂部與側壁及該基板之該表面上，並沿該第二方向設置，該些第三重摻雜區透過該些第三接觸電極連接該低電壓端；以及該第四鰭式結構更包含二第四接觸電極，其係分別設於位於該些第四摻雜區之相異二側之該些第四重摻雜區之頂部與側壁及該基板之該表面上，並沿該第二方向設置，該些第四重摻雜區透過該些第四接觸電極連接該高電壓端。

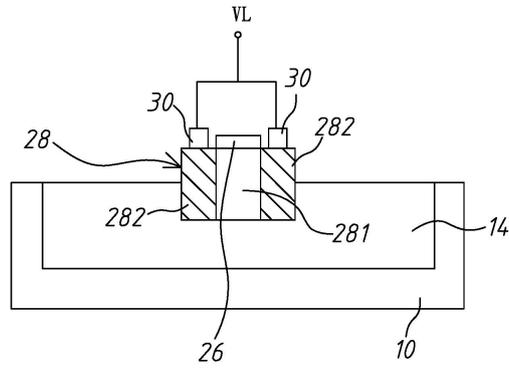
(3)

11. 如請求項 9 所述之雙極性電晶體裝置，其中該第三閘極帶與該第四閘極帶之材質為多晶矽。
12. 如請求項 9 所述之雙極性電晶體裝置，其中該第二摻雜區域為摻雜井區。
13. 如請求項 9 所述之雙極性電晶體裝置，其中該第一電晶體單元之數量為複數個，該第二電晶體單元之數量為複數個，且每一該第二電晶體單元對應二該第一電晶體單元。
14. 如請求項 1 所述之雙極性電晶體裝置，其中該基板為半導體基板。

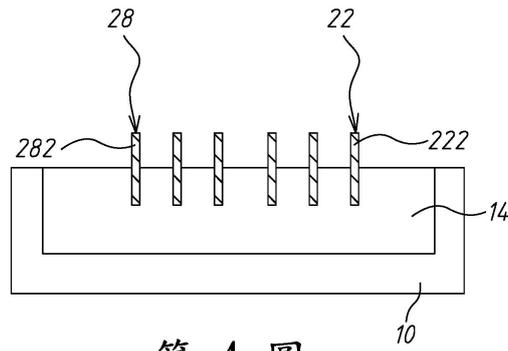
圖式簡單說明

第 1 圖為本發明之雙極性電晶體裝置之第一實施例的電路佈局示意圖。第 2 圖為本發明之雙極性電晶體裝置之沿第 1 圖之 A-A' 線的結構剖視圖。第 3 圖為本發明之雙極性電晶體裝置之沿第 1 圖之 B-B' 線的結構剖視圖。第 4 圖為本發明之雙極性電晶體裝置之沿第 1 圖之 C-C' 線的結構剖視圖。第 5 圖為本發明之雙極性電晶體裝置之第一實施例之一等效電路示意圖。第 6 圖為本發明之雙極性電晶體裝置之第一實施例之另一等效電路示意圖。第 7 圖為本發明之雙極性電晶體裝置之第二實施例的電路佈局示意圖。第 8 圖為本發明之雙極性電晶體裝置之第三實施例的電路佈局示意圖。第 9 圖為本發明之雙極性電晶體裝置之沿第 8 圖之 D-D' 線的結構剖視圖。第 10 圖為本發明之雙極性電晶體裝置之沿第 8 圖之 E-E' 線的結構剖視圖。第 11 圖為本發明之雙極性電晶體裝置之沿第 8 圖之 F-F' 線的結構剖視圖。第 12 圖為本發明之雙極性電晶體裝置之第三實施例之一等效電路示意圖。第 13 圖為本發明之雙極性電晶體裝置之第三實施例之另一等效電路示意圖。第 14 圖為本發明之雙極性電晶體裝置之第四實施例的電路佈局示意圖。第 15 圖為本發明之雙極性電晶體裝置之沿第 14 圖之 G-G' 線的結構剖視圖。第 16 圖為本發明之雙極性電晶體裝置之沿第 14 圖之 H-H' 線的結構剖視圖。

(5)

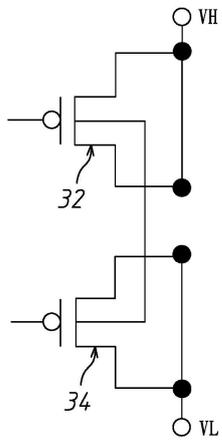


第 3 圖

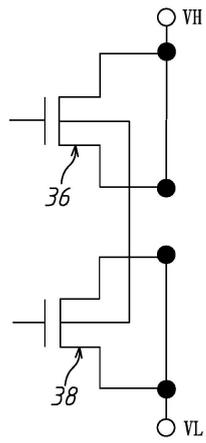


第 4 圖

(6)

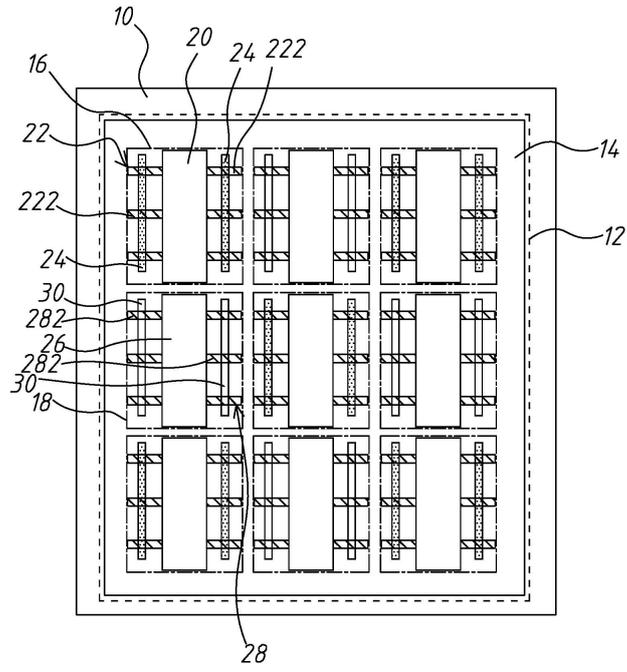


第 5 圖



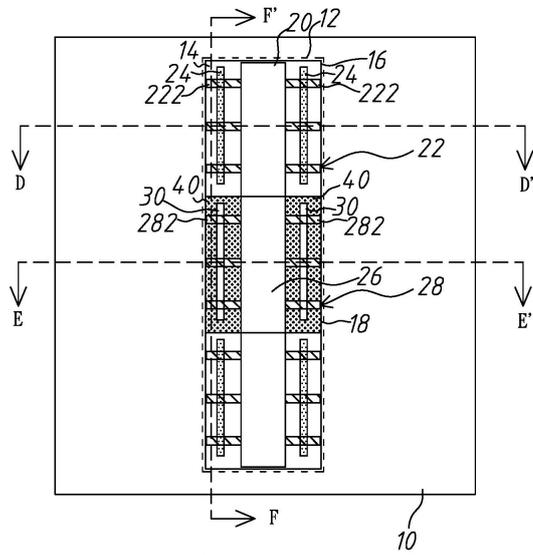
第 6 圖

(7)

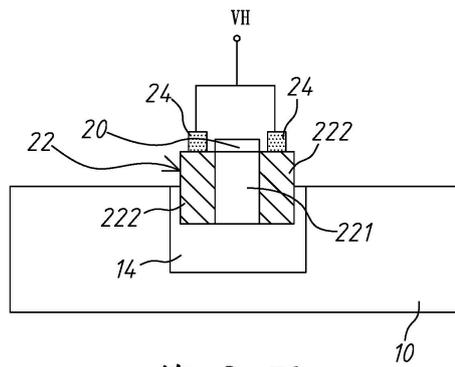


第 7 圖

(8)

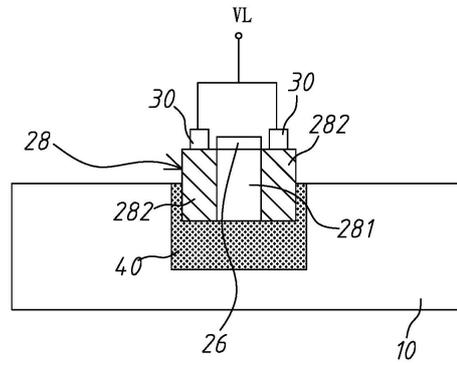


第 8 圖

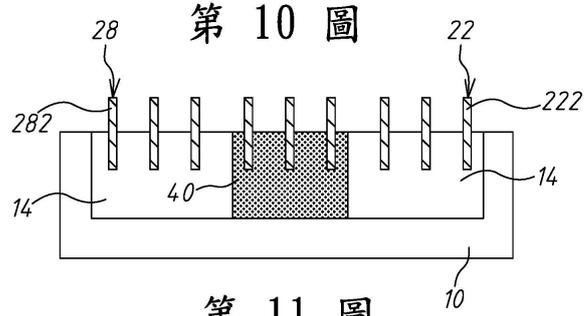


第 9 圖

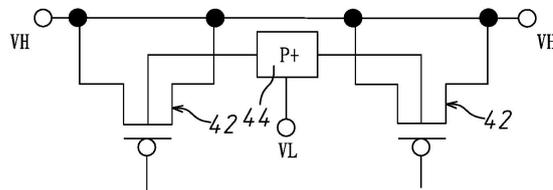
(9)



第 10 圖

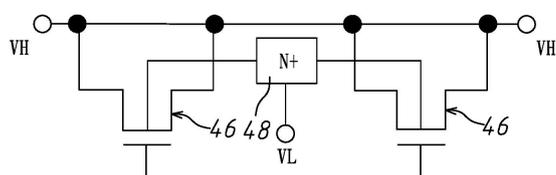


第 11 圖



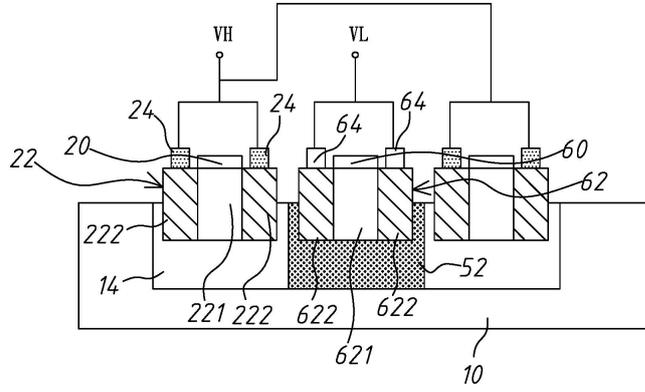
第 12 圖

(10)

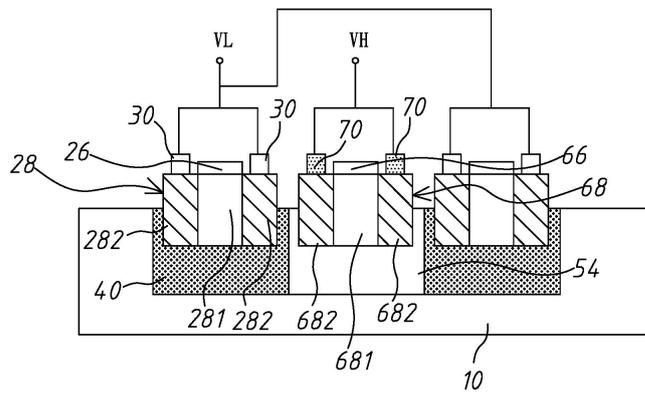


第 13 圖

(12)



第 15 圖



第 16 圖