

【11】證書號數：I652792

【45】公告日：中華民國 108 (2019) 年 03 月 01 日

【51】Int. Cl.：H01L23/60 (2006.01)

H01L29/861 (2006.01)

發明

全 6 頁

【54】名稱：自我平衡式二極體裝置

SELF-BALANCED DIODE DEVICE

【21】申請案號：106140847

【22】申請日：中華民國 105 (2016) 年 08 月 16 日

【11】公開編號：201807803

【43】公開日期：中華民國 107 (2018) 年 03 月 01 日

【72】發明人：柯明道 (TW) KER, MING-DOU；吳偉琳 (TW) WU, WOEI-LIN；彭政傑 (TW) PENG, JAMES JENG-JIE；姜信欽 (TW) JIANG, RYAN HSIN-CHIN

【71】申請人：晶焱科技股份有限公司

AMAZING MICROELECTRONIC
CORP.

新北市中和區中正路 736 號 6 樓之 6

【74】代理人：江日舜

【56】參考文獻：

TW 201436045A

US 2015/0311192A1

審查人員：謝介銘

【57】申請專利範圍

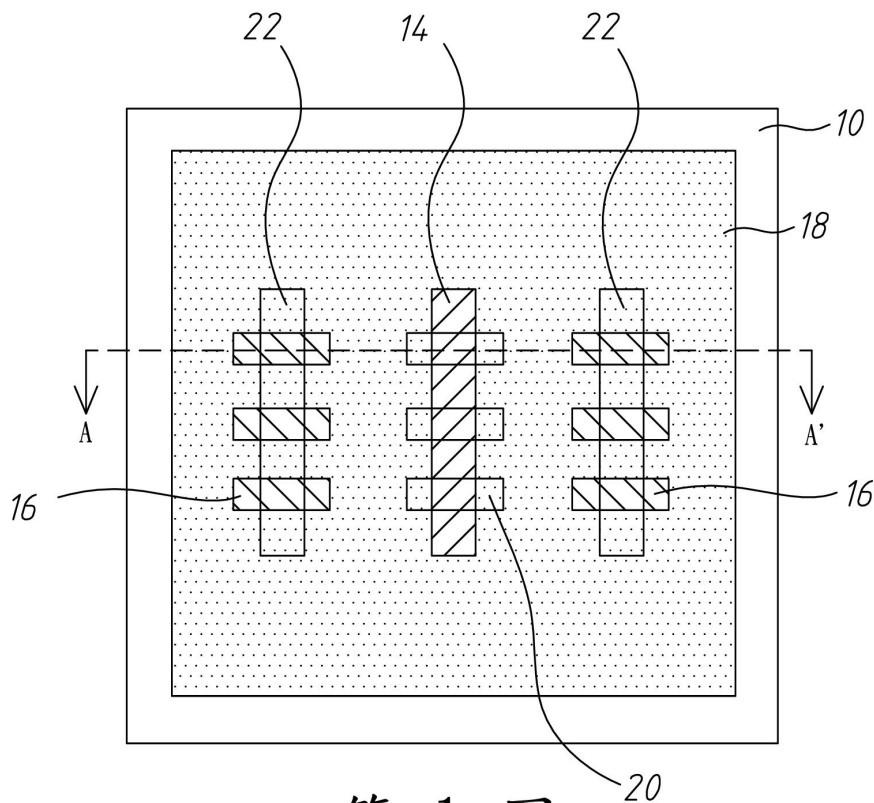
1. 一種自我平衡式二極體裝置，其係包含：一基板；一摻雜井區，設於該基板中；至少一第一導電型重摻雜鰭，設於該摻雜井區中，並沿第一方向設置，且從該基板之表面上凸出；至少二第二導電型重摻雜鰭，設於該摻雜井區中，並沿第二方向設置，該第二方向與該第一方向相交，該些第二導電型重摻雜鰭分別位於該第一導電型重摻雜鰭之相異二側，且從該基板之該表面上凸出，每一該第二導電型重摻雜鰭與該第一導電型重摻雜鰭相隔一固定距離，該摻雜井區、該第一導電型重摻雜鰭與該些第二導電型重摻雜鰭形成至少二二極體，該第一導電型重摻雜鰭電性連接第一電壓端，該些第二導電型重摻雜鰭電性連接第二電壓端，該第一電壓端與該第二電壓端之電壓順向偏壓該些二極體，以產生至少二均勻靜電放電 (ESD) 電流通過該些二極體；一絕緣層，其係設於該基板之該表面上，並介於該第一導電型重摻雜鰭與每一該第二導電型重摻雜鰭之間，該第一導電型重摻雜鰭之數量為複數個，該絕緣層介於相鄰之該第一導電型重摻雜鰭之間，又該二極體與該靜電放電電流之數量皆大於二；一第一接觸電極，設於該些第一導電型重摻雜鰭之頂部與側壁及該絕緣層上，並沿該第二方向設置，且電性連接該第一電壓端；以及複數個第二接觸電極，均勻設置於位於該相異二側之該第二導電型重摻雜鰭之頂部與側壁上，並設於該絕緣層上，且沿該第一方向設置，且電性連接該第二電壓端。
2. 如請求項 1 所述之自我平衡式二極體裝置，其中該摻雜井區為 P 型摻雜井區或 N 型摻雜井區。
3. 如請求項 1 所述之自我平衡式二極體裝置，其中該第一導電型重摻雜鰭為 N 型重摻雜鰭時，該些第二導電型重摻雜鰭為 P 型重摻雜鰭，且該第一電壓端與該第二電壓端分別為低電壓端與高電壓端；該第一導電型重摻雜鰭為 P 型重摻雜鰭時，該些第二導電型重摻雜鰭為 N 型重摻雜鰭，且該第一電壓端與該第二電壓端分別為高電壓端與低電壓端。
4. 如請求項 1 所述之自我平衡式二極體裝置，其中該第一方向垂直該第二方向。

(2)

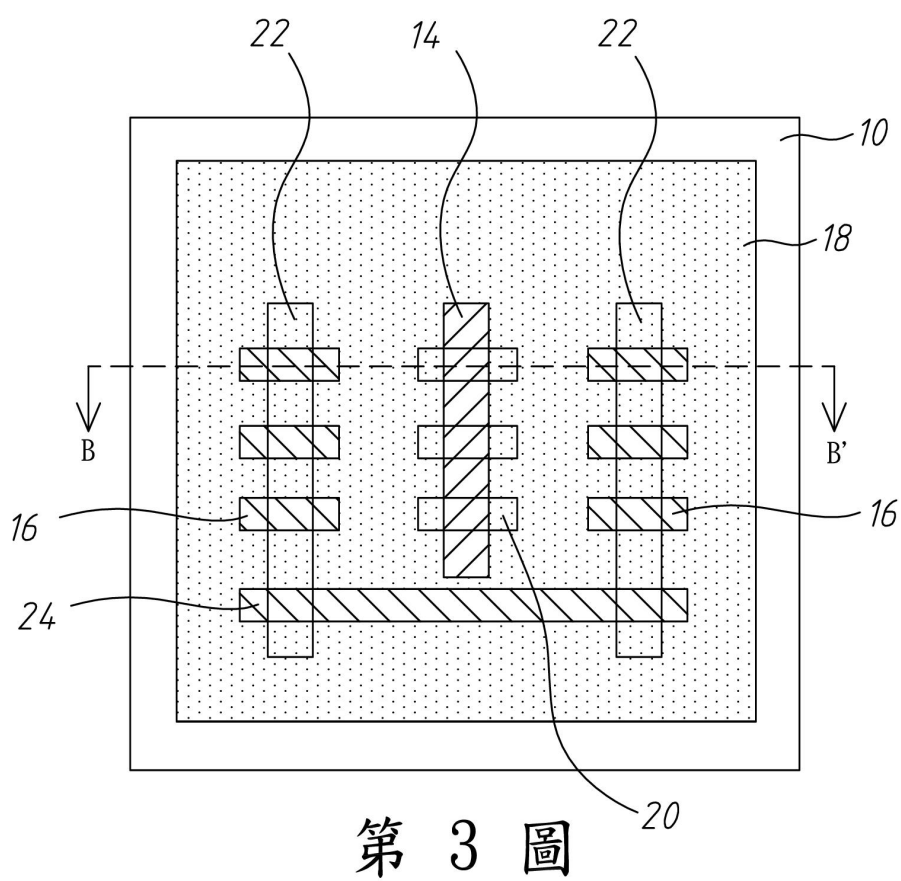
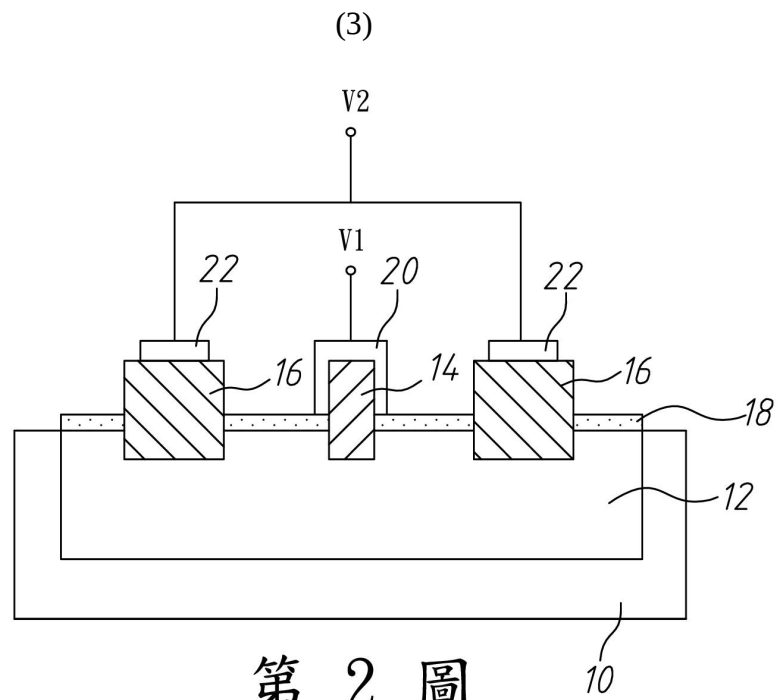
5. 如請求項 1 所述之自我平衡式二極體裝置，其中該些第一導電型重摻雜緒之數量等於位於該些第一導電型重摻雜緒之每一該側之該些第二接觸電極之數量。
6. 如請求項 1 所述之自我平衡式二極體裝置，其中該基板為半導體基板。

圖式簡單說明

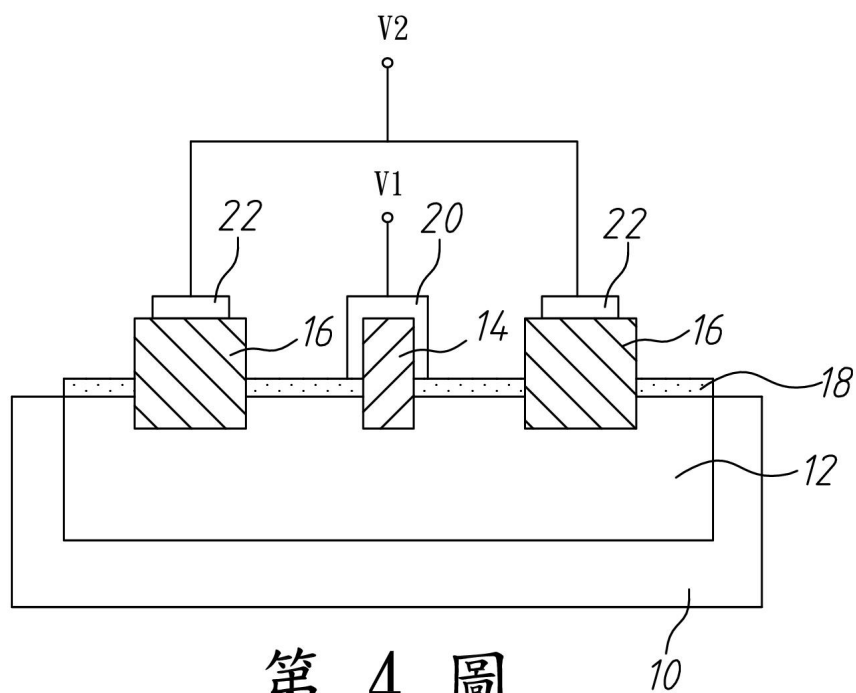
第 1 圖為本發明之自我平衡式二極體裝置之第一實施例的電路佈局示意圖。第 2 圖為本發明之自我平衡式二極體裝置之沿第 1 圖之 A-A' 線的結構剖視圖。第 3 圖為本發明之自我平衡式二極體裝置之第二實施例的電路佈局示意圖。第 4 圖為本發明之自我平衡式二極體裝置之沿第 3 圖之 B-B' 線的結構剖視圖。第 5 圖為本發明之自我平衡式二極體裝置之第三實施例的電路佈局示意圖。第 6 圖為本發明之自我平衡式二極體裝置之沿第 5 圖之 C-C' 線的結構剖視圖。第 7 圖為本發明之自我平衡式二極體裝置之第四實施例的電路佈局示意圖。第 8 圖為本發明之自我平衡式二極體裝置之沿第 7 圖之 D-D' 線的結構剖視圖。



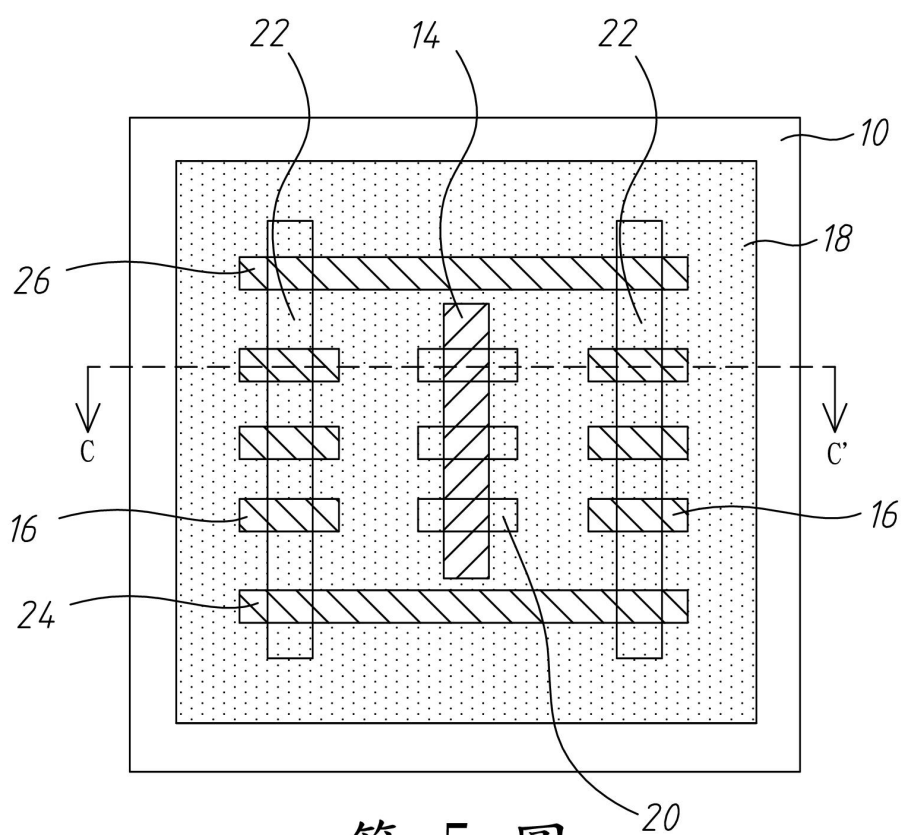
第 1 圖



(4)



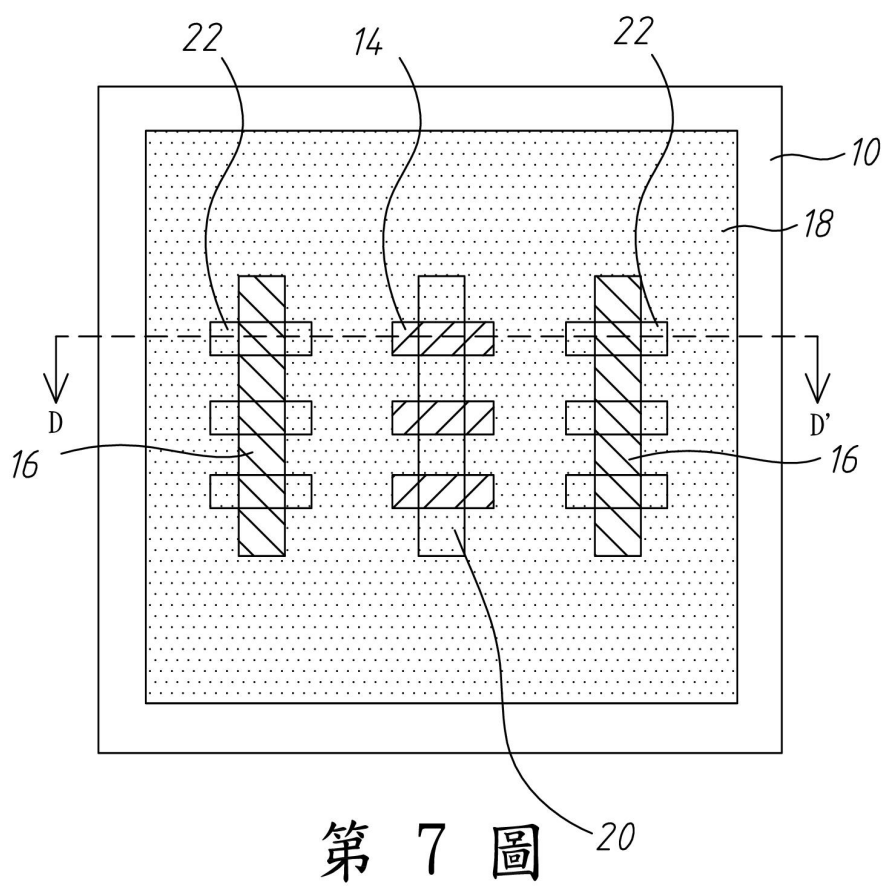
第 4 圖



第 5 圖

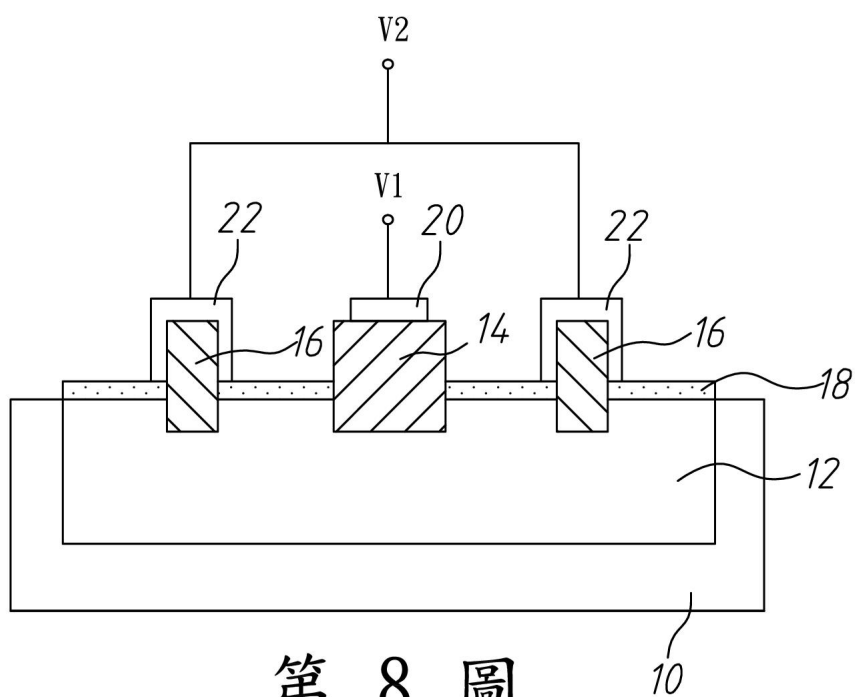
Figure 6 is a schematic diagram of a semiconductor device. The device is built on a substrate 10. A conductive layer 12 is formed on the substrate. A central gate structure 20 is connected to a terminal V1. Two side gate structures 22 are connected to a terminal V2. A channel region 14 is located between the side gates. A source/drain region 16 is on the left, and another source/drain region 18 is on the right. A dashed line 14 indicates a boundary or interface.

第 6 圖



第 7 圖

(6)



第 8 圖