

【11】證書號數：I652821

【45】公告日：中華民國 108 (2019) 年 03 月 01 日

【51】Int. Cl.：H01L29/74 (2006.01)

發明

全 6 頁

【54】名稱：有界閘極之矽控整流器

GATE-BOUNDED SILICON CONTROLLED RECTIFIER

【21】申請案號：105128104

【22】申請日：中華民國 105 (2016) 年 08 月 31 日

【11】公開編號：201813101

【43】公開日期：中華民國 107 (2018) 年 04 月 01 日

【72】發明人：林群祐 (TW) LIN, CHUNYU；柯明道 (TW) KER, MINGDOU；王文泰 (TW) WANG, WENTAI

【71】申請人：創意電子股份有限公司 GLOBAL UNICHIP CORPORATION

新竹市新竹科學園區力行六路 10 號

台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR

MANUFACTURING CO., LTD.

新竹市新竹科學工業園區力行六路 8 號

【74】代理人：李世章；秦建譜

【56】參考文獻：

TW 253069

TW 503567

TW 548820

TW I286835

TW I349368B

CN 102693980A

US 6268992B1

US 2010/0090283A1

US 2012/0305984A1

審查人員：陳聖

【57】申請專利範圍

1. 一種有界閘極之矽控整流器，包含：一基板；一 N 型井區，配置於該基板之中；一 P 型井區，配置於該基板之中，與該 N 型井區之間存在一接面；一第一 N 型半導體區，連接至一第一接腳，該第一 N 型半導體區配置於該 N 型井區之中；一第一 P 型半導體區，連接至一第二接腳，該第一 P 型半導體區配置於該 P 型井區之中；一第二 N 型半導體區，連接至該第二接腳，該第二 N 型半導體區配置於該 P 型井區之中，介於該第一 N 型半導體區與該第一 P 型半導體區之間；一第二 P 型半導體區，連接至該第一接腳，該第二 P 型半導體區配置於該 N 型井區之中，介於該第一 N 型半導體區與該第一 P 型半導體區之間；以及一第三半導體區，介於該第二 N 型半導體區與該第二 P 型半導體區之間，其中該第一接腳與該第二接腳分別連接至一陽極端與一陰極端；一第一閘極結構，連接至一第一觸發器元件，該第一閘極結構配置於該第二 P 型半導體區與該第三半導體區的區間之上；一第二閘極結構，連接至一第二觸發器元件，該第二閘極結構配置於該第二 N 型半導體區與該第三半導體區的區間之上，且該 N 型井區與該 P 型井區之該接面位於該第二閘極結構之下，其中該基板為 P 型基板，該第三半導體區為 P 型半導體區，配置於該 N 型井區之中；一第一深溝渠隔離槽，介於該第一 N 型半導體區與該第二 P 型半導體區之間，配置於該 N 型井區之中；以及一第二深溝渠隔離槽，介於該第二 N 型半導體區與該第一 P 型半導體區之間，配置於該 P 型井區之中，其中該第一閘極結構、該第二閘極結構、該第一深溝渠隔離槽以及該第二深溝渠隔離槽用以控制觸發一門鎖現象所需的臨界電壓。

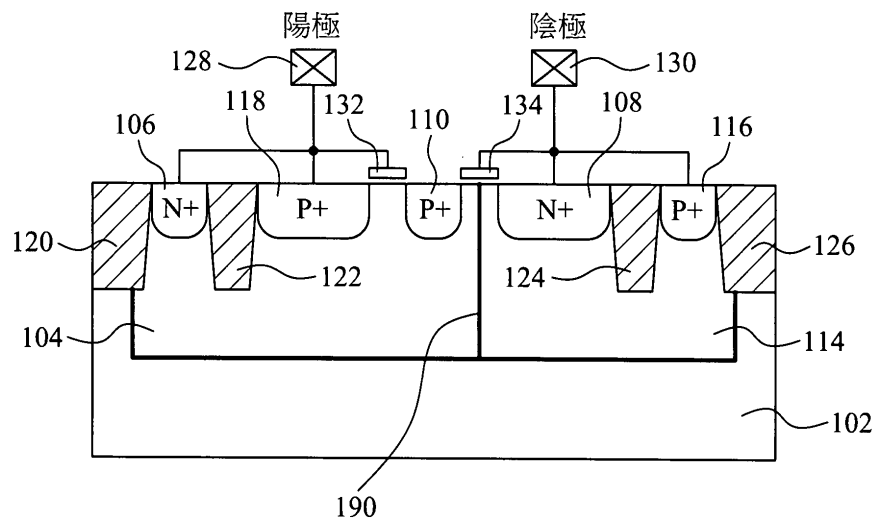
2. 如請求項 1 所述之有界閘極之矽控整流器，該有界閘極之矽控整流器更包含：一第三深溝渠隔離槽，介於該基板與該第一 N 型半導體區之間，配置於該基板與該 N 型井區之接面處；以及一第四深溝渠隔離槽，介於該基板與該第一 P 型半導體區之間，配置於該基板與該 P 型井區之接面處。
3. 一種有界閘極之矽控整流器，包含：一基板；一 N 型井區，配置於該基板之中；一 P 型井區，配置於該基板之中，與該 N 型井區之間存在一接面；一第一 N 型半導體區，連接至一第一接腳，該第一 N 型半導體區配置於該 N 型井區之中；一第一 P 型半導體區，連接至一第二接腳，該第一 P 型半導體區配置於該 P 型井區之中；一第二 N 型半導體區，連接至該第二接腳，該第二 N 型半導體區配置於該 P 型井區之中，介於該第一 N 型半導體區與該第一 P 型半導體區之間；一第二 P 型半導體區，連接至該第一接腳，該第二 P 型半導體區配置於該 N 型井區之中，介於該第一 N 型半導體區與該第一 P 型半導體區之間；一第三半導體區，介於該第二 N 型半導體區與該第二 P 型半導體區之間一第一閘極結構，連接至一第一觸發器元件，該第一閘極結構配置於該第二 P 型半導體區與該第三半導體區的區間之上，且該 N 型井區與該 P 型井區之該接面位於該第一閘極結構之下；一第二閘極結構，連接至一第二觸發器元件，該第二閘極結構配置於該第二 N 型半導體區與該第三半導體區的區間之上，其中該基板為 P 型基板，該第三半導體區為 N 型半導體區，配置於該 P 型井區之中；一第一深溝渠隔離槽，介於該第一 N 型半導體區與該第二 P 型半導體區之間，配置於該 N 型井區之中；以及一第二深溝渠隔離槽，介於該第二 N 型半導體區與該第一 P 型半導體區之間，配置於該 P 型井區之中，其中該第一閘極結構、該第二閘極結構、該第一深溝渠隔離槽以及該第二深溝渠隔離槽用以控制觸發一閃鎖現象所需的臨界電壓。
4. 如請求項 3 所述之有界閘極之矽控整流器，該有界閘極之矽控整流器更包含：一第三深溝渠隔離槽，介於該基板與該第一 N 型半導體區之間，配置於該基板與該 N 型井區之接面處；以及一第四深溝渠隔離槽，介於該基板與該第一 P 型半導體區之間，配置於該基板與該 P 型井區之接面處。

圖式簡單說明

第 1 圖為依據本案揭露的第一實施例所繪製的有界閘極之矽控整流器的示意圖；第 2 圖為依據本案揭露的第二實施例所繪製的有界閘極之矽控整流器的示意圖；第 3 圖為依據本案揭露的第三實施例所繪製的有界閘極之矽控整流器的示意圖；第 4 圖為依據本案揭露的第四實施例所繪製的有界閘極之矽控整流器的示意圖；第 5 圖為依據本案揭露的第五實施例所繪製的有界閘極之矽控整流器的示意圖；第 6 圖為依據本案揭露的第六實施例所繪製的有界閘極之矽控整流器的示意圖；第 7 圖為依據本案揭露的第七實施例所繪製的有界閘極之矽控整流器的示意圖；以及第 8 圖為依據本案揭露的第八實施例所繪製的有界閘極之矽控整流器的示意圖。

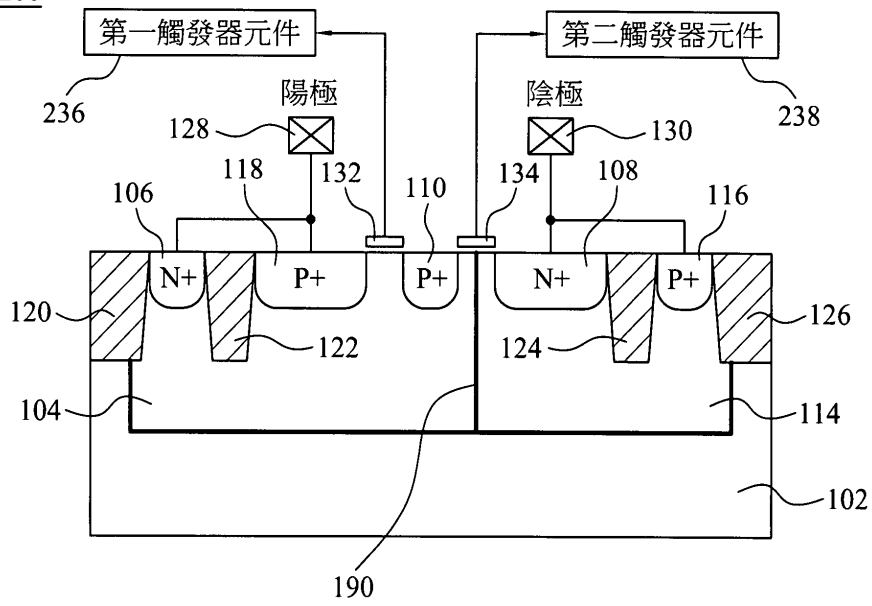
(3)

100



第 1 圖

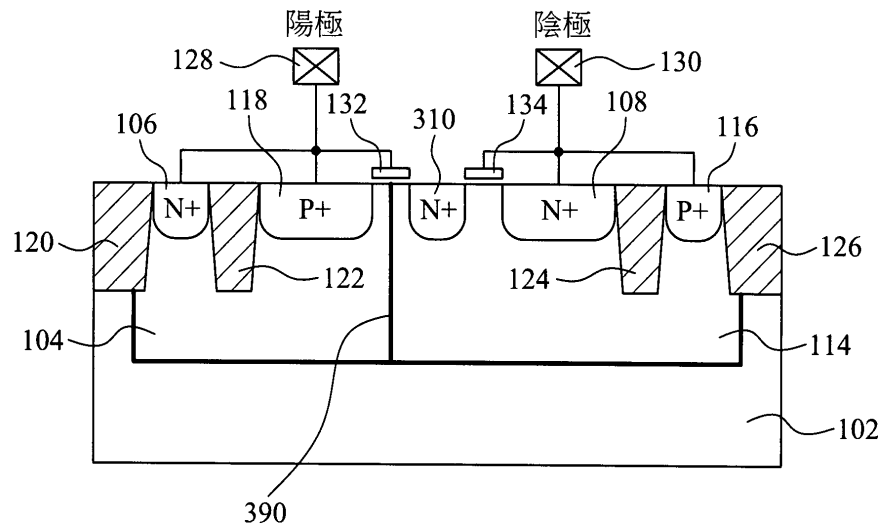
200



第 2 圖

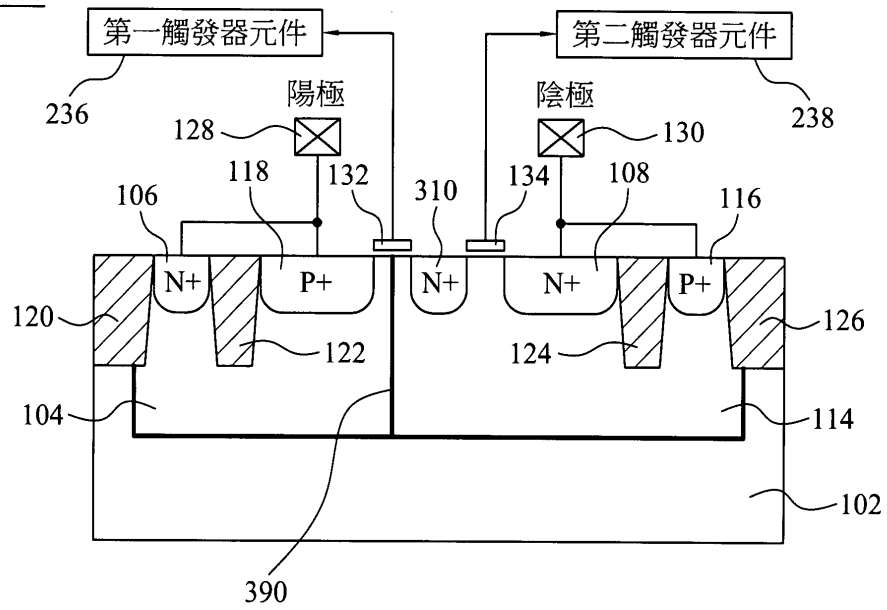
(4)

300



第 3 圖

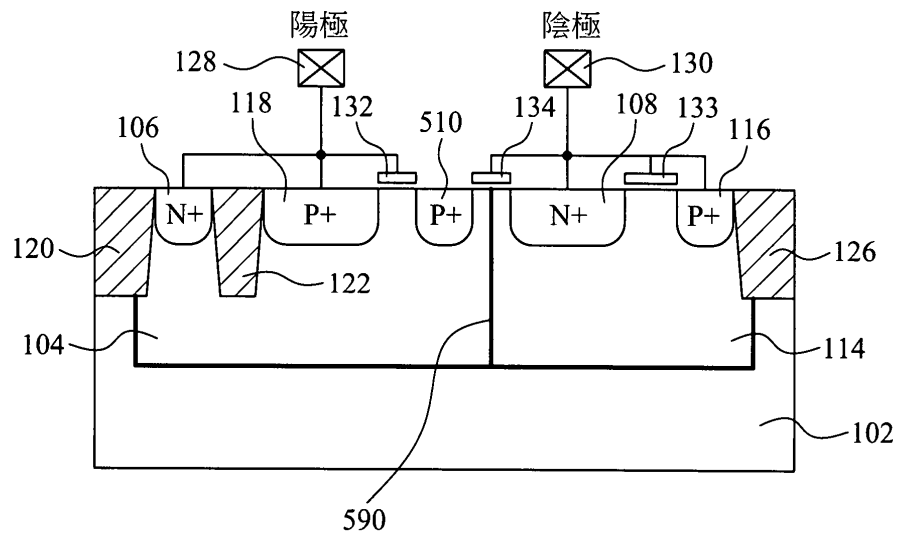
400



第 4 圖

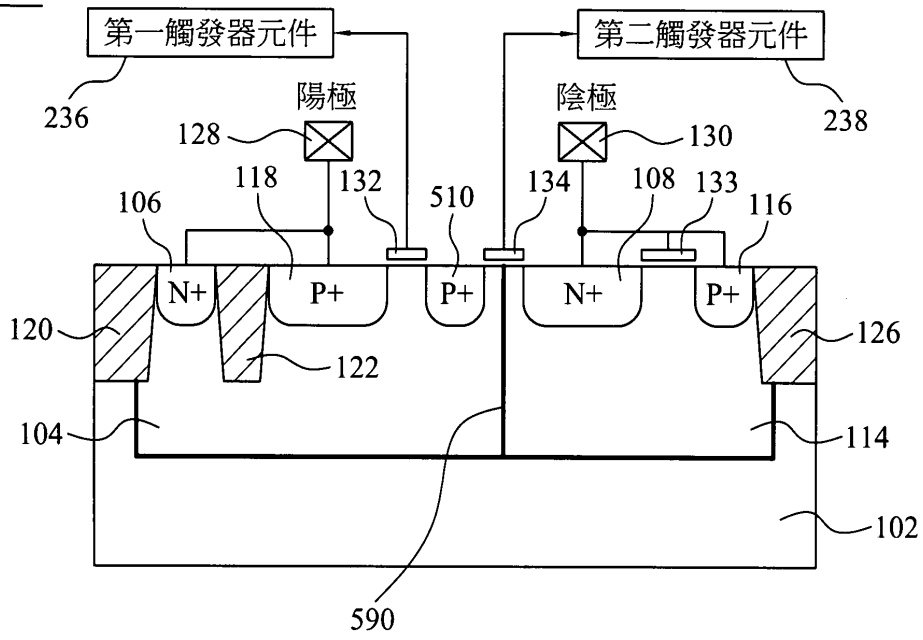
(5)

500



第 5 圖

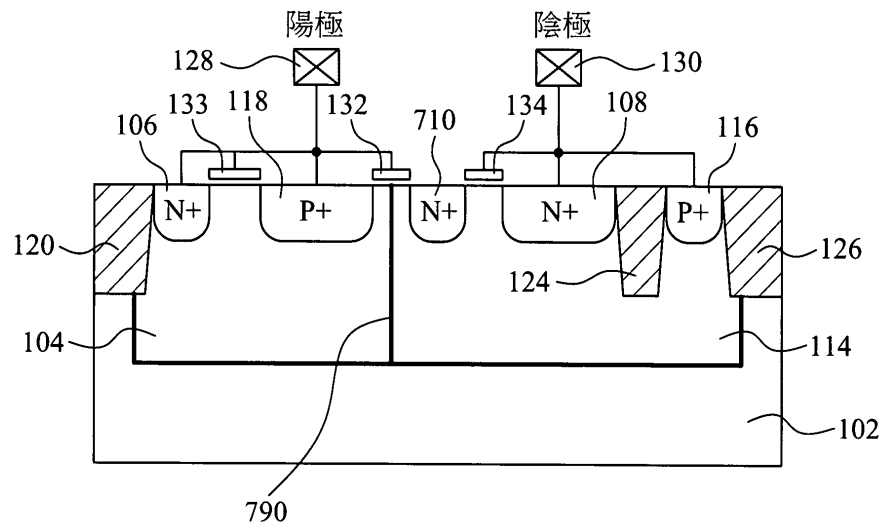
600



第 6 圖

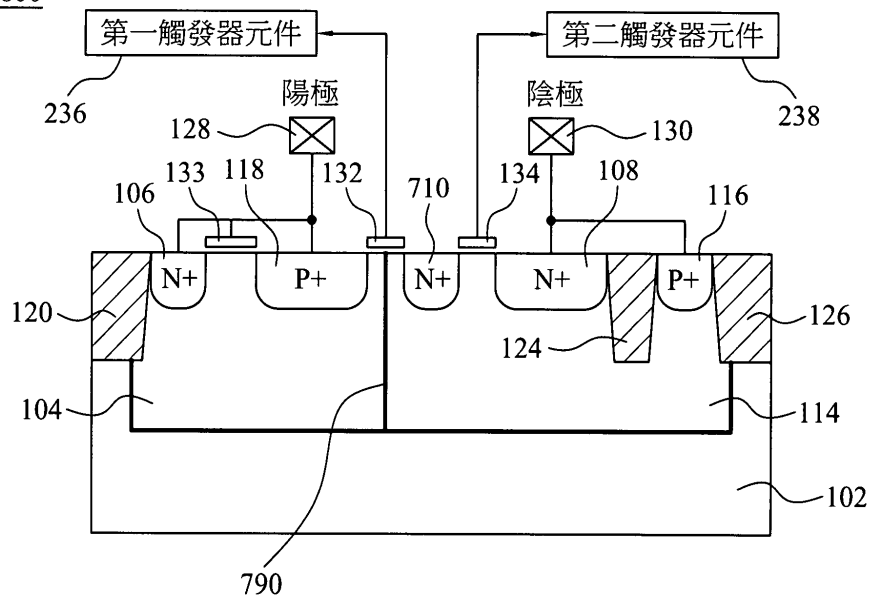
(6)

700



第 7 圖

800



第 8 圖