

【11】證書號數：I655746

【45】公告日：中華民國 108 (2019) 年 04 月 01 日

【51】Int. Cl.：H01L27/02 (2006.01)

發明

全 6 頁

【54】名稱：二極體與二極體串電路

DIODE AND DIODE STRING CIRCUIT

【21】申請案號：104114767

【22】申請日：中華民國 104 (2015) 年 05 月 08 日

【11】公開編號：201640645

【43】公開日期：中華民國 105 (2016) 年 11 月 16 日

【72】發明人：林群祐 (TW) LIN, CHUNYU；柯明道 (TW) KER, MINGDOU；王文泰 (TW) WANG, WENTAI

【71】申請人：創意電子股份有限公司 GLOBAL UNICHIP CORPORATION
新竹市新竹科學園區力行六路 10 號
台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD.

新竹市新竹科學工業園區力行六路 8 號

【74】代理人：蔡坤財；李世章

【56】參考文獻：

TW 201431094

US 20150069424A1

審查人員：黃泰淵

【57】申請專利範圍

1. 一種二極體，包含：一基板；一第一絕緣層，設置於該基板上；一第二絕緣層，設置於該基板上，並與該第一絕緣層定義一元件區域；一深摻雜區，具有一第一導電型，並位於該元件區域下方；一井區，具有一第二導電型，設置於該基板上，其中該井區設置於該元件區域下方，且該深摻雜區設置於該井區內；一第一摻雜區，具有該第一導電型，其中該第一摻雜區設置於該元件區域內，該第一摻雜區位於該深摻雜區上並直接接觸該井區；以及一第二摻雜區，具有該第二導電型，相鄰設置於該第一摻雜區旁，其中該第二摻雜區位於該深摻雜區上，並經由該深摻雜區以及該第一摻雜區而與該井區電性絕緣。
2. 如請求項 1 所述的二極體，更包含：一間隔區，設置於該深摻雜區上，並位於該第一摻雜區與該第二摻雜區之間。
3. 如請求項 1 所述的二極體，更包含：一閘極電極，設置於該元件區域上，並位於該第一摻雜區與該第二摻雜區之間。
4. 如請求項 1 所述的二極體，其中該井區的導電型與該深摻雜區的導電型互相相反。
5. 如請求項 1 所述的二極體，更包含：一第三摻雜區，具有該第一導電型，並位於該深摻雜區上，其中該第二摻雜區設置於該第一摻雜區與該第三摻雜區之間，並經由該深摻雜區、該第一摻雜區與該第三摻雜區而與該井區電性絕緣。
6. 一種二極體串電路，包含：一基板；複數個絕緣層，設置於該基板上，並用以定義一第一元件區域與一第二元件區域；一井區，設置於該基板上，其中該井區設置於該第一元件區域與該第二元件區域下；一第一二極體，包含：一第一深摻雜區，具有一第一導電型，設置於該井區內，並位於該第一元件區域下方，其中該井區具有一第二導電型；一第一摻雜區，具有該第一導電型，其中該第一摻雜區設置於該第一元件區域內，該第一摻雜區位於該第一深摻雜區上並直接接觸該井區；以及一第二摻雜區，具有該第二導電型，其中該第二摻雜區位於該第一深摻雜區上與該第一摻雜區旁，並經由該第一深摻雜

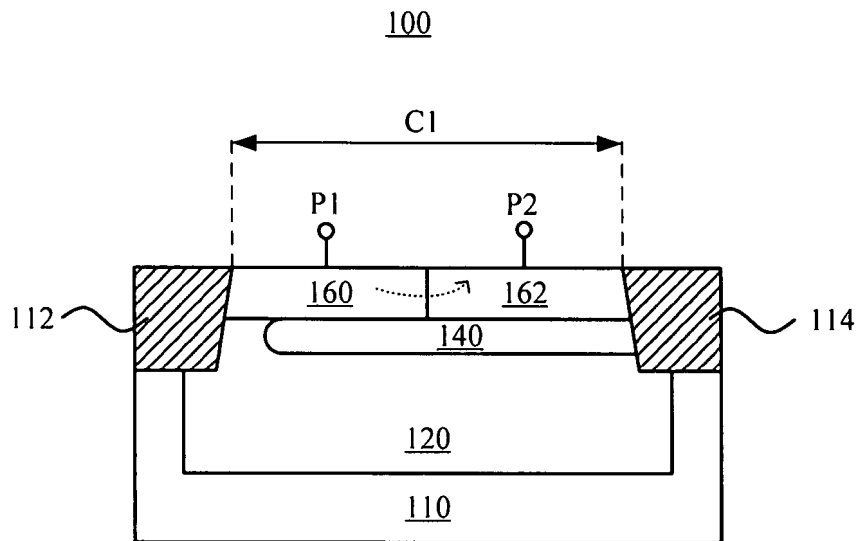
(2)

區以及該第一摻雜區而與該井區電性絕緣；以及一第二二極體，包含：一第二深摻雜區，具有該第一導電型，設置於該井區內，並位於該第二元件區域下方；一第三摻雜區，具有該第一導電型，並耦接至該第二摻雜區，其中該第三摻雜區設置於該第二元件區域內，該第三摻雜區位於該第二深摻雜區上並直接接觸；以及一第四摻雜區，具有該第二導電型，其中該第四摻雜區位於該第二深摻雜區上與該第三摻雜區旁，並經由該第二深摻雜區以及該第三摻雜區而與該井區電性絕緣。

7. 如請求項 6 所述的二極體串電路，更包含：一間隔區，位於該第一摻雜區與該第二摻雜區之間。
8. 如請求項 6 所述的二極體串電路，更包含：一間隔區，位於該第三摻雜區與該第四摻雜區之間。
9. 如請求項 6 所述的二極體串電路，更包含：一第五摻雜區，具有該第一導電型，位於該第一深摻雜區上以及位於該第二摻雜區與該些絕緣層之一第一者之間，以使該第二摻雜區經由該第一深摻雜區與該第五摻雜區而與該井區電性絕緣。
10. 如請求項 6 所述的二極體串電路，更包含：一第五摻雜區，具有該第一導電型，位於該第二深摻雜區上以及位於該第四摻雜區與該些絕緣層之一第二者之間，以使該第四摻雜區經由該第二深摻雜區與該第五摻雜區而與該井區電性絕緣。

圖式簡單說明

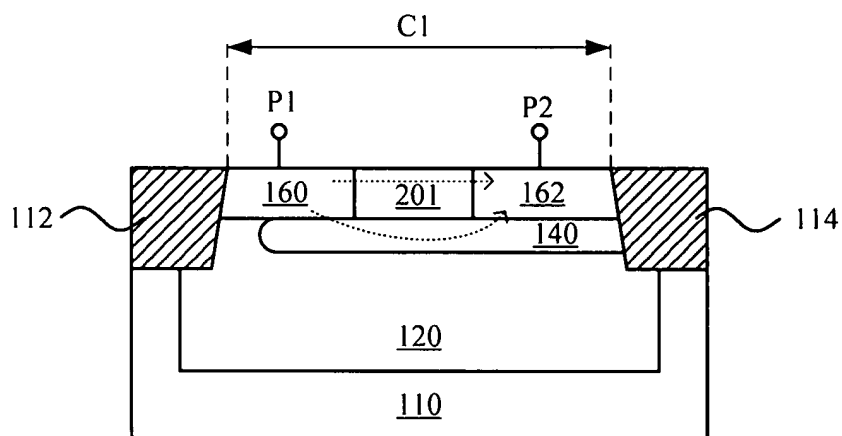
為讓本揭示內容之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：第 1 圖為根據本揭示內容之一實施例所繪示的一種二極體的剖面示意圖；第 2A 圖為根據本揭示內容之一實施例所繪示的一種二極體的剖面示意圖；第 2B 圖為根據本揭示內容之一實施例所繪示的一種二極體的剖面示意圖；第 3 圖為根據本揭示內容之一實施例所繪示的一種二極體的剖面示意圖；第 4 圖為根據本揭示內容之一實施例所繪示的一種二極體串電路的剖面示意圖；第 5A 圖為根據本揭示內容之一實施例所繪示的一種靜電放電防護裝置的剖面示意圖；第 5B 圖為根據本揭示內容之一實施例所繪示的一種靜電放電防護裝置的剖面示意圖；以及第 6 圖為根據本揭示內容之一實施例所繪示的一種二極體的剖面示意圖。



第 1 圖

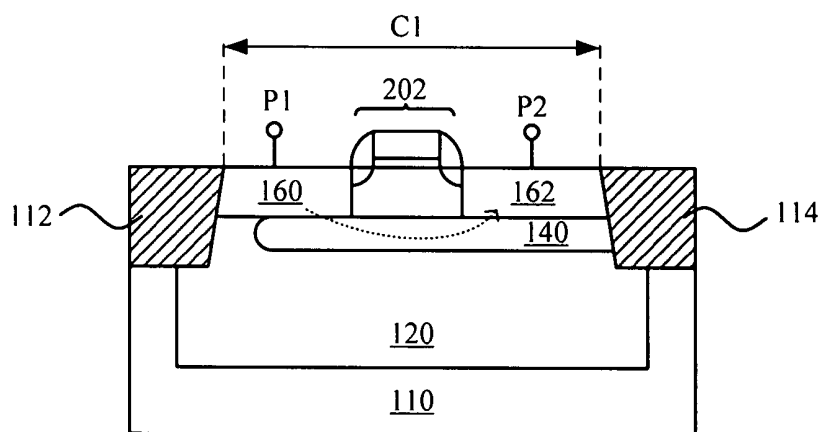
(3)

200



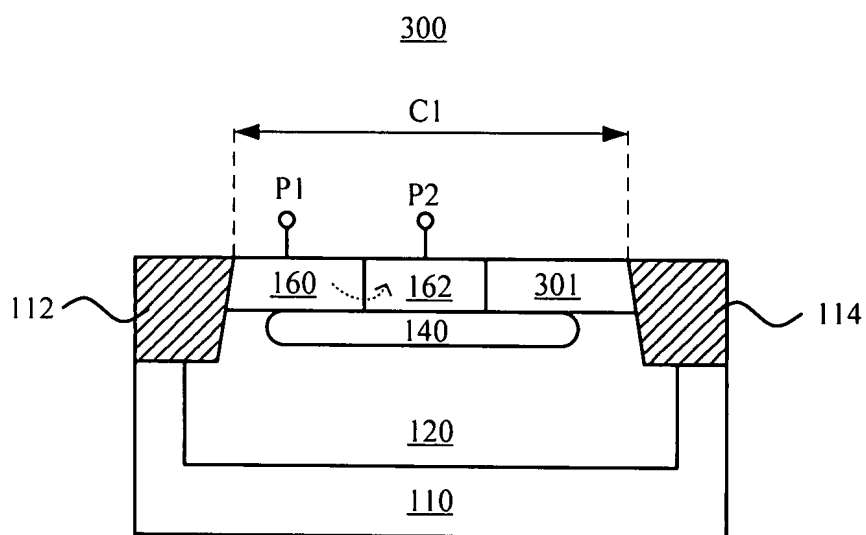
第 2A 圖

220

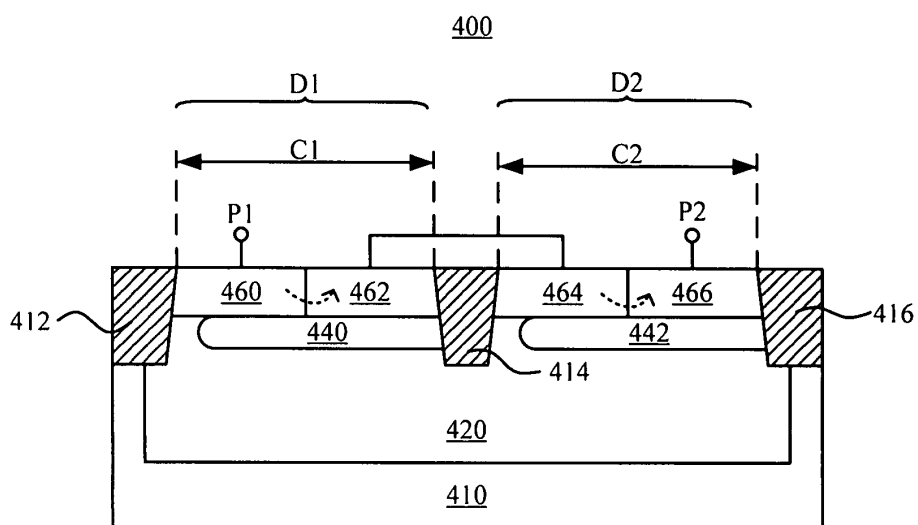


第 2B 圖

(4)

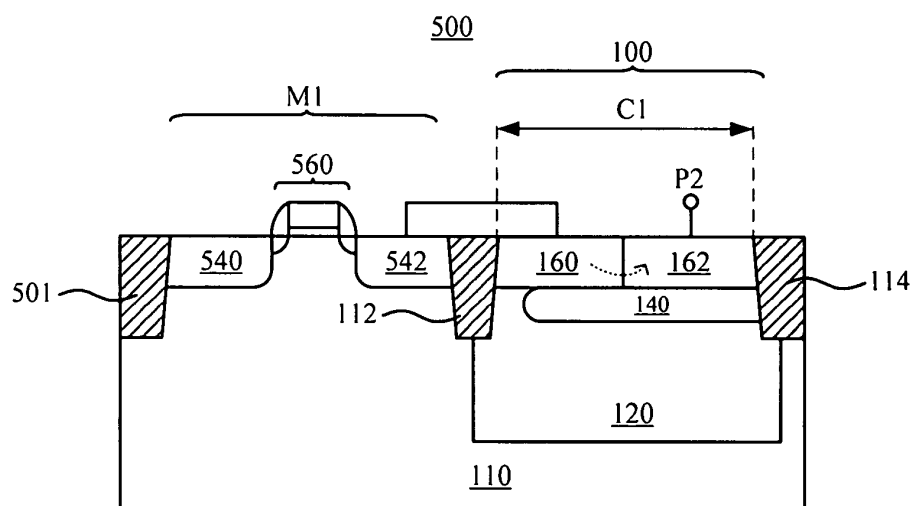


第 3 圖

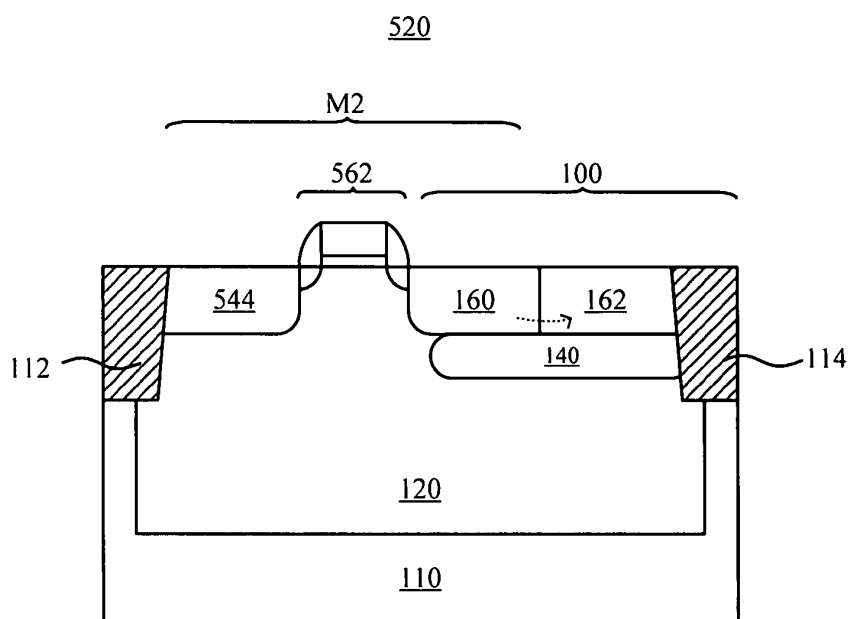


第 4 圖

(5)



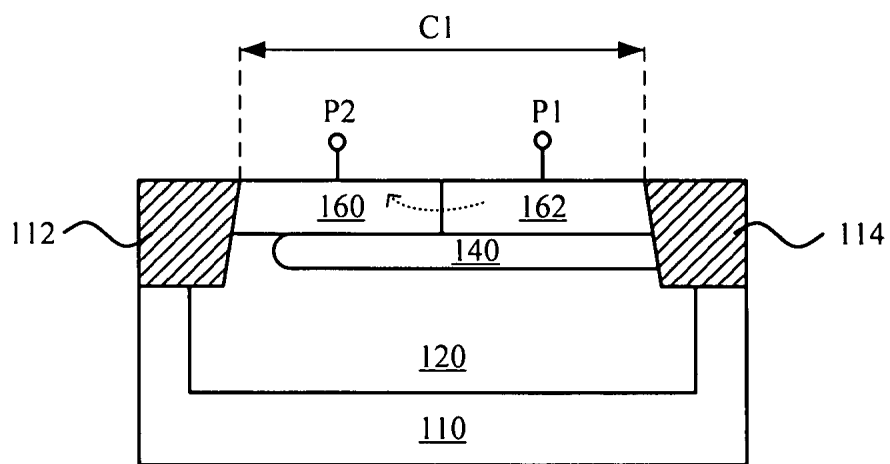
第 5A 圖



第 5B 圖

(6)

600



第 6 圖