

【19】中華民國

【12】專利公報 (B)

【11】證書號數：I222202

【45】公告日：中華民國 93 (2004) 年 10 月 11 日

【51】Int. Cl.⁷：H01L23/60

發明

全 17 頁

【54】名稱：閘極偏壓可調式之靜電放電防護電路

ESD PROTECTION CIRCUIT WITH TUNABLE GATE-BIAS

【21】申請案號：092125695

【22】申請日期：中華民國 92 (2003) 年 09 月 18 日

【30】優先權：2003/05/19

美國

10/440,083

【72】發明人：

柯明道

KER, MING DOU

羅文裕

LO, WEN YU

【71】申請人：

矽統科技股份有限公司

SILICON INTEGRATED SYSTEMS
CORP.

新竹市新竹科學園區研新一
路十六號

【74】代理人：洪澄文 先生

顏錦順 先生

1

2

[57]申請專利範圍：

1. 一種閘極偏壓可調式之靜電放電防護電路，耦接於一第一及第二接合墊之間，該第一及第二接合墊分別係用以接收一第一及第二供應電壓，該靜電放電防護電路包括：
一二極體，具有一正極及負極；
一電阻，耦接於該二極體之負極及該第一接合墊之間；
一電容，耦接於該二極體之負極與該第二接合墊之間；

一第一電晶體，具有一第一導電性，其閘極耦接至該二極體之負極，汲極耦接至該二極體之正極，源極則耦接至該第二接合墊；

5. 一第二電晶體，具有一第二導電性，其閘極耦接至該二極體之負極，汲極耦接至該二極體之正極，源極則耦接至該第一接合墊；以及

10. 一第三電晶體，具有該第一導電性，其閘極耦接至該二極體之正

極，汲極耦接至該第一接合墊，源極則耦接至該第二接合墊。

- 2.如申請專利範圍第1項所述之閘極偏壓可調式之靜電放電防護電路，其中該第一電晶體更包括一耦接至該第二接合墊之基極，該第二電晶體更包括一耦接至該第一接合墊之基極，該第三電晶體更包括一耦接至該第二接合墊之基極，該二極體係一第四電晶體，具有該第一導電性，其汲極做為該正極使用，源極做為該負極使用，基極耦接至該第二接合墊，閘極則與汲極耦接，該二極體亦可為一第五電晶體，具有該第二導電性，其汲極做為該負極使用，源極做為該正極使用，基極耦接至該第一接合墊，閘極則與汲極耦接。
- 3.一種閘極偏壓可調式之靜電放電防護電路，耦接於一第一及第二接合墊之間，該第一及第二接合墊分別係用以接收一第一及第二供應電壓，該靜電放電防護電路包括：
 - 一列同向串連之二極體，兩端具有一正極及負極；
 - 一電阻，耦接於該列二極體之負極及該第一接合墊之間；
 - 一電容，耦接於該列二極體之負極與該第二接合墊之間；
 - 一第一電晶體，具有一第一導電性，其閘極耦接至該列二極體之負極，汲極耦接至該列二極體之正極，源極則耦接至該第二接合墊；
 - 一第二電晶體，具有一第二導電性，其閘極耦接至該列二極體之負極，汲極耦接至該列二極體之正極，源極則耦接至該第一接合墊；
 - 以及
 - 一第三電晶體，具有該第一導電性，其閘極耦接至該列二極體之正

極，汲極耦接至該第一接合墊，源極則耦接至該第二接合墊。

- 4.如申請專利範圍第3項所述之閘極偏壓可調式之靜電放電防護電路，其中該第一電晶體更包括一耦接至該第二接合墊之基極，該第二電晶體更包括一耦接至該第一接合墊之基極，該第三電晶體更包括一耦接至該第二接合墊之基極，該列二極體之一係一第四電晶體，具有該第一導電性，其汲極做為正極使用，源極做為負極使用，基極耦接至該第二接合墊，閘極則與汲極耦接，該列二極體之一亦可為一第五電晶體，具有該第二導電性，其汲極做為負極使用，源極做為正極使用，基極耦接至該第一接合墊，閘極則與汲極耦接。
- 5.一種閘極偏壓可調式之靜電放電防護電路，耦接於一第一及第二接合墊之間，該第一及第二接合墊分別係用以接收一第一及第二供應電壓，該靜電放電防護電路包括：
 - 一第一二極體；
 - 一第二二極體，其負極耦接至該第一二極體之負極；
 - 一電阻，耦接於該第二二極體之正極及該第一接合墊之間；
 - 一電容，耦接於該第二二極體之正極與該第二接合墊之間；
 - 一第一電晶體，具有一第一導電性，其閘極耦接至該第一二極體之負極，汲極耦接至該第一二極體之正極，源極則耦接至該第二接合墊；
 - 一第二電晶體，具有一第二導電性，其閘極耦接至該第二二極體之正極，汲極耦接至該第一二極體之正極，源極則耦接至該第一接合墊；以及

一第三電晶體，具有該第一導電性，其閘極耦接至該第一二極體之正極，汲極耦接至該第一接合墊，源極則耦接至該第二接合墊。

6.如申請專利範圍第5項所述之閘極偏壓可調式之靜電放電防護電路，其中該第一電晶體更包括一耦接至該第二接合墊之基極，該第二電晶體更包括一耦接至該第一接合墊之基極，該第三電晶體更包括一耦接至該第二接合墊之基極，該第一與第二二極體之一係一第四電晶體，具有該第一導電性，其汲極做為該正極使用，源極做為該負極使用，基極耦接至該第二接合墊，閘極則與汲極耦接，該第一與第二二極體之一亦可為一第五電晶體，具有該第二導電性，其汲極做為該負極使用，源極做為該正極使用，基極耦接至該第一接合墊，閘極則與汲極耦接。

7.一種閘極偏壓可調式之靜電放電防護電路，耦接於一第一及第二接合墊之間，該第一及第二接合墊分別係用以接收一第一及第二供應電壓，該靜電放電防護電路包括：
 一列同向串連之第一二極體，兩端具有一正極及負極；
 一第二二極體，其負極耦接至該列第一二極體之負極；
 一電阻，耦接於該第二二極體之正極及該第一接合墊之間；
 一電容，耦接於該第二二極體之正極與該第二接合墊之間；
 一第一電晶體，具有一第一導電性，其閘極耦接至該列第一二極體之負極，汲極耦接至該列第一二極體之正極，源極則耦接至該第二接合墊；
 一第二電晶體，具有一第二導電

性，其閘極耦接至該第二二極體之正極，汲極耦接至該列第一二極體之正極，源極則耦接至該第一接合墊；以及

5. 一第三電晶體，具有該第一導電性，其閘極耦接至該列第一二極體之正極，汲極耦接至該第一接合墊，源極則耦接至該第二接合墊。

8.如申請專利範圍第7項所述之閘極偏壓可調式之靜電放電防護電路，其中該第一電晶體更包括一耦接至該第二接合墊之基極，該第二電晶體更包括一耦接至該第一接合墊之基極，該第三電晶體更包括一耦接至該第二接合墊之基極，該些第一與第二二極體之一係一第四電晶體，具有該第一導電性，其汲極做為該正極使用，源極做為該負極使用，基極耦接至該第二接合墊，閘極則與汲極耦接，該些第一與第二二極體之一亦可為一第五電晶體，具有該第二導電性，其汲極做為該負極使用，源極做為該正極使用，基極耦接至該第一接合墊，閘極則與汲極耦接。

9.一種閘極偏壓可調式之靜電放電防護電路，耦接於一第一及第二接合墊之間，該第一及第二接合墊分別係用以接收一第一及第二供應電壓，該靜電放電防護電路包括：

30. 一第一電晶體，具有一第二導電性；
 一二極體，具有一正極及負極分別耦接至該第一電晶體之汲極與閘極；

35. 一電阻，耦接於該二極體之正極及該第一接合墊之間；
 一電容，耦接於該二極體之正極與該第二接合墊之間；

40. 一第二電晶體，具有一第一導電

性，其閘極耦接至該二極體之負極，汲極耦接至該第一電晶體之源極，源極則耦接至該第二接合墊；一第三電晶體，具有該第二導電性，其閘極耦接至該二極體之正極，汲極耦接至該第二電晶體之源極，源極則耦接至該第一接合墊；以及一第四電晶體，具有該第一導電性，其閘極耦接至該第一電晶體之源極，汲極耦接至該第一接合墊，源極耦接至該第二接合墊。

10.如申請專利範圍第9項所述之閘極偏壓可調式之靜電放電防護電路，其中該第一電晶體更包括一耦接至該第一接合墊之基極，該第二電晶體更包括一耦接至該第二接合墊之基極，該第三電晶體更包括一耦接至該第一接合墊之基極，該第四電晶體更包括一耦接至該第二接合墊之基極，該二極體係一第五電晶體，具有該第一導電性，其汲極做為該正極使用，源極做為該負極使用，基極耦接至該第二接合墊，閘極則與汲極耦接，該二極體亦可為一第六電晶體，具有該第二導電性，其汲極做為該負極使用，源極做為該正極使用，基極耦接至該第一接合墊，閘極則與汲極耦接。

11.一種閘極偏壓可調式之靜電放電防護電路，耦接於一第一及第二接合墊之間，該第一及第二接合墊分別係用以接收一供應電壓及一輸入信號，該靜電放電防護電路包括：
一二極體，具有一正極及負極；
一電阻，耦接於該二極體之負極及該第一接合墊之間；
一電容，耦接於該二極體之負極與該第二接合墊之間，
一電晶體，其閘極耦接至該二極體

之負極，汲極耦接至該第二接合墊，源極耦接至該第一接合墊，基極則耦接至該二極體之正極。

12.如申請專利範圍第9項所述之閘極偏壓可調式之靜電放電防護電路，其中該二極體係一電晶體，其汲極做為正極，源極做為負極，基極耦接至該第一接合墊，閘極則與汲極耦接。

10. 13.一種閘極偏壓可調式之靜電放電防護電路，耦接於一第一及第二接合墊之間，該第一及第二接合墊分別係用以接收一供應電壓及一輸入信號，該靜電放電防護電路包括：

15. 一列同向串連之二極體，兩端具有一正極及負極；

一電阻，耦接於該列二極體之負極及該第一接合墊之間；

20. 一電容，耦接於該列二極體之負極與該第二接合墊之間；

一電晶體，其閘極耦接至該列二極體之負極，汲極耦接至該第二接合墊，源極耦接至該第一接合墊，基極則耦接至該二極體之正極。

25. 14.如申請專利範圍第13項所述之閘極偏壓可調式之靜電放電防護電路，其中該列二極體之一係一電晶體，其汲極做為正極，源極做為負極，基極耦接至該第一接合墊，閘極則與汲極耦接。

30. 15.一種閘極偏壓可調式之靜電放電防護電路，耦接於一第一及第二接合墊之間，該第一及第二接合墊分別係用以接收一供應電壓及一輸入信號，該靜電放電防護電路包括：

35. 一二極體，具有一正極及負極；

一電阻，耦接於該二極體之正極及該第一接合墊之間；

40. 一電容，耦接於該二極體之正極與該第二接合墊之間；

一電晶體，其閘極耦接至該二極體之正極，汲極耦接至該第二接合墊，源極耦接至該第一接合墊，基極則耦接至該二極體之負極。

16.如申請專利範圍第15項所述之閘極偏壓可調式之靜電放電防護電路，其中該二極體係一電晶體，其汲極做為正極，源極做為負極，基極耦接至該第一接合墊，閘極則與汲極耦接。

17.一種閘極偏壓可調式之靜電放電防護電路，耦接於一第一及第二接合墊之間，該第一及第二接合墊分別係用以接收一供應電壓及一輸入信號，該靜電放電防護電路包括：
一列同向串連之二極體，兩端具有一正極及負極；

一電阻，耦接於該二極體之正極及該第一接合墊之間；

一電容，耦接於該二極體之正極與該第二接合墊之間；

一電晶體，其閘極耦接至該二極體之正極，汲極耦接至該第二接合墊，源極耦接至該第一接合墊，基極則耦接至該二極體之負極。

18.如申請專利範圍第17項所述之閘極偏壓可調式之靜電放電防護電路，其中該列二極體之一係一電晶體，其汲極做為正極，源極做為負極，基極耦接至該第一接合墊，閘極則與汲極耦接。

19.一種閘極偏壓可調式之靜電放電防護電路，耦接於一第一及第二接合墊之間，該第一及第二接合墊分別係用以接收一第一及第二供應電壓，該靜電放電防護電路包括：

一二極體，具有一正極及負極；

一第一電晶體，具有一第一導電性，其閘極耦接至該二極體之正極，汲極耦接至該二極體之負極，

源極耦接至該第二接合墊；

一第二電晶體，具有一第二導電性，其閘極耦接至該二極體之正極，汲極耦接至該二極體之負極，源極則耦接至該第一接合墊；

一第三電晶體，具有該第一導電性，其汲極耦接至該二極體之正極，源極則耦接至該第二接合墊；

一第四電晶體，具有該第二導電性，其閘極耦接至該第三電晶體之閘極，汲極耦接至該二極體之正極，源極耦接至該第一接合墊；

一第五電晶體，具有該第二導電性，其閘極耦接至該二極體之負極，汲極耦接至該第二接合墊，源極則耦接至該第一接合墊；

一電阻，耦接於該第三電晶體之閘極及該第一接合墊之間；

一電容，耦接於該第三電晶體之閘極與該第二接合墊之間。

20.如申請專利範圍第19項所述之閘極

偏壓可調式之靜電放電防護電路，其中該第一電晶體更包括一耦接至該第二接合墊之基極，該第二電晶體更包括一耦接至該第一接合墊之基極，該第三電晶體更包括一耦接至該第二接合墊之基極，該第四電晶體更包括一耦接至該第一接合墊之基極，該第五電晶體更包括一耦接至該第一接合墊之基極，該二極體係一第六電晶體，具有該第一導電性，其汲極做為該正極使用，源極做為該負極使用，基極耦接至該第二接合墊，閘極則與汲極耦接，

該二極體亦可為一第七電晶體，具有該第二導電性，其汲極做為該負極使用，源極做為該正極使用，基極耦接至該第一接合墊，閘極則與汲極耦接。

圖式簡單說明：

第 1 圖係一傳統閘極耦合輸入級靜電放電防護電路；

第 2 圖係一傳統連接於 VDD 及 VSS 接合墊間之閘極驅動靜電放電防護電路；

第 3 圖係另一傳統閘極驅動靜電放電防護電路；

第 4 ~ 6 圖係美國第 6249410 號專利所揭露之無過閘極驅動效應之靜電放電防護電路；

第 7A ~ 7C 圖係本發明一第一實施例中之閘極驅動靜電放電防護電路以及變化型；

第 8A ~ 8D 係本發明一第二實施

例中之閘極驅動靜電放電防護電路以及變化型；

第 9A ~ 9C 圖係本發明一第三實施例中之閘極驅動靜電放電防護電路以及變化型；

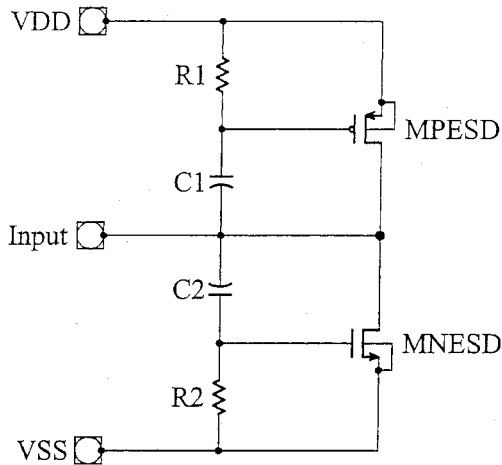
第 10A 及 10B 圖係本發明一第四實施例中之閘極驅動靜電放電防護電路以及變化型；

第 11A 及 11B 圖係本發明一第五實施例中之閘極驅動靜電放電防護電路以及變化型；

第 12A 及 12B 圖係本發明一第六實施例中之閘極驅動靜電放電防護電路以及變化型。

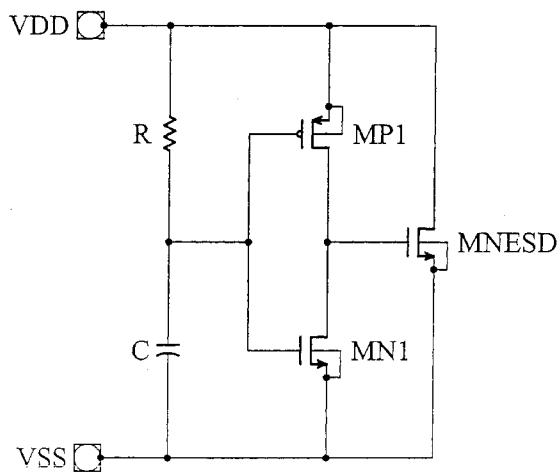
5.

10.

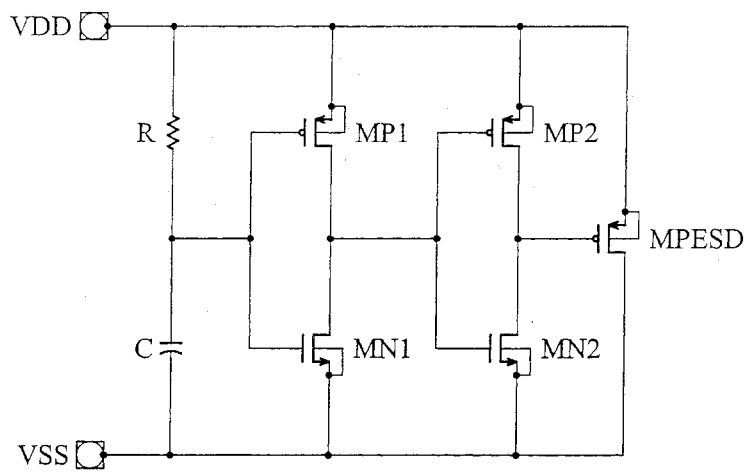


第 1 圖

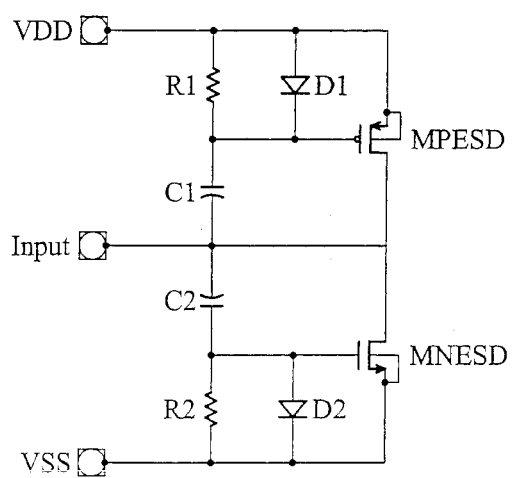
(7)



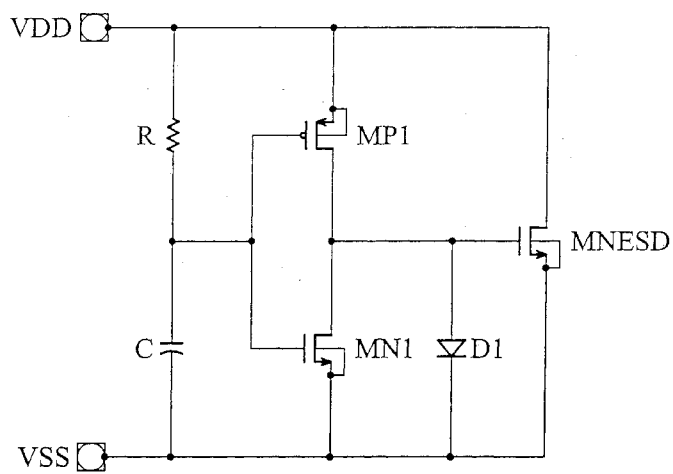
第 2 圖



第 3 圖

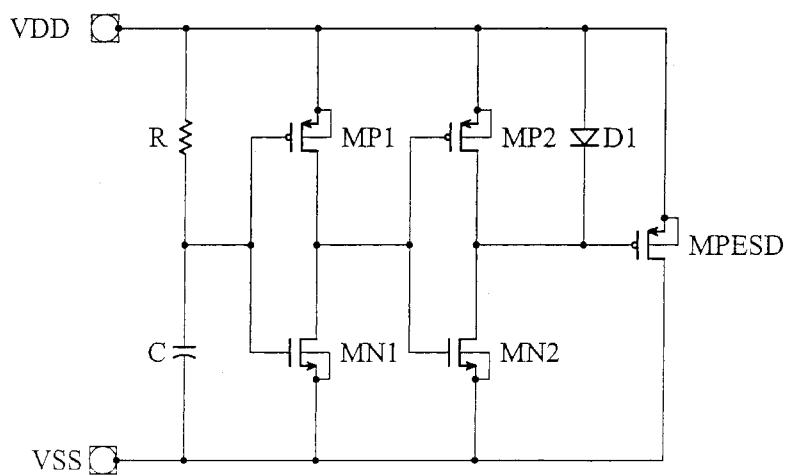


第 4 圖

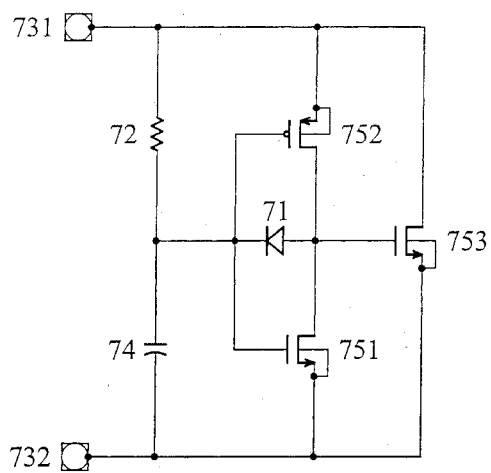


第 5 圖

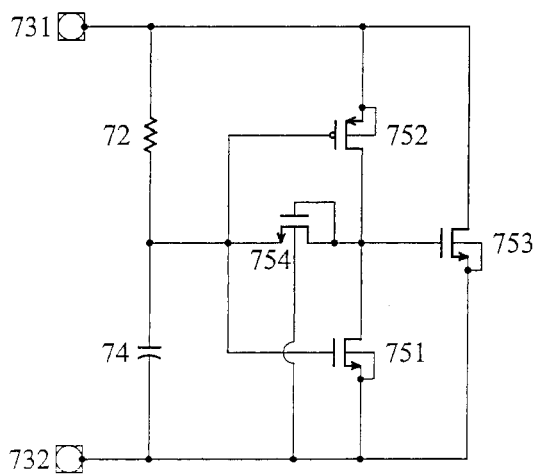
(9)



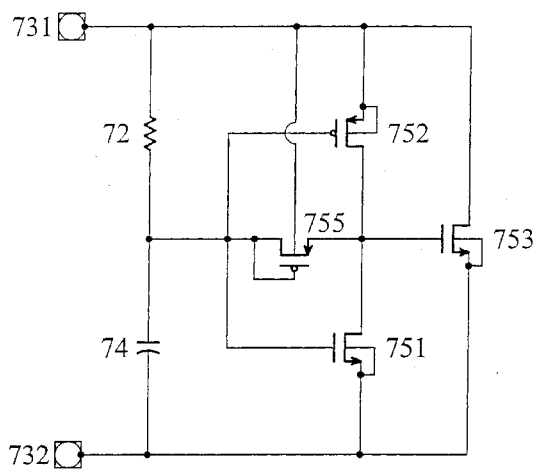
第 6 圖



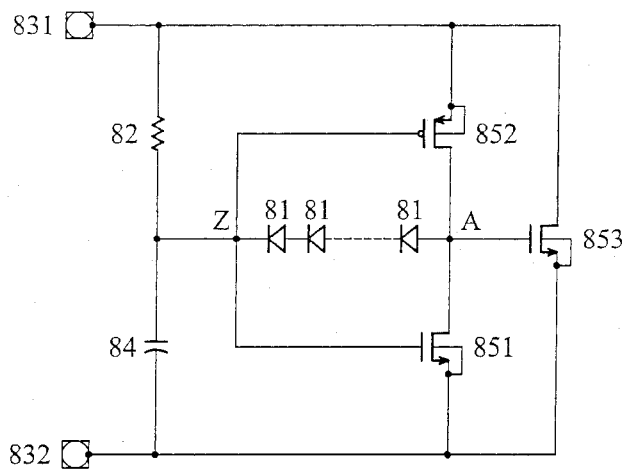
第 7A 圖



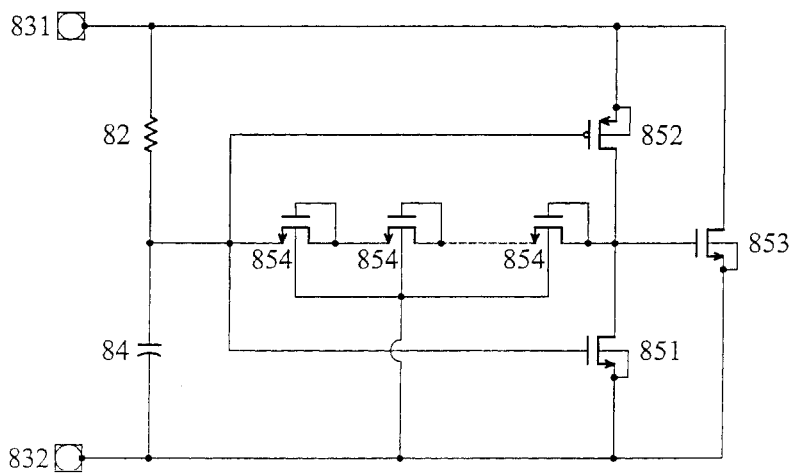
第 7B 圖



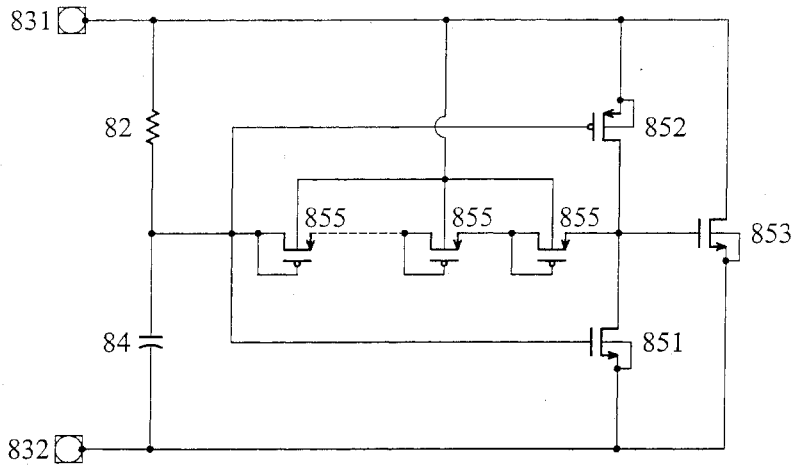
第 7C 圖



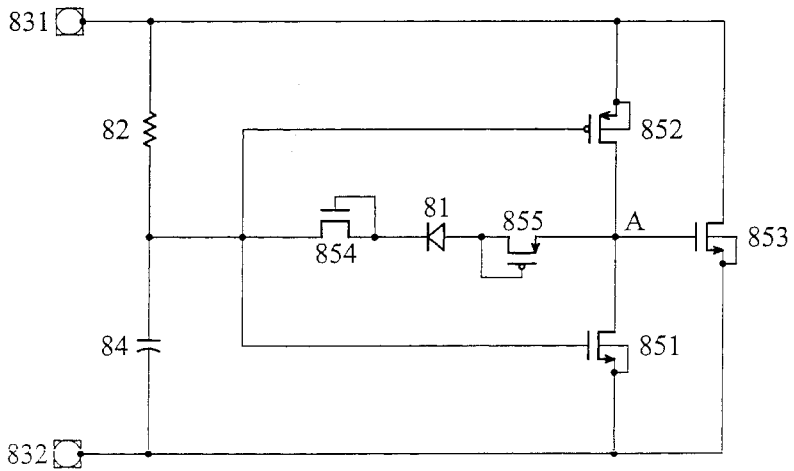
第 8A 圖



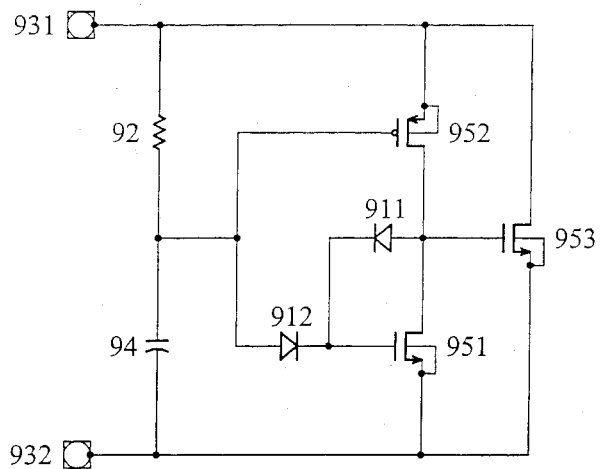
第 8B 圖



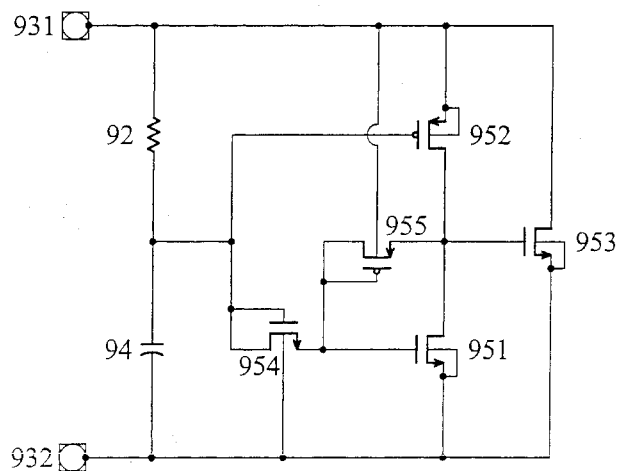
第 8C 圖



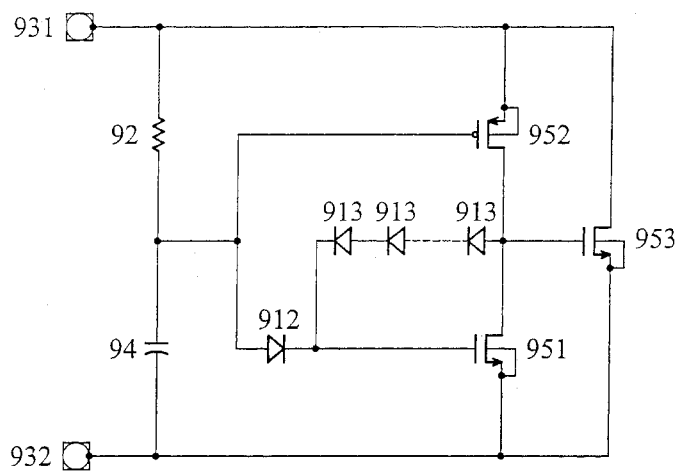
第 8D 圖



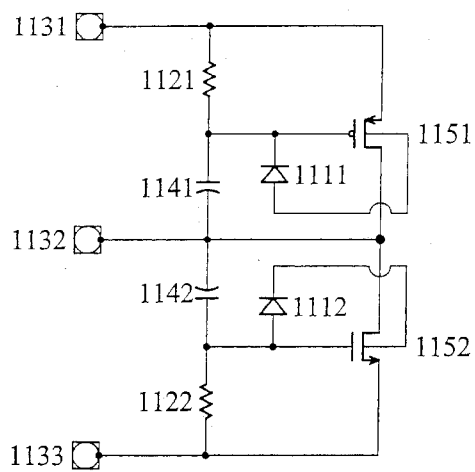
第 9A 圖



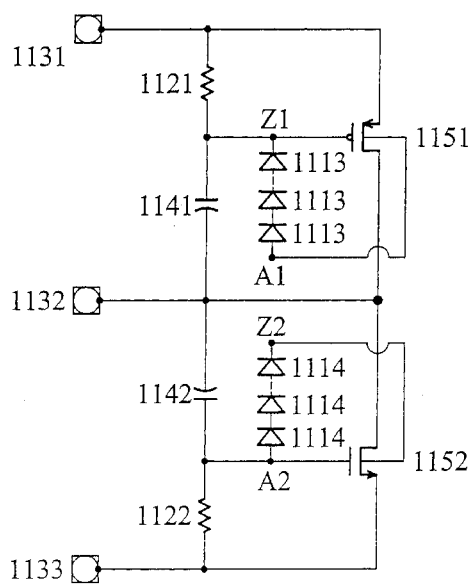
第 9B 圖



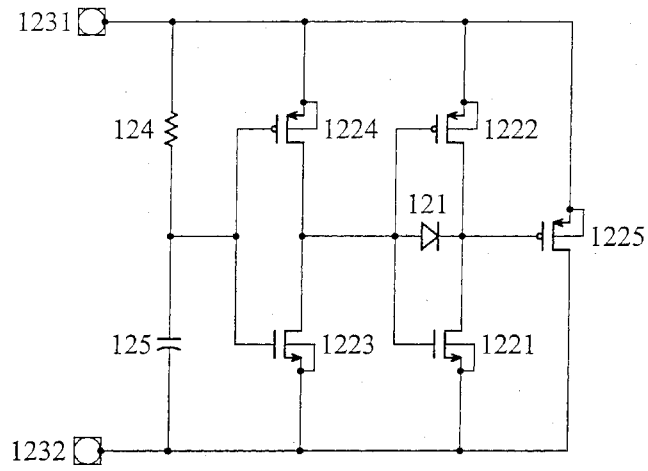
第 9C 圖



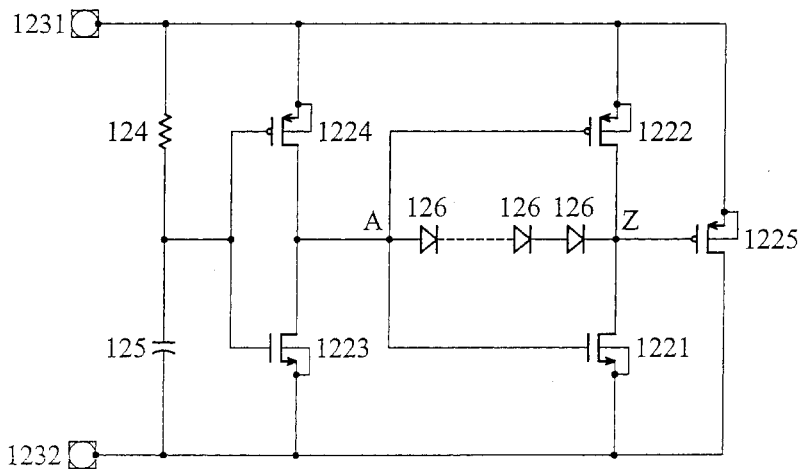
第 11A 圖



第 11B 圖



第 12A 圖



第 12B 圖

