

【11】證書號數：I222203

【45】公告日：中華民國 93 (2004) 年 10 月 11 日

【51】Int. Cl.⁷：H01L23/60

發明

全 10 頁

【54】名稱：具有自身觸發效能的靜電放電防護電路

ESD PROTECTION CIRCUIT WITH SELF-TRIGGERED
TECHNIQUE

【21】申請案號：092126804

【22】申請日期：中華民國 92 (2003) 年 09 月 29 日

【11】公開編號：200411898

【43】公開日期：中華民國 93 (2004) 年 07 月 01 日

【30】優先權：2002/12/23

美國 10/325,892

【72】發明人：

柯明道

KER, MING DOU

徐國鈞

HSU, KUO CHUN

羅文裕

LO, WEN YU

【71】申請人：

矽統科技股份有限公司

SILICON INTEGRATED SYSTEMS
CORP.新竹市新竹科學園區研新一
路十六號

【74】代理人：洪澄文 先生

顏錦順 先生

1

2

[57]申請專利範圍：

1.一種具有自身觸發效能的靜電放電防護電路，適用於一具有輸出入接合墊之積體電路，該靜電放電防護電路包括：

一金氧半(MOS)電晶體，具有多指狀元件結構，其中指狀元件均具有寄生雙載子電晶體，該指狀元件之汲極係耦接至該輸出入接合墊而源極耦接至一電位，且在所有指狀元件中至少一個具有最大基體電阻之指

狀元件之源極耦接至該些寄生雙載子電晶體之基極。

2.如申請專利範圍第1項所述之具有自身觸發效能的靜電放電防護電路，其中該具有最大基體電阻之指狀元件係位於該些指狀元件之中央。

3.如申請專利範圍第1項所述之具有自身觸發效能的靜電放電防護電路，其中該些指狀元件中有一定數量之具有最大基體電阻之指狀元件被選

擇用以使該靜電放電保護元件之觸發電流最佳化。

- 4.如申請專利範圍第2項所述之具有自身觸發效能的靜電放電防護電路，其中當該輸出入接合墊遭受靜電襲擊時，該位於中央之指狀元件被觸發導通並引發一電流，導通所有其他之寄生雙載子電晶體。
- 5.如申請專利範圍第1項所述之具有自身觸發效能的靜電放電防護電路，其中該些指狀元件之閘極係與源極共同耦接至該電位。
- 6.如申請專利範圍第1項所述之具有自身觸發效能的靜電放電防護電路，其中該些指狀元件之閘極係耦接至一前置驅動器(pre - driver)。
- 7.如申請專利範圍第1項所述之具有自身觸發效能的靜電放電防護電路，其中該具有最大基體電阻之指狀元件之源極係耦接至其他指狀元件之閘極。
- 8.如申請專利範圍第7項所述之具有自身觸發效能的靜電放電防護電路，其中該些指狀元件中有一定數量之具有最大基體電阻且其源極耦接至其他指狀元件閘極之指狀元件被選擇用以使該靜電放電保護元件之觸發電流最佳化。
- 9.一種具有自身觸發效能的靜電放電防護電路，適用於一具有輸出入接合墊之積體電路，該靜電放電防護電路包括：
 - 一金氧半(MOS)電晶體，具有多指狀元件，其中指狀元件均具有寄生雙載子電晶體，該指狀元件之汲極係耦接至該輸出入接合墊而源極耦接至一電位，且在所有指狀元件中至少一個具有最大基體電阻之指狀元件之源極耦接至其他指狀元件之閘極。

- 10.如申請專利範圍第9項所述之具有自身觸發效能的靜電放電防護電路，其中該具有最大基體電阻之指狀元件係位於該些指狀元件之中央。
- 11.如申請專利範圍第9項所述之具有自身觸發效能的靜電放電防護電路，其中該些指狀元件中有一定數量之具有最大基體電阻之指狀元件被選擇用以使該靜電放電保護元件之觸發電流最佳化。
- 12.如申請專利範圍第9項所述之具有自身觸發效能的靜電放電防護電路，其中當該輸出入接合墊遭受靜電襲擊時，該位於中央之指狀元件被觸發導通並引發一電流，導通所有其他之寄生雙載子電晶體。
- 13.如申請專利範圍第9項所述之具有自身觸發效能的靜電放電防護電路，其中該些指狀元件之閘極係與源極共同耦接至該電位。
- 14.如申請專利範圍第9項所述之具有自身觸發效能的靜電放電防護電路，其中該些指狀元件之閘極係耦接至一前置驅動器(pre - driver)。
- 15.如申請專利範圍第9項所述之具有自身觸發效能的靜電放電防護電路，其中該具有最大基體電阻之指狀元件之源極係耦接至該些寄生雙載子電晶體之基極。
- 16.如申請專利範圍第15項所述之具有自身觸發效能的靜電放電防護電路，其中該些指狀元件中有一定數量之具有最大基體電阻且其源極耦接至該些寄生雙載子電晶體基極之指狀元件被選擇用以使該靜電放電保護元件之觸發電流最佳化。
- 17.一種具有自身觸發效能的靜電放電防護電路，適用於一具有輸出入接合墊之積體電路，該靜電放電防護

電路包括：

一金氧半(MOS)電晶體，具有複數指狀元件，其中部份指狀元件具有複數寄生雙載子電晶體，該些部份指狀元件之汲極係耦接至該輸出入接合墊而源極耦接至一電位、汲極耦接至一接地電位，且在所有指狀元件中至少一個具有最大基體電阻之指狀元件之源極耦接至所有該些寄生雙載子電晶體之基極以及所有其他指狀元件之閘極。

18.如申請專利範圍第17項所述之具有自身觸發效能的靜電放電防護電路，其中該具有最大基體電阻之指狀元件係位於該些指狀元件之中央。

19.如申請專利範圍第17項所述之具有自身觸發效能的靜電放電防護電路，其中該些指狀元件中有一定數量之具有最大基體電阻之指狀元件被選擇用以使該靜電放電保護元件之觸發電流最佳化。

20.如申請專利範圍第17項所述之具有自身觸發效能的靜電放電防護電路，其中當該輸出入接合墊遭受靜電襲擊時，該位於中央之指狀元件被觸發導通並引發一電流，導通所有其他之寄生雙載子電晶體。

21.一種具有自身觸發效能的靜電放電防護電路，適用於一具有輸出入接合墊之積體電路，該靜電放電防護電路包括：

一金氧半(MOS)電晶體，具有複數指狀元件，其中部份指狀元件具有複數寄生雙載子電晶體，該些部份指狀元件之汲極係耦接至該輸出入接合墊而源極及汲極共同耦接至一接

地電位，且在所有指狀元件中有一定數量之具有最大基體電阻之指狀元件被選擇將其源極耦接至所有該些寄生雙載子電晶體之基極。

5. 22.如申請專利範圍第21項所述之具有自身觸發效能的靜電放電防護電路，其中該些被選擇之指狀元件數量係依使該靜電放電保護元件之觸發電流最佳化之考量而決定。

10. 圖式簡單說明：

第1圖顯示了傳統閘極接地NMOS及閘極接供應電位之PMOS靜電放電防護電路；

15. 第2圖顯示了傳統具有相同基體電阻值之靜電放電防護電路；

第3圖顯示了傳統使用閘極耦合技術之靜電放電防護電路；

20. 第4圖顯示了傳統基體觸發技術之靜電放電防護電路；

第5圖顯示了本發明第一實施例中之靜電放電防護電路；

25. 第6圖顯示了本發明第一實施例中之另一靜電放電保護電路；

第7圖顯示了第5圖中靜電放電保護電路之剖面圖；

30. 第8圖顯示了本發明第二實施例中之靜電放電防護電路；

第9圖顯示了本發明第二實施例中之另一靜電放電防護電路；

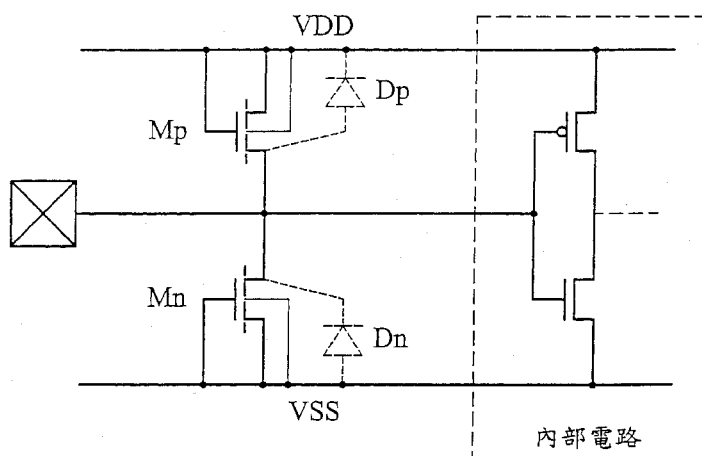
35. 第10圖顯示了第8圖中靜電放電保護電路之剖面圖；

第11圖顯示了本發明第三實施例中之靜電放電防護電路；

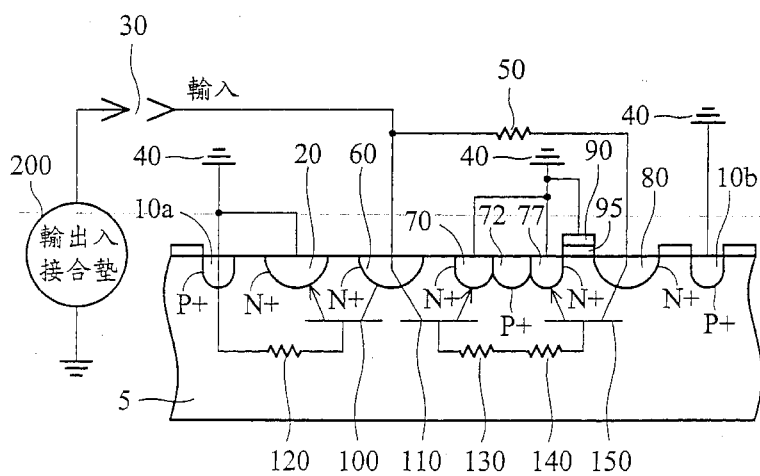
第12圖顯示了第11圖中靜電放電防護電路之剖面圖；

第13圖顯示本發明第四實施例中之另一靜電放電防護電路。

(4)

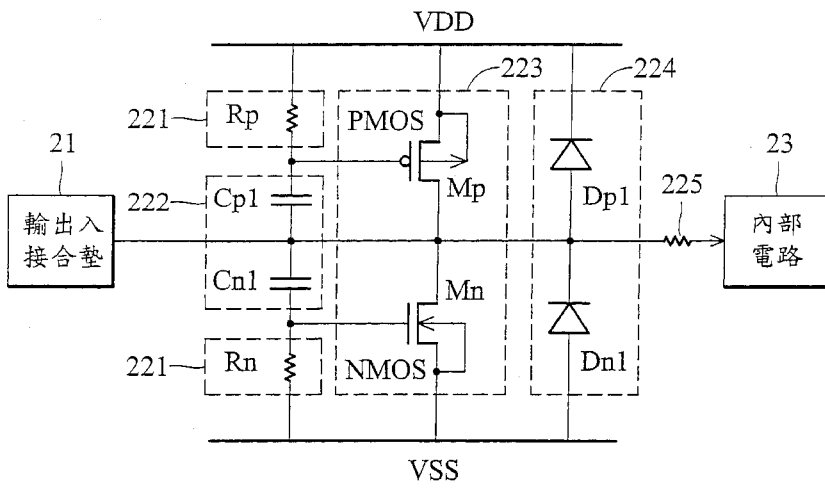


第 1 圖

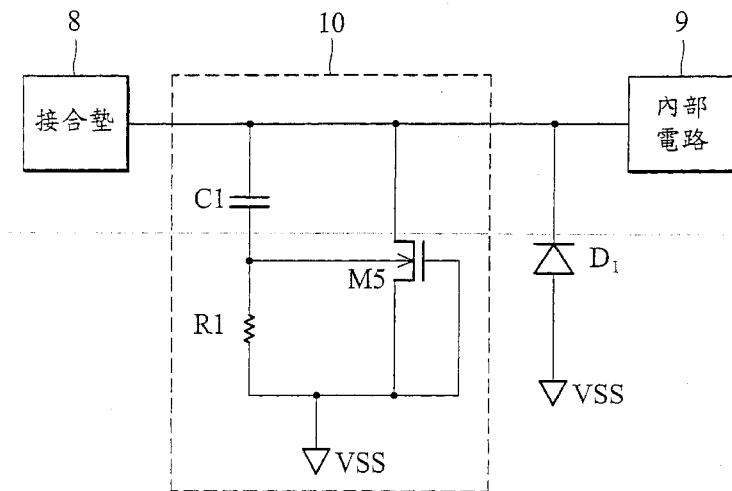


第 2 圖

(5)

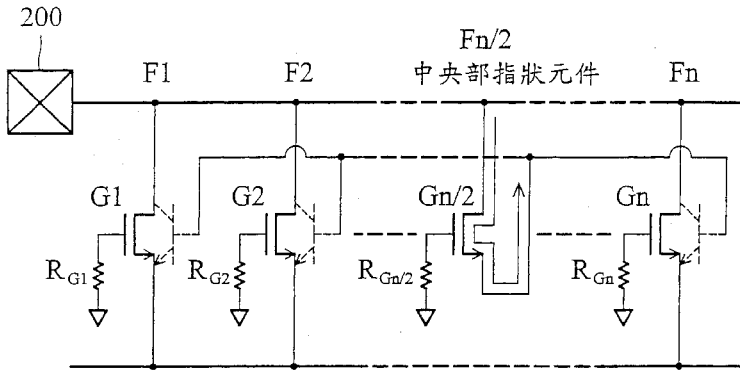


第 3 圖

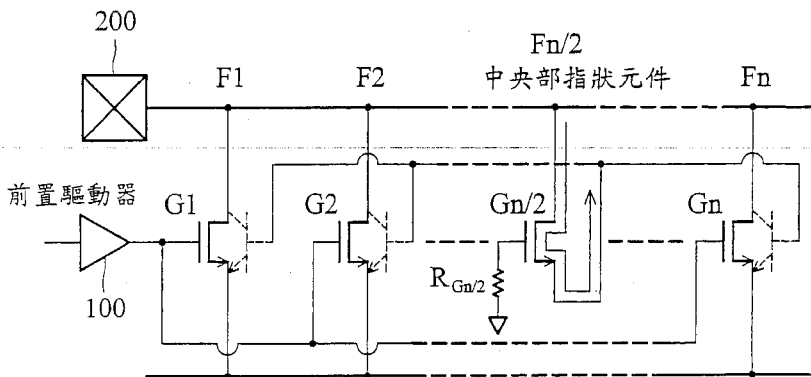


第 4 圖

(6)

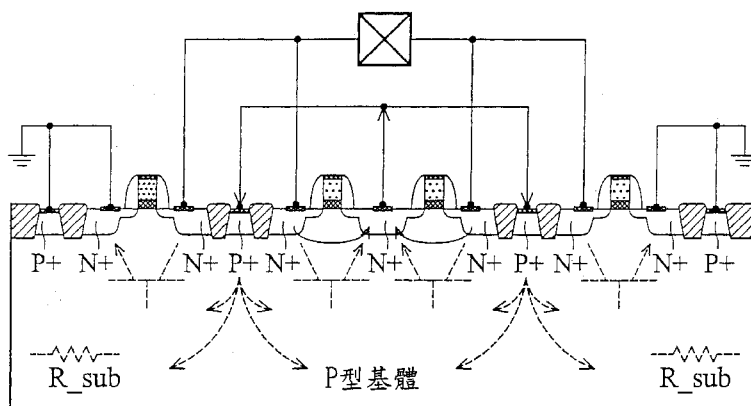


第 5 圖

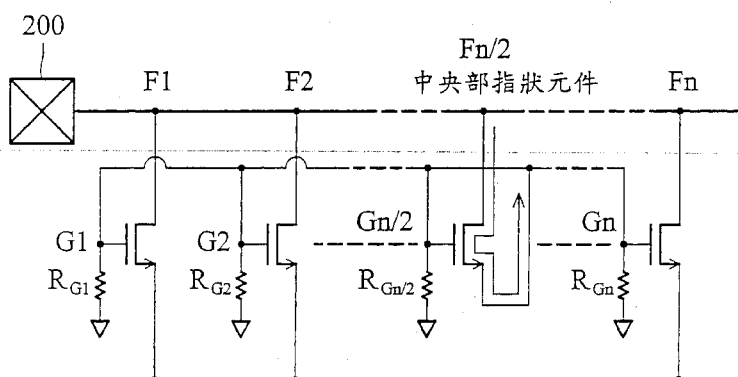


第 6 圖

(7)

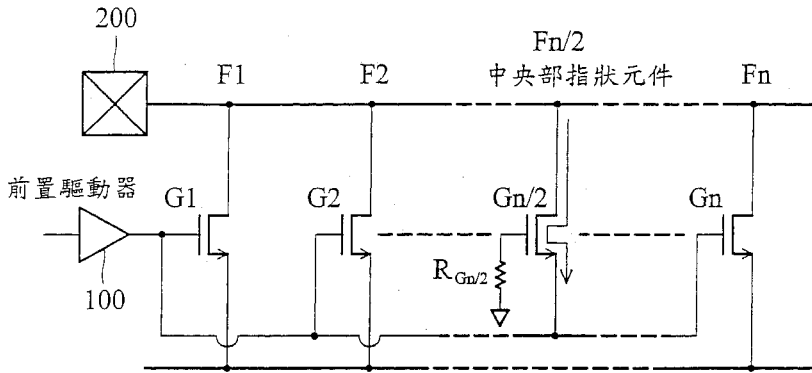


第 7 圖

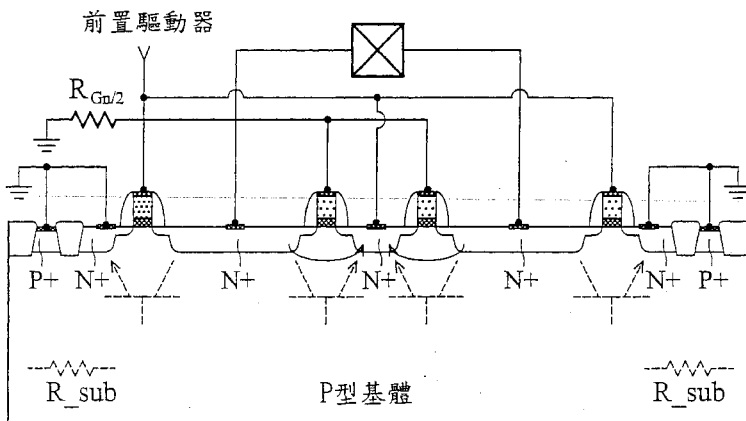


第 8 圖

(8)

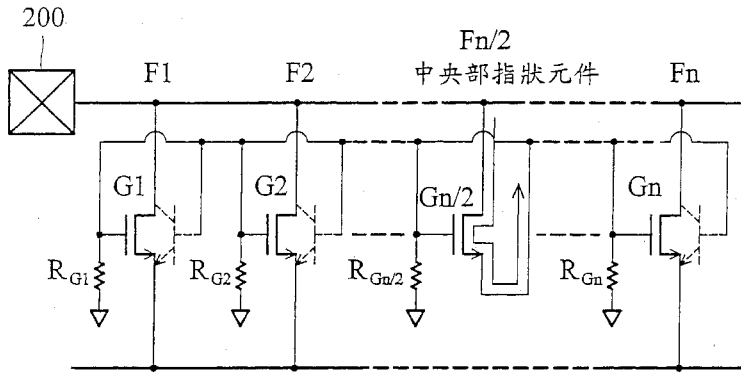


第 9 圖

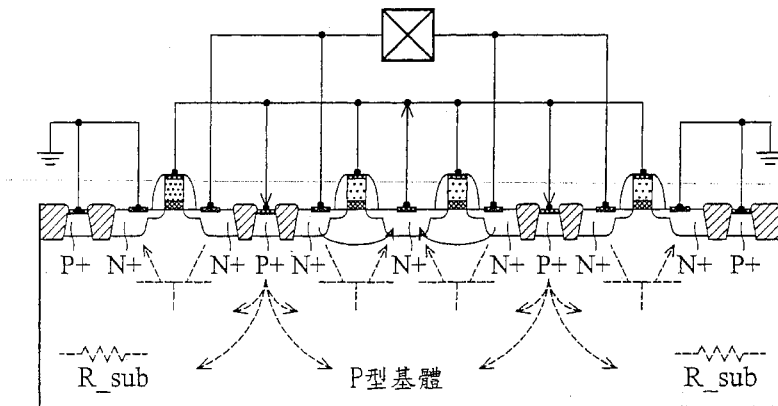


第 10 圖

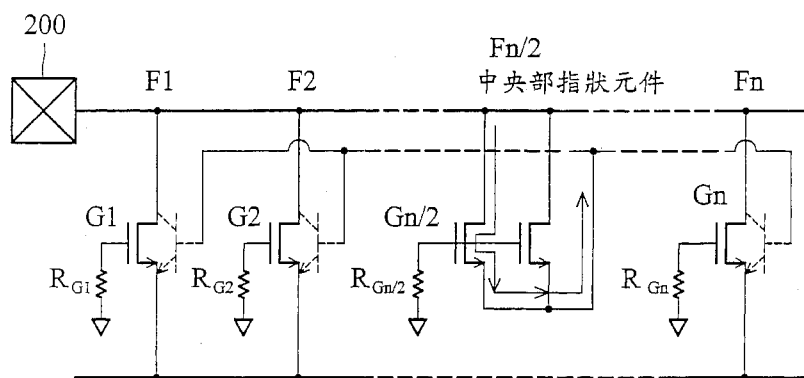
(9)



第 11 圖



第 12 圖



第 13 圖