

【11】證書號數：I223432

【45】公告日：中華民國 93 (2004) 年 11 月 01 日

【51】Int. Cl.⁷：H01L23/60

發明

全 17 頁

【54】名稱：雙觸發矽控整流元件與使用其之靜電保護電路

DOUBLE-TRIGGERED SILICON CONTROLLER RECTIFIER AND
RELEVANT CIRCUITRY

【21】申請案號：092135908

【22】申請日期：中華民國 92 (2003) 年 12 月 18 日

【72】發明人：

柯明道

KER, MING DOU

徐國鈞

HSU, KUO CHUN

【71】申請人：

國立交通大學
新竹市大學路一〇〇一號

NATIONAL CHIAO TUNG UNIVERSITY

【74】代理人：詹銘文 先生

蕭錫清 先生

1

2

[57]申請專利範圍：

1. 一種雙觸發矽控整流元件，包括：

一 P 型基底；

一第一 N 型井區域，係配置於該 P 型
基底之中；

一第二 N 型井區域，係配置於該 P 型
基底之中，並位於該第一 N 型井區域之一側；以及

一第三 N 型井區域，係配置於該 P 型
基底之中，並與該第二 N 型井區域
位於該第一 N 型井區域相對的兩

側；

多數個 N+ 擴散區域，包括：

一第一 N+ 擴散區域，配置於該第一
N 型井區域中，耦接一外部電源；

一第二 N+ 擴散區域，配置於該第一
N 型井區域中，且位於該第一 N+ 擴
散區域之一側，係該雙觸發矽控整
流元件之一 N 型觸發端；

一第三 N+ 擴散區域，配置於該第一
N 型井區域中，係該雙觸發矽控整流

元件之該 N 型觸發端，與該第二 N+ 擴散區域分別配置於該第一 N+ 擴散區域之相對兩側；

一第四 N+ 擴散區域，與該第一 N+ 擴散區域分別位於該第二 N+ 擴散區域相異的兩側，並且部分配置於該第三 N 型井區域中，部分配置於該 P 型基底中，為該雙觸發矽控整流元件之一陰極端；以及

一第五 N+ 擴散區域，與第一 N+ 擴散區域分別位於該第三 N+ 擴散區域相對的兩側，並且部分配置於該第三 N 型井區域中，部分配置於該 P 型基底中，為該雙觸發矽控整流元件之該陰極端；

多數個 P+ 擴散區域，包括：

一第一 P+ 擴散區域，係配置在該第一 N+ 擴散區域和該第二 N+ 擴散區域之間，且配置於該第一 N 型井區域中，為該雙觸發矽控整流元件之一陽極端；

一第二 P+ 擴散區域，係配置在該第一 N+ 擴散區域和該第三 N+ 擴散區域之間，且配置於該第一 N 型井區域中，為該雙觸發矽控整流元件之該陽極端；

一第三 P+ 擴散區域，係配置在該第二 N+ 擴散區域和該第四 N+ 擴散區域之間，並且配置於該第一 N 型井區域與該第三 N 型井區域之間的該 P 型基底之中，係該雙觸發矽控整流元件之一 P 型觸發端；

一第四 P+ 擴散區域，係配置在該第三 N+ 擴散區域和該第五 N+ 擴散區域之間，並且配置於該第一 N 型井區域與該第二 N 型井區域之間的該 P 型基底之中，係該雙觸發矽控整流元件之該 P 型觸發端；

一第五 P+ 擴散區域，與該第三 P+ 擴散區域分別位於該第四 N+ 擴散區域

相對的兩側，並且配置於該 P 型基底之中，為該雙觸發矽控整流元件之一接地端；以及

一第六 P+ 擴散區域，P+ 擴散區域與該第四 P+ 擴散區域分別位於該第五 N+ 擴散區域相對的兩側，並且配置於該 P 型基底之中，為該雙觸發矽控整流元件的該接地端；以及

多數個隔離結構，係建構於該 P 型基底中，並分別配置於該些 N+ 擴散區域和該些 P+ 擴散區域的間隔處，且連接該些 N+ 擴散區域和該些 P+ 擴散區域。

5.

10.

15.

20.

25.

30.

35.

40.

2.如申請專利範圍第1項所述之雙觸發矽控整流元件，該些隔離結構包括一淺溝渠結構。

3.如申請專利範圍第2項所述之雙觸發矽控整流元件，在 0.25 微米的互補式金氧半導體製程中，該淺溝渠結構的厚度包括 0.4 微米。

4.如申請專利範圍第1項所述之雙觸發矽控整流元件，其中部分該些隔離結構包括一啞閘極。

5.如申請專利範圍第4項所述之雙觸發矽控整流元件，該啞閘極之材料包括一多晶材料。

6.如申請專利範圍第1項所述之雙觸發矽控整流元件，在 0.25 微米的互補式金氧半導體製程中，該些 N+ 擴散區域和該些 P+ 擴散區域的厚度包括 0.18 微米。

7.一種使用雙觸發矽控整流元件之靜電保護電路，係被製作於一積體電路內，並且安裝至一輸出／入墊和該積體電路之內部電路之間，該靜電保護電路包括：

一第一雙觸發矽控整流元件模組，具有一第一端、一第二端、一第一 N 型觸發端和一第一 P 型觸發端，該第一端係耦接至一高電壓準位外部電

源，該第二端係耦接至該輸出／入墊和該積體電路之內部電路；

一第一靜電偵測模組，具有一第一輸出端、一第二輸出端、一第一輸入端和一第二輸入端，該第一輸出端係耦接至該第一 N 型觸發端，該第二輸出端係耦接至該第一 P 型觸發端，該第一輸入端係耦接至該高電壓位準外部電源，而該第二輸入端係耦接至該積體電路之內部電路和該輸出／入墊，當一負靜電放電電壓發生在該輸出／入墊時，該第一雙觸發矽控整流元件模組會由該第一 N 型觸發端送出放電電流至該第一靜電偵測模組至，並由該第二輸出端送出放電電流至該第一雙觸發矽控整流元件模組；

一第二雙觸發矽控整流元件模組，具有一第三端、一第四端、一第二 N 型觸發端和一第二 P 型觸發端，該第三端係耦接至該輸出／入墊和該積體電路之內部電路，該第二端係耦接至一低電壓位準外部電源；以及一第二靜電偵測模組，具有一第三輸出端、一第四輸出端、一第三輸入端和一第四輸入端，該第三輸出端係耦接至該第二 N 型觸發端，該第四輸出端係耦接至該第二 P 型觸發端，該第三輸入端係耦接至該積體電路之內部電路和該輸出／入墊，而該第四輸入端則耦接至該低電壓位準外部電源，當一正靜電放電電壓發生在該輸出／入墊時，該第二雙觸發矽控整流元件模組會由該第二 N 型觸發端送出放電電流至該第二靜電偵測模組至，並由該第四輸出端導通該正極的靜電放電的電流至該第二雙觸發矽控整流元件模組。

8.如申請專利範圍第 7 項所述之使用雙

觸發矽控整流元件之靜電保護電路，其中該第一雙觸發矽控整流元件模組包括：

一第一雙觸發矽控整流元件，具有陽極端、陰極端、N 型觸發端和 P 型觸發端，該第一雙觸發矽控整流元件之陽極端係該第一段；以及

一第二雙觸發矽控整流元件，具有陽極端、陰極端、N 型觸發端和 P 型觸發端，該第二雙觸發矽控整流元件之陽極端耦接至該第一雙觸發矽控整流元件之陰極端，該第二雙觸發矽控整流元件之陰極端係該第二段，該第二雙觸發矽控整流元件之 N 型觸發端係耦接至該第一雙觸發矽控整流元件之 N 型觸發端為該第一 N 型觸發端，該第二雙觸發矽控整流元件之 P 型觸發端係耦接至該第一雙觸發矽控整流元件之 P 型觸發端為該第一 P 型觸發端。

9.如申請專利範圍第 7 項所述之使用雙觸發矽控整流元件之靜電保護電路，其中該第二雙觸發矽控整流元件模組包括：

一第三雙觸發矽控整流元件，具有陽極端、陰極端、N 型觸發端和 P 型觸發端，該第三雙觸發矽控整流元件之陽極端係該第三端；以及

一第四雙觸發矽控整流元件，具有陽極端、陰極端、N 型觸發端和 P 型觸發端，該第四雙觸發矽控整流元件之陽極端耦接至該第三雙觸發矽控整流元件之陰極端，該第四雙觸發矽控整流元件之陰極端係該第四端，該第四雙觸發矽控整流元件之 N 型觸發端係耦接至該第三雙觸發矽控整流元件之 N 型觸發端為該第二 N 型觸發端，該第四雙觸發矽控整流元件之 P 型觸發端係耦接至該第三雙觸發矽控整流元件之 P 型觸發端為該

第二P型觸發端。

10.如申請專利範圍第7項所述之使用雙觸發矽控整流元件之靜電保護電路，其中第一靜電偵測模組包括：

一第一電晶體，係N型電晶體，該第一電晶體具有第一源／汲極端、第二源／汲極端、閘極端和基體端，該第一電晶體之第一源／汲極端係耦接至該第一輸入端，該第一電晶體之第二源／汲極端係該第二輸出端，該第一電晶體之閘極端係耦接至該第一輸入端和接地，而該第一電晶體之基體端接地；以及一第二電晶體，係N型電晶體，該第二電晶體具有第一源／汲極端、第二源／汲極端、閘極端和基體端，該第二電晶體之第一源／汲極端係該第一輸出端，該第二電晶體之第二源／汲極端係耦接至該第二輸入端，該第二電晶體之閘極與該第一電晶體之閘極端彼此互相耦接，而該第二電晶體之基體端接地。

11.如申請專利範圍第7項所述之使用雙觸發矽控整流元件之靜電保護電路，其中第一靜電偵測模組包括：

一第一電晶體，係P型電晶體，該第一電晶體包括具有第一源／汲極端、第二源／汲極端、閘極端和基體端，該第一電晶體之第一源／汲極端係耦接至該第一輸入端，該第一電晶體之第二源／汲極端係該第二輸出端，該第一電晶體之閘極端係耦接該第一輸入端和該第二輸入端，而該第一電晶體之基體端端耦接至該第一輸入端；以及一第二電晶體，係P型電晶體，該第二電晶體具有第一源／汲極端、第二源／汲極端、閘極端和基體端，該第二電晶體之第一源／汲極端係

該第一輸出端，該第二電晶體之第二源／汲極端係耦接至該第二輸入端，該第二電晶體之閘極與該第一電晶體之閘極端彼此互相耦接，而該第二電晶體之基體端耦接至該第一輸入端。

12.如申請專利範圍第7項所述之使用雙觸發矽控整流元件之靜電保護電路，其中第二靜電偵測模組包括：

一第三電晶體，係P型電晶體，該第三電晶體具有第一源／汲極端、第二源／汲極端、閘極端和基體端，該第三電晶體之第一源／汲極端耦接至該第三輸入端，該第三電晶體之第二源／汲極端係該第四輸出端，該第三電晶體之閘極端耦接至該高電壓位準外部電源和該第四輸入端，該第三電晶體之基體端耦接至該高電壓位準外部電源；以及一第四電晶體，係P型電晶體，該第四電晶體具有第一源／汲極端、第二源／汲極端、閘極端和基體端，該第四電晶體之第一源／汲極端係該第三輸出端，該第四電晶體之第二源／汲極端係耦接至該第四輸入端，該第四電晶體之該閘極端係與該第三電晶體之閘極端互相耦接，該第四電晶體之基體端耦接至該高電壓位準外部電源。

13.如申請專利範圍第7項所述之使用雙觸發矽控整流元件之靜電保護電路，其中第二靜電偵測模組包括：

一第三電晶體，係N型電晶體，該第三電晶體具有第一源／汲極端、第二源／汲極端、閘極端和基體端，該第三電晶體之第一源／汲極端耦接至該第三輸入端，該第三電晶體之第二源／汲極端係該第四輸出端，該第三電晶體之閘極端耦接至第三輸入端和該第四輸入端，該

第三電晶體之基體端接地；以及第一第四電晶體，係N型電晶體，該第四電晶體具有第一源／汲極端、第二源／汲極端、閘極端和基體端，該第四電晶體之第一源／汲極端係該第三輸出端，該第四電晶體之第二源／汲極端係耦接至該第四輸入端，該第四電晶體之該閘極端係與該第三電晶體之閘極端互相耦接，該第四電晶體之基體端耦接至該第四輸入端。

圖式簡單說明：

第1A圖係繪示習知的矽控整流元件結構圖。

第1B圖係繪示第1A圖之矽控整流原件的等效電路圖。

第2A圖係繪示依照本發明之一較佳實施例之雙觸發矽控整流元件結構圖。

第2B圖係繪示依照本發明另一較佳實施例之雙觸發矽控整流元件結構圖。

第2C圖係繪示依照本發明之一較佳實施例之雙觸發矽控整流元件的等效電路圖。

第3A圖係繪示當STI結構之雙觸發矽控整流元件的N型觸發端浮接時其I-V曲線圖。

第3B圖係繪示當STI結構之雙觸發矽控整流元件的N型和P型觸發端皆施加觸發電流時其I-V曲線圖。

第3C圖係繪示STI結構之雙觸發矽控整流元件在不同基底電流下其切換電壓的曲線圖。

第3D圖係繪示DG結構之雙觸發矽控整流元件在不同基底電流下其切換電壓的曲線圖。

第3E圖係繪示STI結構之雙觸發矽控整流元件在不同的型井電流下其切換電壓的曲線圖。

第4A圖係繪示多級雙觸發矽控整流元件之結構圖。

第4B圖係繪示二級雙觸發矽控整流元件之結構在不同溫度下I-V曲線圖。

第4C圖係繪示三級雙觸發矽控整流元件之結構在不同溫度下I-V曲線圖。

第4D圖係繪示不同級數的雙觸發矽控整流元件之結構之溫度對維持電壓曲線圖。

第5A圖係繪示依照本發明之一較佳實施例之量測雙觸發矽控整流元件其啟動時間之電路圖。

第5B圖係繪示N型和P型觸發端輸入的電壓脈衝圖。

第5C圖和第5D圖係繪示當N型觸發端浮接並且對雙觸發矽控整流元件分別輸入具有脈寬為100ns、30ns之1.5V正脈衝訊號時，陽極端的輸出電壓時脈圖。

第5E圖係繪示當對N型觸發端輸入5V到0V的負脈衝訊號並且對雙觸發矽控整流元件輸入具有脈寬為30ns之1.5V正脈衝訊號時，陽極端的輸出電壓時脈圖。

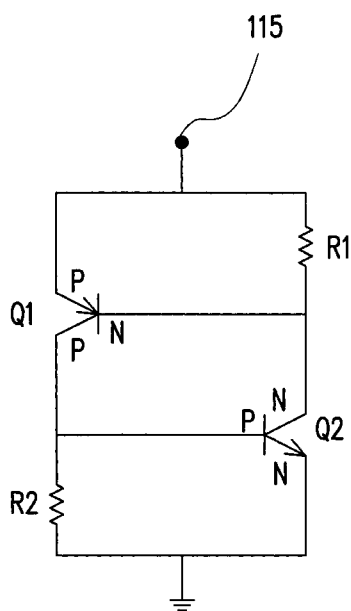
第5F到第5H圖係繪示當雙觸發矽控整流元件同步對P型觸發端輸入1.5V正脈衝訊號和分別對N型觸發端浮接、輸入5V到2V負脈衝訊號、輸入5V到0V負脈衝訊號時，其陽極端的輸出電壓波型時脈圖。

第6A圖係繪示依照本發明之一較佳實施例之雙觸發矽控整流元件之靜電保護電路圖。

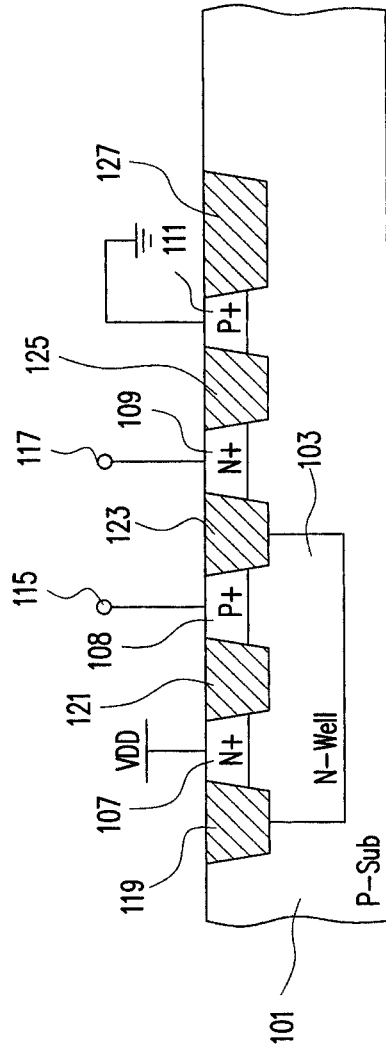
第6B圖係繪示依照本發明之一較佳實施例之第一和第二雙觸發矽控整流元件模等效電路圖。

第6C圖係繪示依照本發明另一實施例之雙觸發矽控整流元件之靜電保

護電路。

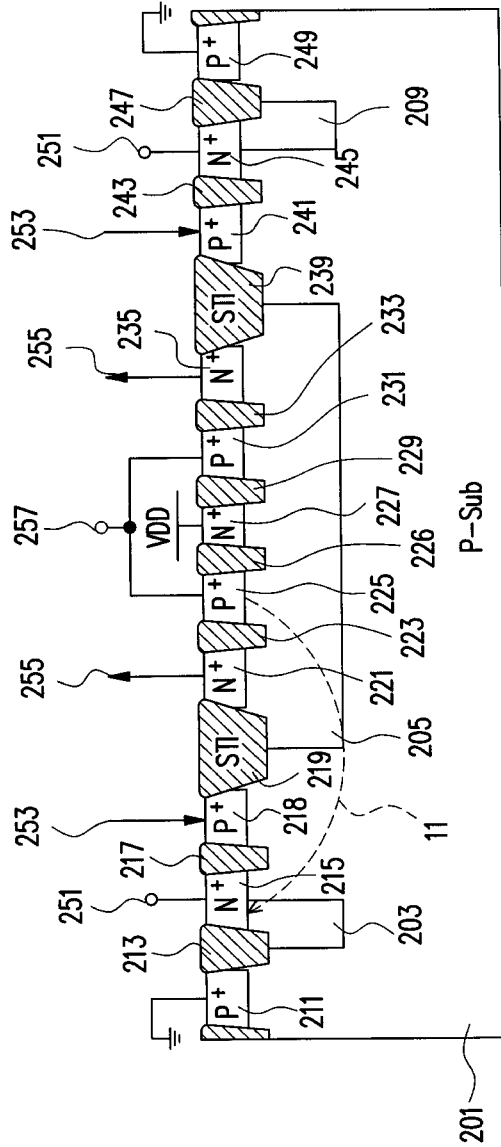


第 1B 圖



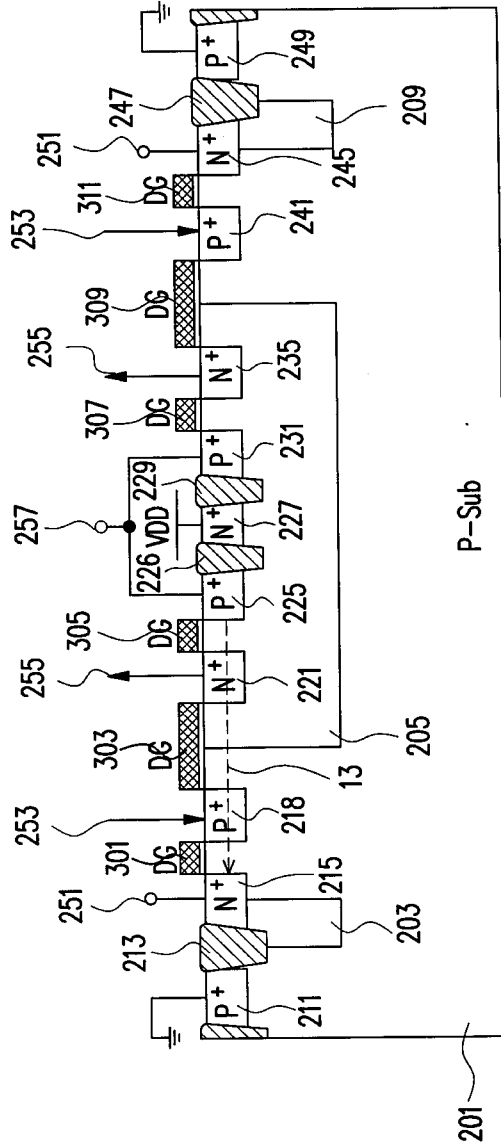
第 1A 圖

200



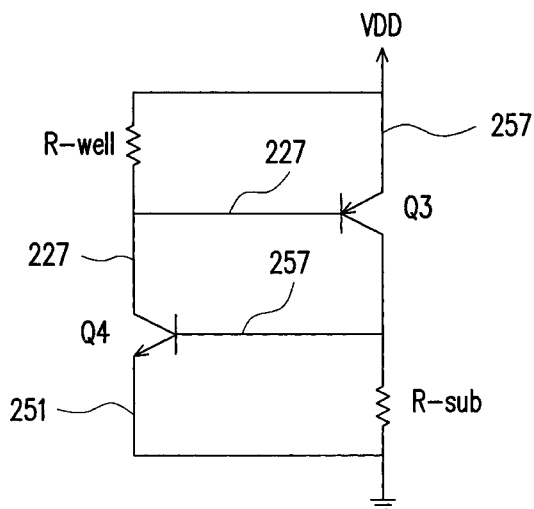
第 2A 圖

300

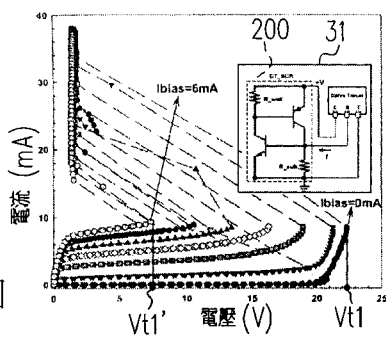


第2B圖

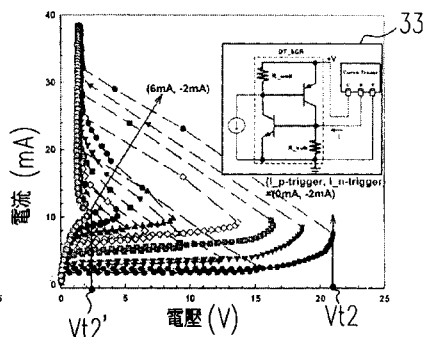
(10)



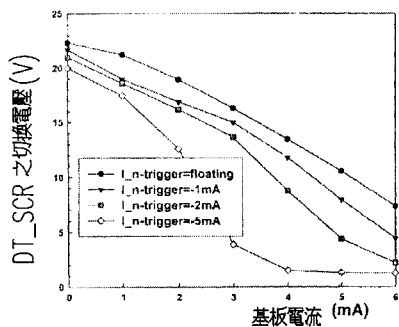
第 2C 圖



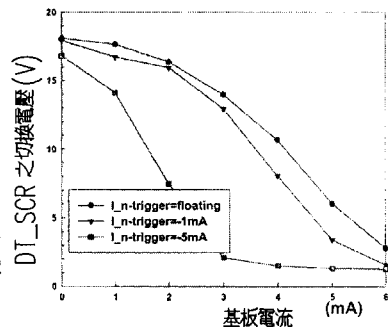
第 3A 圖



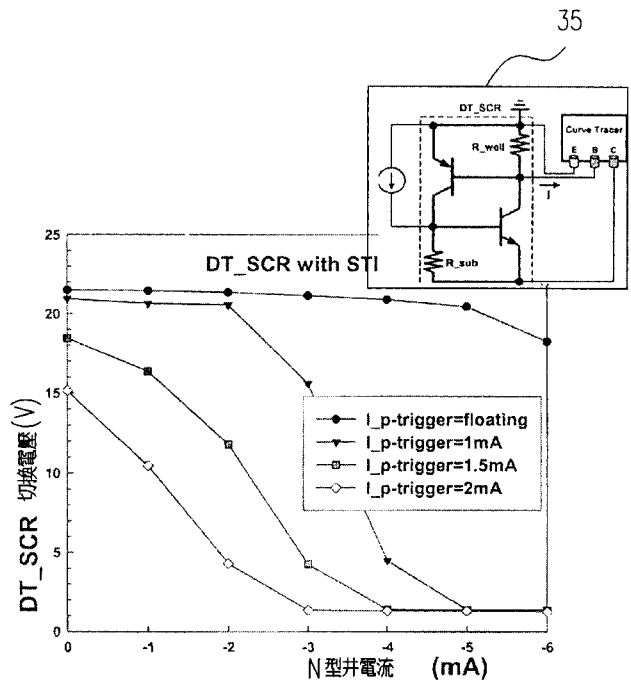
第 3B 圖



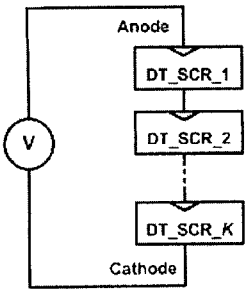
第 3C 圖



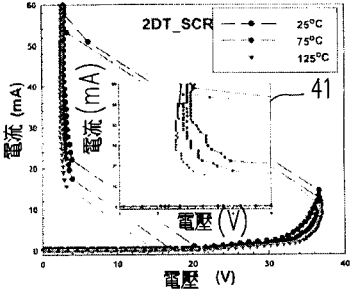
第 3D 圖



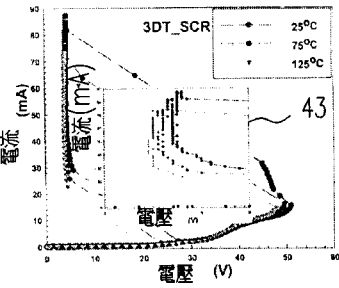
第 3E 圖



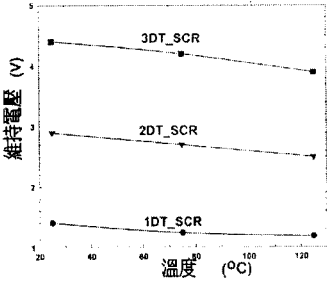
第 4A 圖



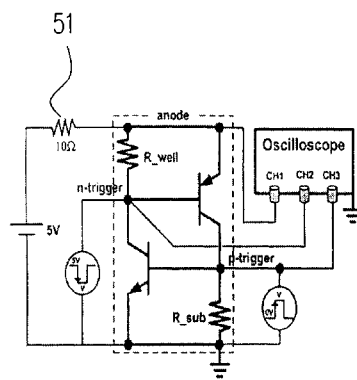
第 4B 圖



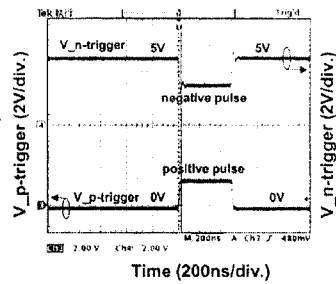
第 4C 圖



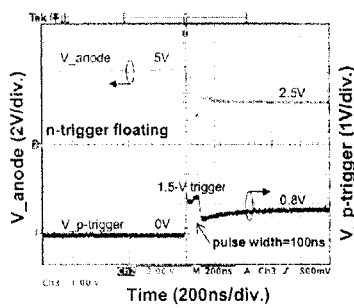
第 4D 圖



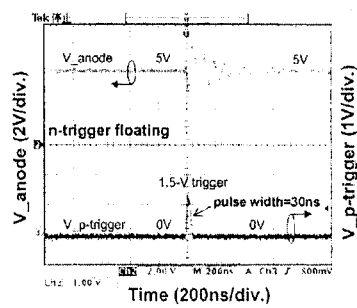
第 5A 圖



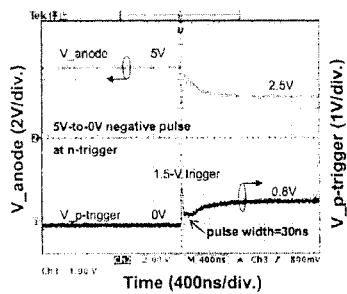
第 5B 圖



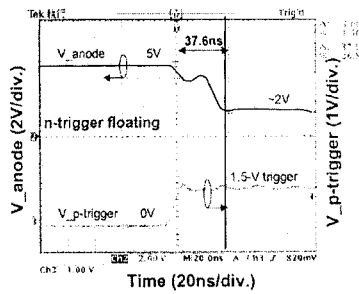
第 5C 圖



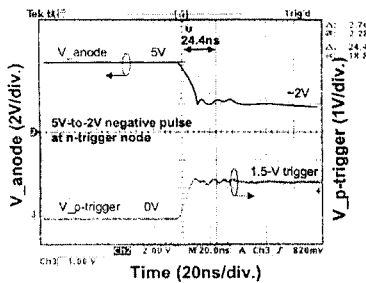
第 5D 圖



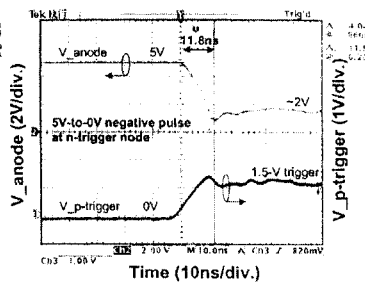
第 5E 圖



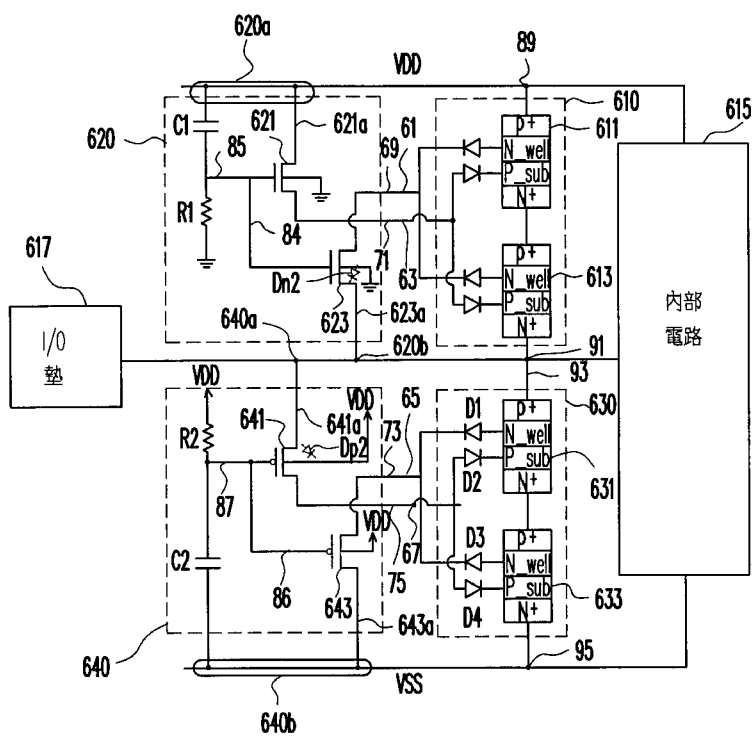
第 5F 圖



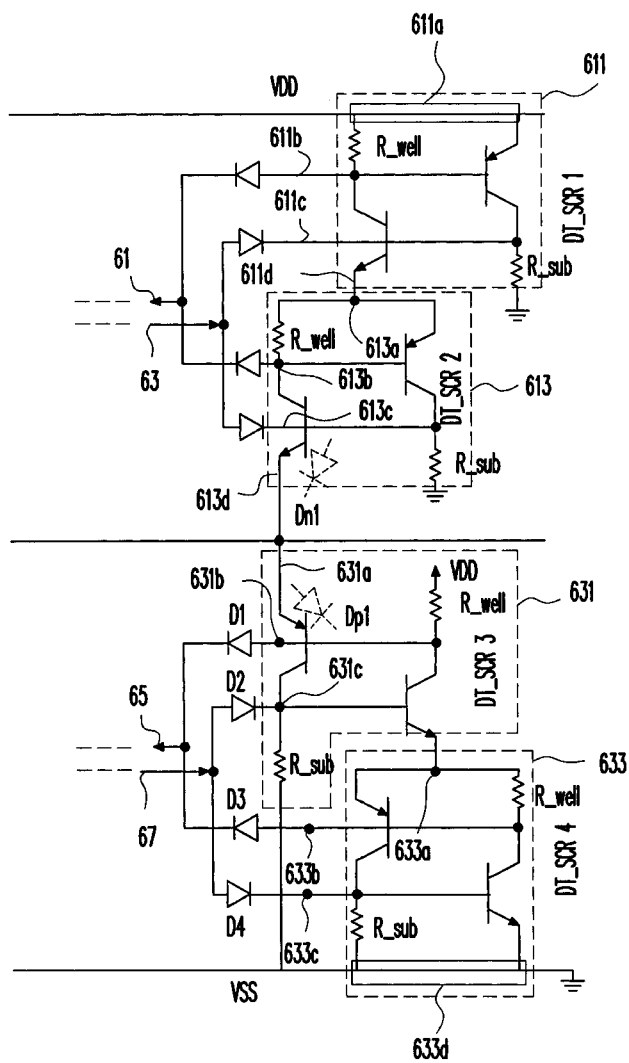
第 5G 圖



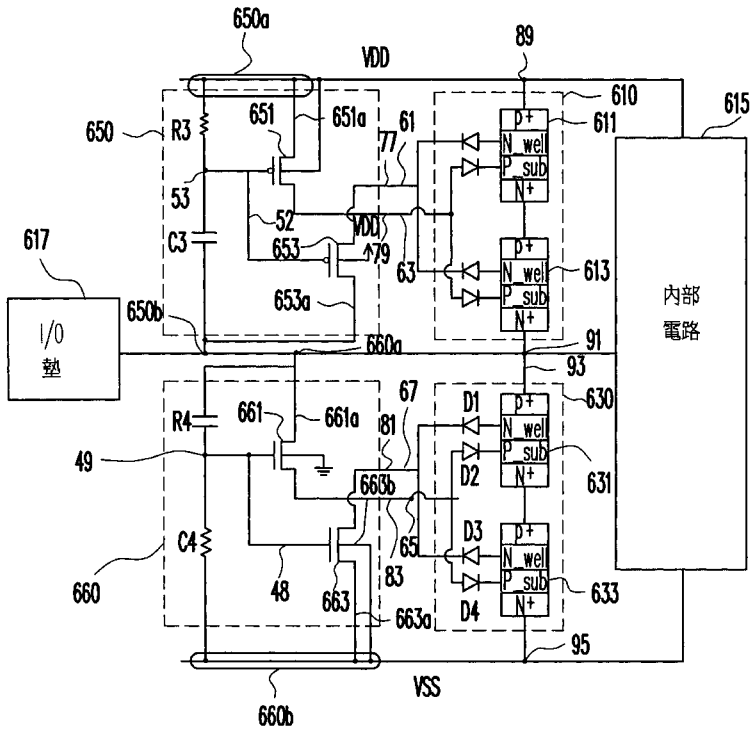
第 5H 圖



第 6A 圖



第 6B 圖



第 6C 圖

