

【11】證書號數：I223886

【45】公告日：中華民國 93 (2004) 年 11 月 11 日

【51】Int. Cl.⁷：H01L23/58

發明

全 12 頁

【54】名稱：使用乏層開關之靜電防護元件及方法

ELECTROSTATIC DISCHARGE PROTECTION DEVICE AND
METHOD USING DEPLETION SWITCH

【21】申請案號：092131156

【22】申請日期：中華民國 92 (2003) 年 11 月 06 日

【11】公開編號：200410391

【43】公開日期：中華民國 93 (2004) 年 06 月 16 日

【30】優先權：2002/12/03

美國 10/307,969

【72】發明人：

張智毅

CHANG, CHYH YIH

姜信欽

JIANG, HSIN CHIN

柯明道

KER, MING DOU

【71】申請人：

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH
INSTITUTE新竹縣竹東鎮中興路四段一
九五號

【74】代理人：

1

2

[57]申請專利範圍：

1.一種用於靜電荷放電防護之積體電路
元件，包括

一半導體基片；

一低摻雜區，其為第一摻雜型並形
成於該基片中；一第一擴散區，其為第一摻雜型且
至少部分形成於該低摻雜區中；一第二擴散區，其為第一摻雜型且
至少部分形成於該低摻雜區中，並

且與該第一擴散區相隔開；

一條由該低摻雜區以及該第一與第
二擴散區所界定出之阻抗路徑；以
及一第三擴散區，其為第二摻雜型且
形成於該輕摻雜區中，位於第一及
第二擴散區之間且與第一及第二擴
散區相隔開，其中，除非有正常操作期間出現，
否則該第三擴散區使該阻抗路徑保
持於低阻抗狀態。

- 2.如申請專利範圍第1項之元件，其中該第三擴散區於正常操作期間出現時，將該阻抗路徑轉為高阻抗狀態。
- 3.如申請專利範圍第1項之元件，其中當正常操作期間出現時，有一空乏區形成於該低摻雜區與第三擴散區之間的p-n 接面處。
- 4.如申請專利範圍第3項之元件，其中當靜電荷放電發生時，將該空乏區予以縮減以使該阻抗路徑為低阻抗狀態。
- 5.如申請專利範圍第3項之元件，另包括一控制電路，其係連接至第三擴散區以於正常操作期間出現時控制該空乏區以使該阻抗路徑為高阻抗狀態。
- 6.如申請專利範圍第1項之元件，其中該阻抗路徑係形成於第三擴散區下方。
- 7.如申請專利範圍第3項之元件，其中之空乏區延伸至低摻雜區之底部。
- 8.如申請專利範圍第1項之元件，其中之第一擴散區係形成於低摻雜區中。
- 9.如申請專利範圍第1項之元件，其中第二擴散區係形成於低摻雜區中。
- 10.如申請專利範圍第1項之元件，其中之第一摻雜型為n型，而第二摻雜型為p型。
- 11.如申請專利範圍第1項之元件，其中之第一摻雜型為p型，而第二摻雜型為n型。
- 12.一種用於靜電荷放電防護之積體電路元件，包括：
 - 一半導體基片；
 - 一絕緣層，其係形成於該基片上；
 - 一低摻雜區，其為第一摻雜型並且形成於該絕緣層上；
 - 一第一擴散區，其為第一摻雜型且

- 至少部分形成於該低摻雜區中；
- 一第二擴散區，其為第一摻雜型且至少部分形成於該低摻雜區中，並且與該第一擴散區相隔開；
5. 一條由該低摻雜區以及該第一與第二擴散區所界定出之阻抗路徑；以及
- 一第三擴散區，其為第二摻雜型且形成於該輕摻雜區中，位於第一及第二擴散區之間且與第一及第二擴散區相隔開，
10. 其中，除非有正常操作期間出現，否則該第三擴散區使該阻抗路徑保持於低阻抗狀態。
15. 13.如申請專利範圍第12項之元件，其中之低摻雜區、第一擴散區、第二擴散區以及第三擴散區之深度相同。
20. 14.如申請專利範圍第12或13項之元件，其中第三擴散區於正常操作期間出現時，將阻抗路徑轉為高阻抗狀態。
25. 15.如申請專利範圍第12或13項之元件，其中當正常操作期間出現時，有一空乏區形成於該低摻雜區與第三擴散區之間的p-n 接面處。
30. 16.如申請專利範圍第15項之元件，其中當靜電荷放電發生時，將該空乏區予以縮減以使該阻抗路徑為低阻抗狀態。
35. 17.如申請專利範圍第15項之元件，另包括一控制電路，其係連接至第三擴散區以於正常操作期間出現時控制該空乏區以使該阻抗路徑為高阻抗狀態。
40. 18.如申請專利範圍第13項之元件，其中之阻抗路徑係形成於第三擴散區旁側。
- 19.如申請專利範圍第15項之元件，其中之空乏區延伸至低摻雜區之底

- 部。
- 20.如申請專利範圍第12項之元件，另包括一形成於低摻雜區鄰近之絕緣結構。
- 21.如申請專利範圍第12或13項之元件，其中第一擴散區包括多個第一摻雜型之擴散區，該等擴散區彼此分隔開。
- 22.如申請專利範圍第12或13項之元件，其中第二擴散區包括多個第一摻雜型之擴散區，該等擴散區彼此分隔開。
- 23.如申請專利範圍第12或13項之元件，其中第三擴散區包含多個第二摻雜型之擴散區，該等擴散區彼此分隔開。
- 24.如申請專利範圍第12或13項之元件，其中第三擴散區之摻雜濃度較第一或第二擴散區者為高。
- 25.一種用於靜電荷放電防護之積體電路元件，包括：
- 一阻抗路徑，其係形成於一第一摻雜型之半導體井區內；以及
 - 一擴散區，其為第二摻雜型且形成於該半導體井區中，除非有正常操作期間出現，否則該擴散區使該阻抗路徑保持為低阻抗狀態。
- 26.如申請專利範圍第25項之元件，其中之阻抗路徑係由一第一摻雜型之第一擴散區、一第一摻雜型之第二擴散區以及該半導體井區所界定出。
- 27.一種靜電荷放電防護電路，包括：
- 一第一端點；
 - 一第二端點；
 - 一積體電路元件，包含：
 - 一低摻雜區，其為第一摻雜型；
 - 一第一擴散區，其為第一摻雜型且至少部分形成於該低摻雜區中，並且電連接至第一端點；

- 一第二擴散區，其為第一摻雜型且至少部分形成於該低摻雜區中，與第一擴散區相隔開，並且連接至第二端點；以及
 - 一第三擴散區，其為第二摻雜型且形成於該低摻雜區中，該第三擴散區位於第一及第二擴散區之間並且與第一及第二擴散區相隔開，除非正常操作期間出現，否則第三擴散區於第一及第二端點間保持一條低阻抗路徑，以及
 - 一控制電路，於正常操作期間出現時，於該低摻雜區內產生一空乏區。
- 28.如申請專利範圍第27項之電路，其中之低摻雜區係形成於一半導體基片中。
- 29.如申請專利範圍第27項之電路，其中之低摻雜區係形成於一絕緣層上。
- 30.如申請專利範圍第27項之電路，其中之第一端點為一接觸墊片或一電壓源。
- 31.如申請專利範圍第27項之電路，其中之第二端點係一接觸墊片或一電壓源。
- 32.如申請專利範圍第27項之電路，其中之空乏區係位於低摻雜區與第三擴散區之間的p-n接面處。
- 33.如申請專利範圍第27項之電路，其中之空乏區延伸至低摻雜區之底部。
- 34.如申請專利範圍第27項之電路，其中之低摻雜區、第一擴散區、第二擴散區以及第三擴散區之深度相同。
- 35.一種防護靜電荷放電之方法，包括：
- 提供一積體電路元件，包含：
 - 一半導體基片；

一低摻雜區，其為第一摻雜型並形成於該基片中；

一第一擴散區，其為第一摻雜型且至少部分形成於該低摻雜區中；

一第二擴散區，其為第一摻雜型且至少部分形成於該低摻雜區中，並且與該第一擴散區相隔開；

一條由該低摻雜區以及該第一與第二擴散區所界定出之阻抗路徑；以及

一第三擴散區，其為第二摻雜型且形成於該輕摻雜區中，位於第一及第二擴散區之間且與第一及第二擴散區相隔開，該第三擴散區控制該阻抗路徑之阻抗狀態，以及除非正常操作期間出現，否則使該阻抗路徑保持於低阻抗狀態。

36.如申請專利範圍第35項之方法，另包括於正常操作期間出現時，將該阻抗路徑轉為高阻抗狀態。

37.如申請專利範圍第35項之方法，另包括提供一連接至第三擴散區之控制電路，於正常操作期間出現時，將該阻抗路徑轉為高阻抗狀態。

38.如申請專利範圍第35項之方法，另包括於一靜電荷放電發生時，縮減該空乏區。

39.一種防護靜電荷放電之方法，包括：

於一第一摻雜型之半導體井區內形成一條阻抗路徑；

於該半導體井區內形成一第二摻雜型之擴散區以控制該阻抗路徑之阻抗狀態；以及

除非有正常操作期間出現，否則使

該阻抗路徑保持於低阻抗狀態。

40.如申請專利範圍第39項之方法，另包括於正常操作期間出現時，將阻抗路徑轉為高阻抗狀態。

5. 圖式簡單說明：

圖1為習知ESD防護元件之電路圖；

圖2為另一習知ESD防護元件之示意電路圖；

10. 圖3為本發明之一實施例的乏層開關示意圖；

圖4為本發明之一實施例的乏層開關剖視圖；

圖5為本發明之一實施例的ESD

15. 防護電路；

圖6A為及圖6B為作業於ESD期間的乏層開關圖；

圖7A及圖7B為作業於正常操作期間的乏層開關圖；

20. 圖8為本發明之一實施例的ESD防護電路；

圖9A、9B及9C為圖8電路順時針方向旋轉之上視圖；

圖10A及10B所示為圖8之電路作業於ESD期間；

25. 圖11A及11B所示為圖8之電路作業於正常操作期間；

圖12為本發明另一實施例之ESD防護電路；

30. 圖13A及13B為圖12電路順時針方向旋轉之上視圖；

圖14A及14B所示為圖12電路作業於ESD期間；以及

35. 圖15A及15B所示為圖12電路作業於正常操作期間。

(5)

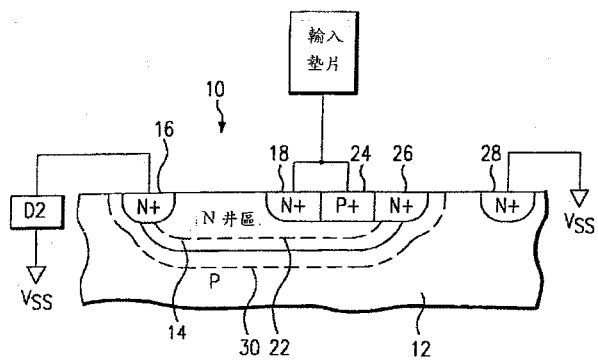


圖 1

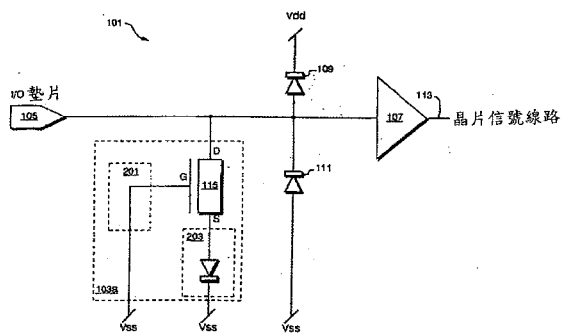


圖 2

(6)

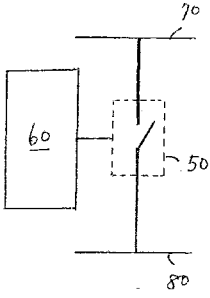


圖 3

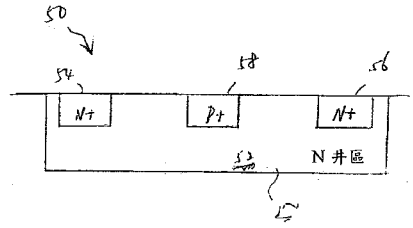


圖 4

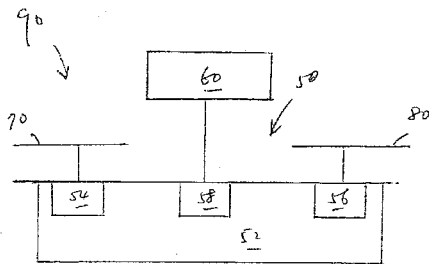


圖 5

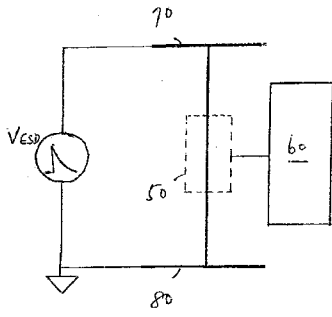


圖 6A

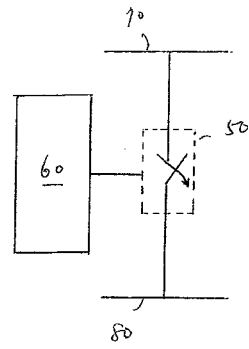


圖 7A

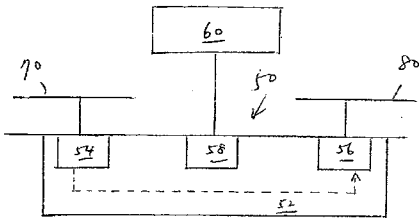


圖 6B

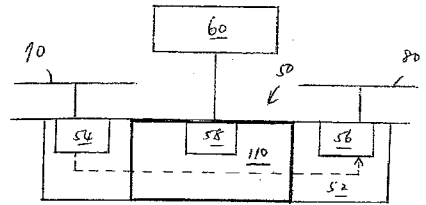


圖 7B

(8)

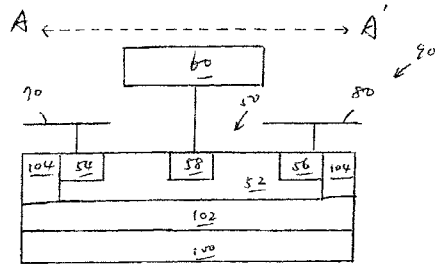


圖 8

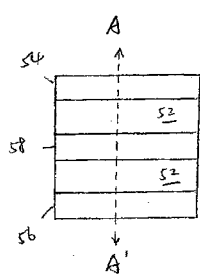


圖 9A

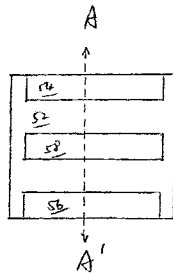


圖 9B

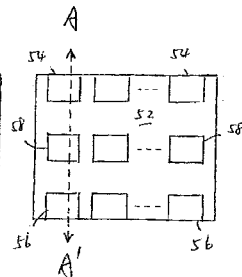


圖 9C

(9)

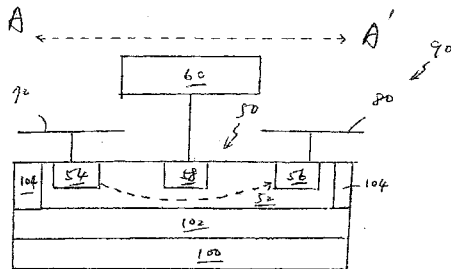


圖 10A

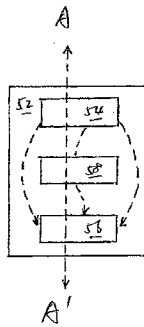


圖 10B

(10)

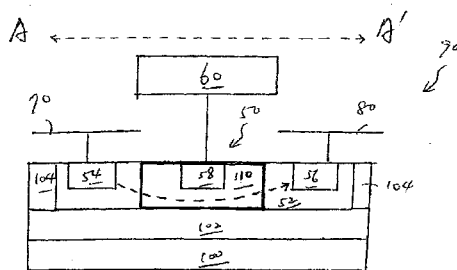


圖 11A

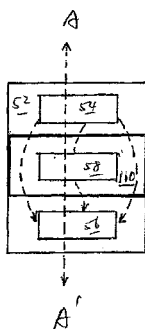


圖 11B

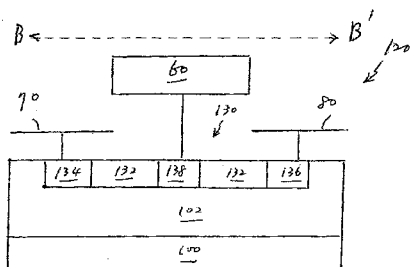


圖 12

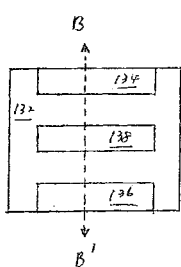


圖 13A

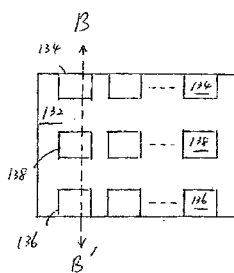


圖 13B

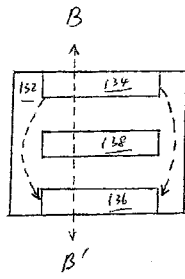


圖 14A

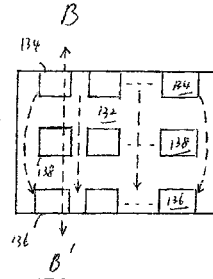


圖 14B

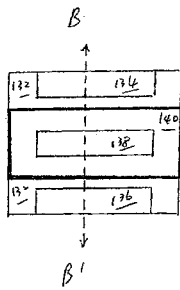


圖 15A

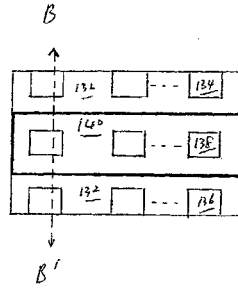


圖 15B