

【11】證書號數：I224391

【45】公告日：中華民國 93 (2004) 年 11 月 21 日

【51】Int. Cl.⁷：H01L23/60

發明

全 13 頁

【54】名稱：靜電放電防護電路

【21】申請案號：093103024

【22】申請日期：中華民國 93 (2004) 年 02 月 10 日

【72】發明人：

柯明道

KER, MING DOU

林昆賢

LIN, KUEN SHIEN

【71】申請人：

國立交通大學
新竹市大學路一〇〇一號

NATIONAL CHIAO TUNG UNIVERSITY

【74】代理人：林火泉 先生

1

2

[57]申請專利範圍：

1. 一種靜電放電防護電路，其係應用在具有省電模式之積體電路上，該靜電放電防護電路包括：
一輸入電路，其包括：
一輸入鉗墊；
一輸入 PMOS，其汲極與該輸入鉗墊相連接；
一輸入 NMOS，其汲極電連接至該輸入鉗墊；以及
一第一內部電路，其經由至少一電

- 阻連接至該輸入鉗墊；
一輸出電路，其包括：
一輸出鉗墊；
一輸出 PMOS，其汲極與該輸出鉗墊電連接在一起；
一輸出 NMOS，其汲極與該輸出鉗墊形成電性連接；以及
一第二內部電路，其分別電連接至該輸出 PMOS 與該輸出 NMOS 之間極；

一 VDD 電源線，其分別連接並供應該第一、第二內部電路一 VDD 電壓；

一 VSS 電源線，其分別連接並提供該第一、第二內部電路一 VSS 電壓，並與該輸入 NMOS 之源極與閘極以及該輸出 NMOS 之源極形成電性連接；

一 ESD 匯流線，其與該輸入 PMOS 之源極與閘極相連；

一第一 ESD 箝制電路，其分別連接該 VSS 電源線及該 ESD 匯流線；

一第二 ESD 箝制電路，其分別連接該 VDD 電源線及該 VSS 電源線；

一第一二極體，其順向連接於該 VDD 電源線與該 ESD 匯流線之間，該第一二極體可防止該輸入鉚墊與該 VDD 電源線間產生漏電流，並能防止正電壓從該輸入鉚墊經由該輸入 PMOS 向該 VDD 電源線充電之問題；

一第二二極體，其順向連接於該 VDD 電源線與該輸出 PMOS 之源極之間，該第二二極體可防止該輸出鉚墊與該 VDD 電源線間產生漏電流，並能防止正電壓從該輸出鉚墊經由該輸出 PMOS 向該 VDD 電源線充電之問題；以及

一第三二極體，其 N 型端連接該 ESD 匯流線，P 型端之連接點則選自該輸出鉚墊與該輸出 PMOS 之源極，該輸出鉚墊可經由該第三二極體泄放靜電至該 ESD 匯流線。

- 2.如申請專利範圍第1項所述之靜電放電防護電路，其中當該第三二極體之P型端連接該輸出PMOS之汲極，且該靜電放電防護電路係呈 P S (Positive-to-VSS)靜電放電模式時，由該輸入鉚墊所輸入之正靜電，會經由該輸入 PMOS 、該 ESD 匯流線

與該第一 ESD 箝制電路導向該 VSS 電源線以放電，而由該輸出鉚墊所輸入之正靜電，會經由該第三二極體、該 ESD 匯流線與該第一 ESD 箝制電路導向該 VSS 電源線以放電。

- 3.如申請專利範圍第1項所述之靜電放電防護電路，其中當該第三二極體之P型端連接該輸出PMOS之源極，且該靜電放電防護電路係呈 P S (Positive-to-VSS)靜電放電模式時，由該輸入鉚墊所輸入之正靜電，會經由該輸入 PMOS 、該 ESD 匯流線與該第一 ESD 箝制電路導向該 VSS 電源線以放電，而由該輸出鉚墊所輸入之正靜電，會經由該輸出 PMOS 、該第三二極體、該 ESD 匯流線與該第一 ESD 箝制電路導向該 VSS 電源線以放電。

- 4.如申請專利範圍第1項所述之靜電放電防護電路，其中當該第三二極體之P型端連接該輸出PMOS之汲極，且該靜電放電防護電路係呈 P D (Positive-to-VDD)靜電放電模式時，由該輸入鉚墊所輸入之正靜電，會經由該輸入 PMOS 、該 ESD 匯流線、該第一 ESD 箝制電路、該 VSS 電源線與該第二 ESD 箝制電路導向該 VDD 電源線以放電，而由該輸出鉚墊所輸入之正靜電，會經由該第三二極體、該 ESD 匯流線、該第一 ESD 箝制電路、該 VSS 電源線與該第二 ESD 箝制電路導向該 VDD 電源線以放電。

- 5.如申請專利範圍第1項所述之靜電放電防護電路，其中當該第三二極體之P型端連接該輸出PMOS之源極，且該靜電放電防護電路係呈 P D (Positive-to-VDD)靜電放電模式時，由該輸入鉚墊所輸入之正靜電，會經由該輸入 PMOS 、該 ESD 匯流

線、該第一 ESD 箝制電路、該 VSS 電源線與該第二 ESD 箝制電路導向該 VDD 電源線以放電，而由該輸出鉚墊所輸入之正靜電，會經由該輸出 PMOS、該第三二極體、該 ESD 匯流線、該第一 ESD 箝制電路、該 VSS 電源線與該第二 ESD 箝制電路導向該 VDD 電源線以放電。

6.如申請專利範圍第 1 項所述之靜電放電防護電路，其中當該靜電放電防護電路係呈 NS(Negative-to-VSS)靜電放電模式時，由該輸入鉚墊與該輸出鉚墊所輸入之負靜電，會分別經由該輸入、輸出 NMOS 導向該 VSS 電源線以放電。

7.如申請專利範圍第 1 項所述之靜電放電防護電路，其中當該靜電放電防護電路係呈 ND(Negative-to-VDD)靜電放電模式時，由該輸入鉚墊與該輸出鉚墊所輸入之負靜電，會分別經由該輸入、輸出 NMOS、該 VSS 電源線與該第二 ESD 箝制電路導向該 VDD 電源線以放電。

8.如申請專利範圍第 1 項所述之靜電放電防護電路，更可利用複數個該靜電放電防護電路架構出一多層級架構之靜電放電防護電路，其中前一該靜電放電防護電路之該輸出鉚墊，電連接至所後一該靜電放電防護電路之該輸入鉚墊。

9.如申請專利範圍第 1 項所述之靜電放電防護電路，更可增設至少一輸出電壓校準電路，使其連接該 VDD 電源線與該輸出 PMOS 之源極，藉此補償該第二二極體所產生之電壓降。

10.如申請專利範圍第 9 項所述之靜電放電防護電路，其中該輸出電壓校準電路包括：

一 NMOS，其閘極與源極分別連接

該 VDD 電源線與該 VSS 電源線；

一第一 PMOS，其源極、閘極與汲極分別連接該 VDD 電源線、該 NMOS 之汲極與該輸出 PMOS 之源極；以及

一第二 PMOS，其源極、閘極與汲極分別連接該第一 PMOS 之閘極、該 VDD 電源線與該輸出 PMOS 之源極，故當該 VDD 電壓為高準位電壓時，該第二 PMOS 關閉，該 NMOS 開啟並使該第一 PMOS 開啟，藉此該 VDD 電壓經由該第一 PMOS 直接傳輸至該輸出 PMOS 之源極，以避免經由該第二二極體傳輸至該輸出 PMOS 之源極而產生電壓降。

11.一種靜電放電防護電路，其係應用在具有省電模式之積體電路上，該靜電放電防護電路包括：

一輸入電路，其包括：

一輸入鉚墊；

一輸入 PMOS，其汲極與該輸入鉚墊相連接；

一輸入 NMOS，其汲極電連接至該輸入鉚墊；以及

一第一內部電路，其經由至少一電阻連接至該輸入鉚墊；

一輸出電路，其包括：

一輸出鉚墊；

一輸出 PMOS，其汲極與該輸出鉚墊電連接在一起；

一輸出 NMOS，其汲極與該輸出鉚墊形成電性連接；

一控制 PMOS，其汲極與該輸出 PMOS 之閘極相連；

一預驅動電路，其分別電連接至該輸出 PMOS 與該輸出 NMOS 之閘極，並電連接該控制 PMOS 之汲極；以及

一第二內部電路，其與該預驅動電路電連接在一起；

一 VSS 電源線，其分別連接並提供該第一內部電路、該預驅動電路與該第二內部電路一 VSS 電壓源，並與該輸入 NMOS 之源極與閘極以及該輸出 NMOS 之源極形成電性連接；

一 VDD 電源線，其分別連接並供應該第一、第二內部電路一 VDD 電壓，且電連接該控制 PMOS 之閘極，故當該 VDD 電壓為高準位電壓時，該控制 PMOS 即關閉，而當該積體電路進入省電模式且該 VDD 電源線接地時，該控制 PMOS 即開啟以關閉該輸出 PMOS，藉此避免發生該輸出 PMOS 在省電模式狀態下導通而造成漏電問題；

一 ESD 匯流線，其與該輸入 PMOS 之源極與閘極相連，並電連接該輸出 PMOS 之源極、該控制 PMOS 之源極與該預驅動電路，其中該預驅動電路係連接至該 ESD 匯流線以獲取電力來源，而非直接連接至該 VDD 電源線以獲得電源，藉此防止在省電模式下，該預驅動電路與該 VDD 電源線間產生漏電流之情形；

一第一 ESD 箝制電路，其分別連接該 VSS 電源線及該 ESD 匯流線；

一第二 ESD 箝制電路，其分別連接該 VDD 電源線及該 VSS 電源線；以及

一二極體，其順向連接於該 VDD 電源線與該 ESD 匯流線之間，當該積體電路進入省電模式且該 VDD 電源線接地時，該二極體可防止漏電流產生並由該輸入鉚墊經由該輸入 PMOS 流向該 VDD 電源線，而當該積體電路進入省電模式且該 VDD 電源浮接時，該二極體可防止正電壓由該輸入鉚墊經由該輸入 PMOS 對該 VDD 電源線充電，進而使該積體

電路產生錯誤運作。

- 12.如申請專利範圍第 11 項所述之靜電放電防護電路，更可利用複數個該靜電放電防護電路架構出一多層級架構之靜電放電防護電路，其中前一該靜電放電防護電路之該輸出鉚墊，電連接至所後一該靜電放電防護電路之該輸入鉚墊。
- 13.如申請專利範圍第 11 項所述之靜電放電防護電路，更可增設至少一輸出電壓校準電路，使其連接該 VDD 電源線與該輸出 PMOS 之源極，藉此補償該二極體所產生之電壓降。
- 14.一種靜電放電防護電路，其係應用在具有省電模式之積體電路上，該靜電放電防護電路包括：
 - 一輸入鉚墊；
 - 一輸入 PMOS，其汲極與該輸入鉚墊相連接；
 - 一輸入 NMOS，其汲極電連接至該輸入鉚墊；
 - 一內部電路，其經由至少一電阻連接至該輸入鉚墊；
 - 一輸出 PMOS，其閘極與該內部電路連接在一起；
 - 一輸出 NMOS，其閘極與該內部電路形成電性連接；
 - 一輸出鉚墊，其分別連接該輸出 PMOS 之汲極與該輸出 NMOS 之汲極；
 - 一 VDD 電源線，其連接並供應該內部電路一 VDD 電壓；
 - 一 VSS 電源線，其連接並提供該內部電路一 VSS 電壓，並與該輸入 NMOS 之源極與閘極以及該輸出 NMOS 之源極形成電性連接；
 - 一 ESD 匯流線，其與該輸入 PMOS 之源極與閘極相連；
 - 一第一 ESD 箝制電路，其分別連接該 VSS 電源線及該 ESD 匯流線；

一第二 ESD 箝制電路，其分別連接該 VDD 電源線及該 VSS 電源線；

一第一二極體，其順向連接於該 VDD 電源線與該 ESD 匯流線之間，當該積體電路進入省電模式且該 VDD 電源線接地時，該第一二極體可防止漏電流產生，而由該輸入鉗墊經由該輸入 PMOS 流向該 VDD 電源線，又當該積體電路進入省電模式且該 VDD 電壓浮接時，該第一二極體可防止正電壓從該輸入鉗墊經由該輸入 PMOS 向該 VDD 電源線充電，藉此避免該積體電路產生錯誤運作；

一第二二極體，其順向連接於該 VDD 電源線與該輸出 PMOS 之源極之間，當該積體電路進入省電模式且該 VDD 電源線接地時，該第二二極體可防止漏電流產生，而由該輸出鉗墊經由該輸出 PMOS 流向該 VDD 電源線，又當該積體電路進入省電模式且該 VDD 電壓浮接時，該第二二極體可防止正電壓從該輸出鉗墊經由該輸出 PMOS 向該 VDD 電源線充電，藉此避免該積體電路產生錯誤運作；以及

一第三二極體，其 N 型端連接該 ESD 匯流線，P 型端之連接點則選自該輸出鉗墊與該輸出 PMOS 之源極，該第三二極體提供靜電防護作用。

15.如申請專利範圍第 14 項所述之靜電放電防護電路，更可利用複數個靜電放電防護電路架構出一多展級架構之靜電放電防護電路，其中前一該靜電放電防護電路之該輸出鉗墊，電連接至所後一該靜電放電防護電路之該輸入鉗墊。

16.如申請專利範圍第 14 項所述之靜電放電防護電路，更可增設至少一輸

出電壓校準電路，使其連接該 VDD 電源線與該輸出 PMOS 之源極，藉此補償該第二二極體所產生之電壓降。

5. 17.一種靜電放電防護電路，其係應用在具有省電模式之積體電路上，該靜電放電防護電路包括：

一輸入鉗墊；

10. 一輸入 PMOS，其汲極與該輸入鉗墊相連接；

一輸入 NMOS，其汲極電連接至該輸入鉗墊；

一內部電路，其經由至少一電阻連接至該輸入鉗墊；

15. 一預驅動電路，其電連接至該內部電路；

一輸出 NMOS，其閘極與該預驅動電路相連；

20. 一輸出 PMOS，其閘極連接至該預驅動電路；

一控制 PMOS，其汲極連接於該輸出 PMOS 之閘極與該預驅動電路之間；

25. 一輸出鉗墊，其分別連接該輸出 PMOS 與該輸出 NMOS 之汲極；

一 VSS 電源線，其連接並提供該內部電路與該預驅動電路一 VSS 電壓源，並與該輸入 NMOS 之源極與閘極以及該輸出 NMOS 之源極形成電性連接；

30. 一 ESD 匯流線，其與該輸入 PMOS 之源極與閘極相連，並電連接該輸出 PMOS 之源極、該控制 PMOS 之源極與該預驅動電路；

35. 一 VDD 電源線，其連接並供應該內部電路一 VDD 電壓，且電連接該控制 PMOS 之閘極，故當該 VDD 電壓為高準位電壓時，該控制 PMOS 即關閉，而當該積體電路進入省電模式且該 VDD 電源線接地時，該控制

40.

PMOS開啟以關閉該輸出PMOS之閘極，藉此防止產生漏電流並由該輸出鉚墊經由該輸出PMOS流向該ESD匯流線，又當該積體電路進入省電模式且該VDD電源線浮接時，該控制PMOS開啟以關閉該輸出PMOS，藉此避免發生該輸出PMOS在省電模式狀態下導通而造成漏電問題；

一第一ESD箝制電路，其分別連接該VSS電源線及該ESD匯流線；

一第二ESD箝制電路，其分別連接該VDD電源線及該VSS電源線；以及

一二極體，其順向連接於該VDD電源線與該ESD匯流線之間，當該積體電路進入省電模式且該VDD電源線接地時，該二極體可防止產生漏電流並由該輸入鉚墊經由該輸入PMOS流向該VDD電源線，而當該積體電路進入省電模式且該VDD電源線浮接時，該二極體可防止產生正電壓由該輸入鉚墊經由該輸入PMOS向該VDD電源線充電，以避

免該積體電路產生錯誤運作。

18.如申請專利範圍第17項所述之靜電放電防護電路，更可利用複數個靜電放電防護電路架構出一多層級架構之靜電放電防護電路，其中前一該靜電放電防護電路之該輸出鉚墊，電連接至所後一該靜電放電防護電路之該輸入鉚墊。

19.如申請專利範圍第17項所述之靜電放電防護電路，更可增設至少一輸出電壓校準電路，使其連接該VDD電源線與該輸出PMOS之源極，藉此補償該二極體所產生之電壓降。

圖式簡單說明：

15. 第一圖為習知雙晶片電路系統示意圖。

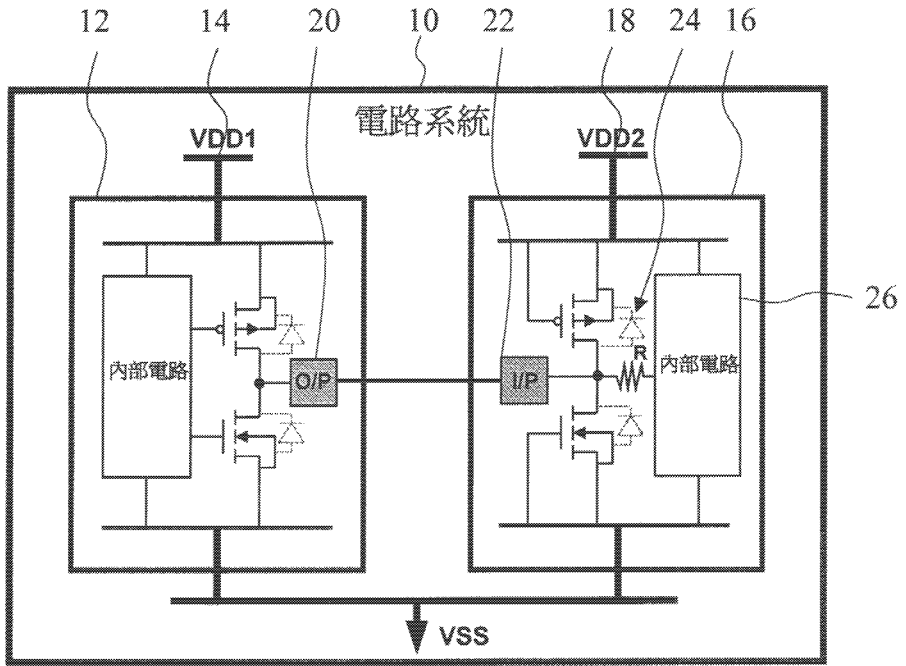
第二圖為習知靜電放電防護電路示意圖。

20. 第三圖與第五圖至第九圖為本發明實施例示意圖。

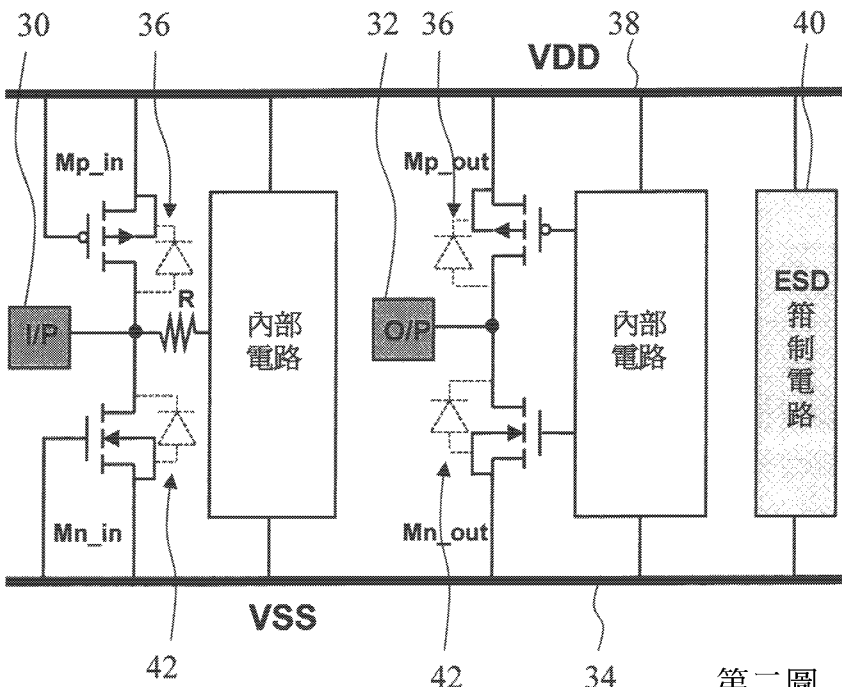
第四圖(a)至第四圖(d)為第三圖之靜電放電路徑示意圖。

第十圖為本發明之輸出電壓校準電路示意圖。

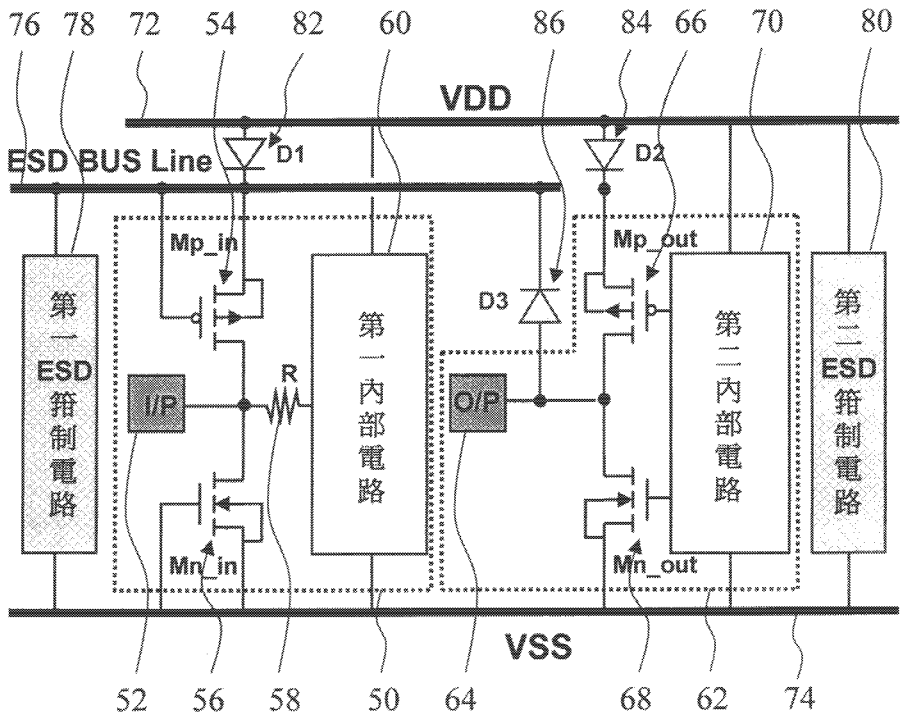
(7)



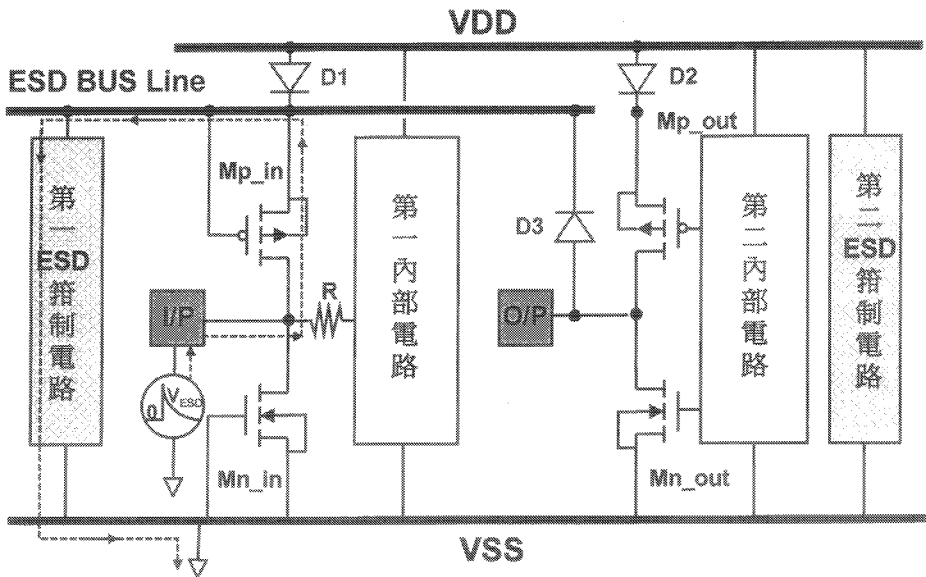
第一圖



第二圖

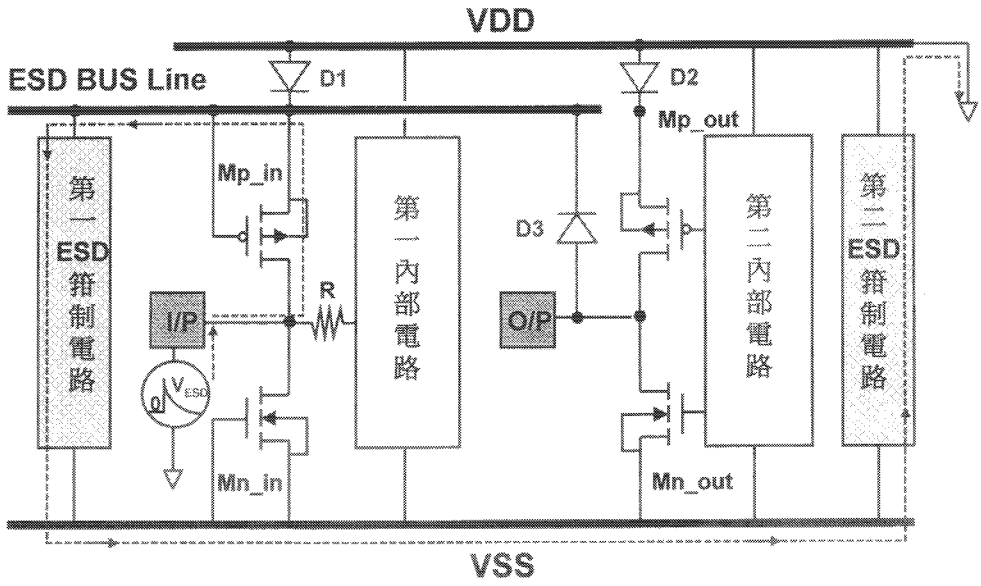


第三圖

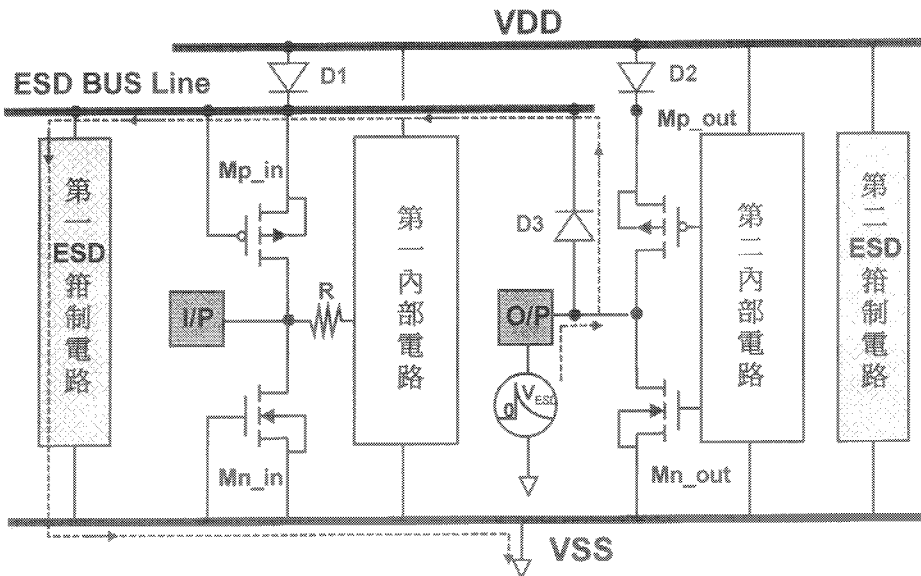


第四圖(a)

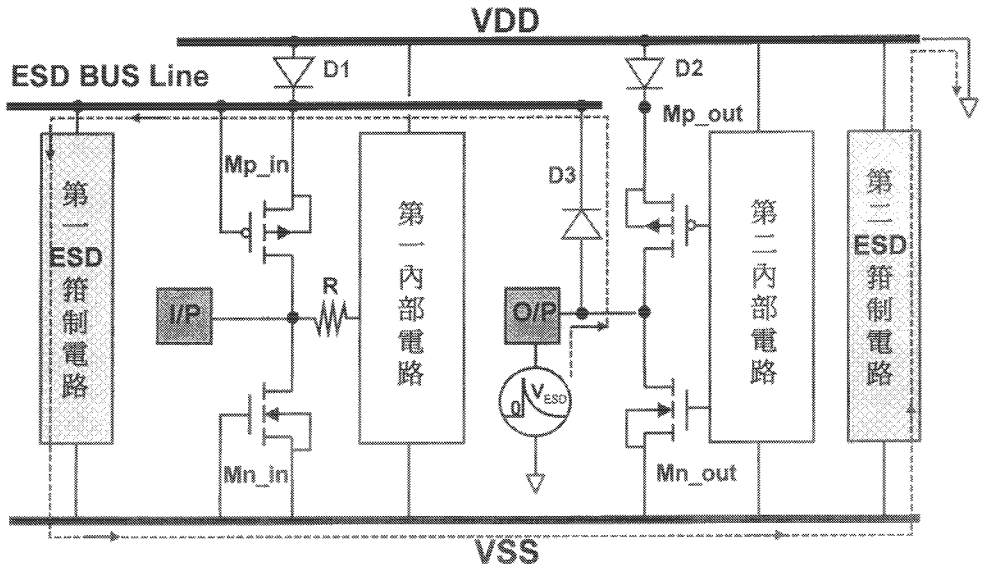
(9)



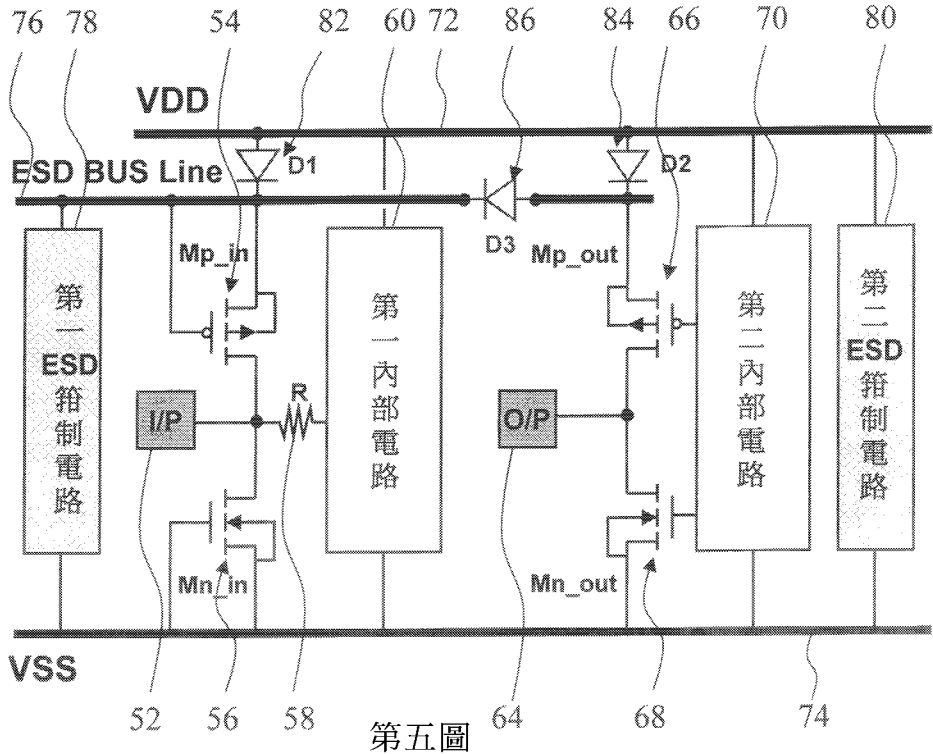
第四圖(b)



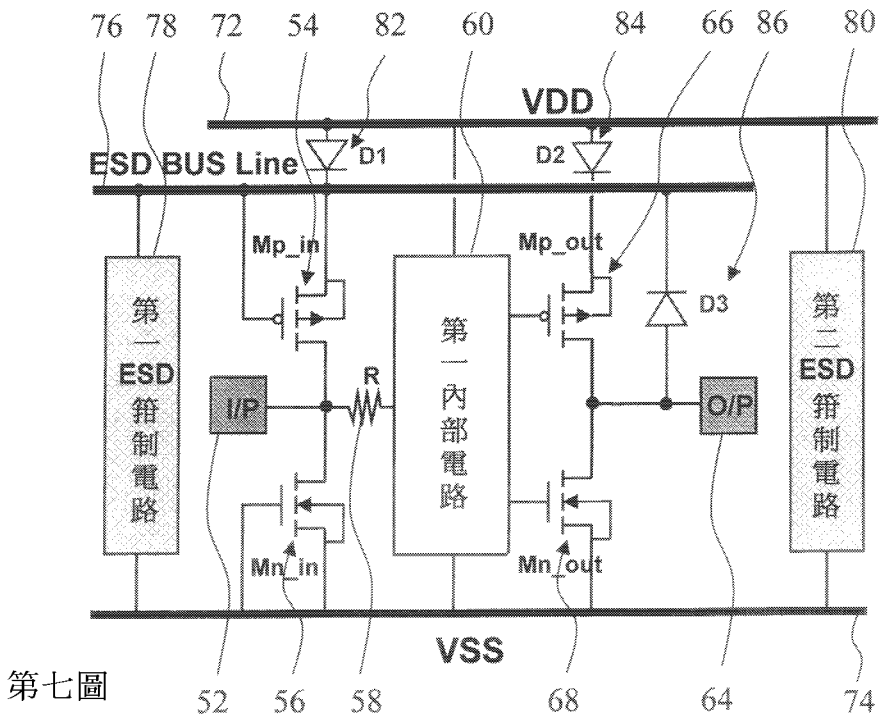
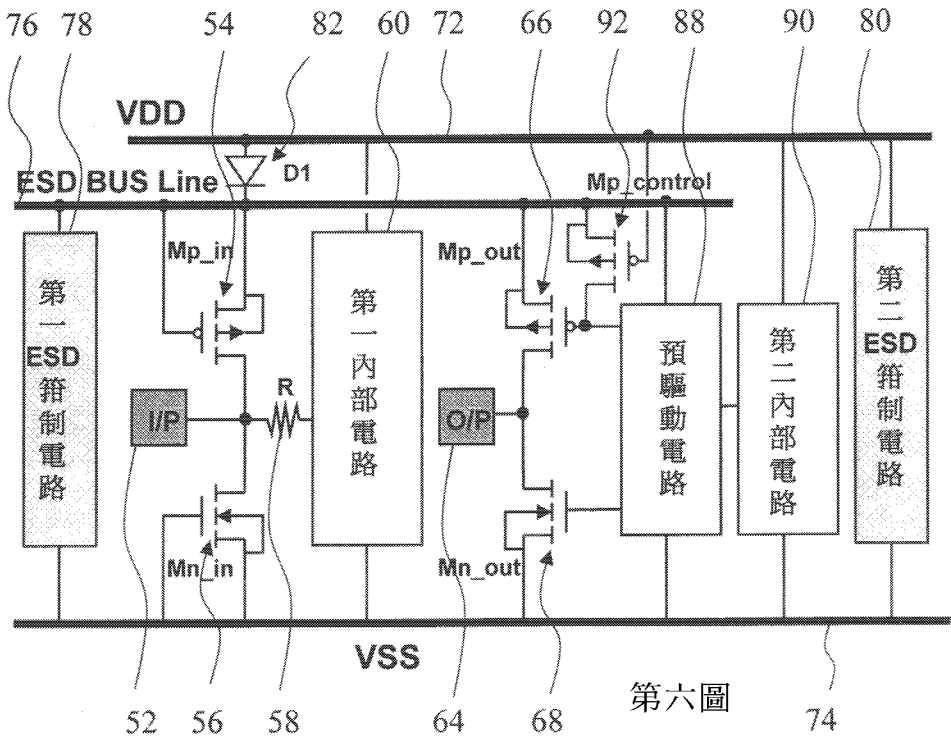
第四圖(c)

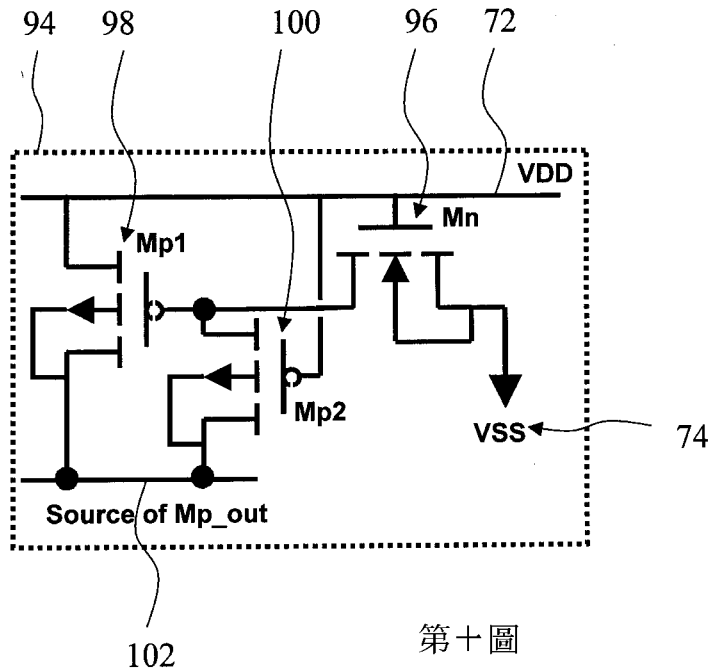
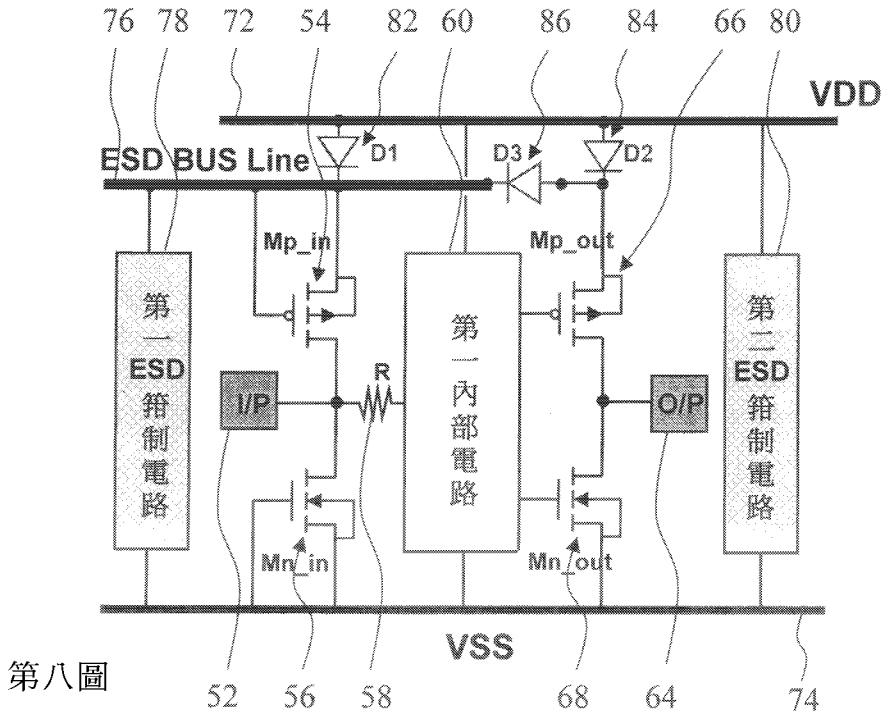


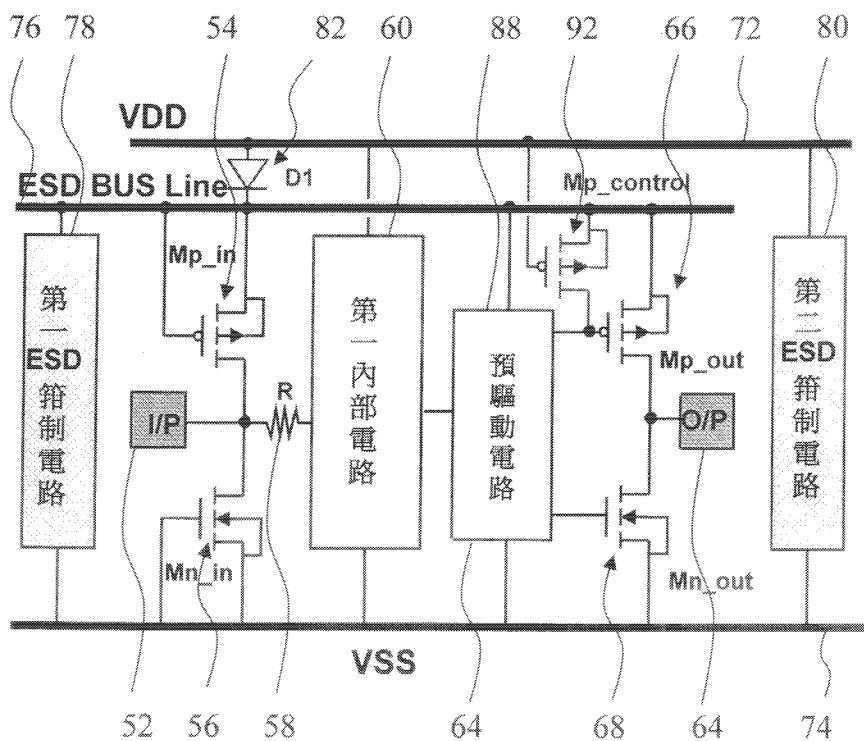
第四圖(d)



第五圖







第九圖

