

【11】證書號數：I224863

【45】公告日：中華民國 93 (2004) 年 12 月 01 日

【51】Int. Cl.⁷： H01L29/68
H01L23/60

發明

全 18 頁

【54】名 稱：具有動態握住電壓以供晶片上靜電放電防護之矽控整流器
SILICON-CONTROLLED RECTIFIER WITH DYNAMIC HOLDING
VOLTAGE FOR ON-CHIP ELECTROSTATIC DISCHARGE
PROTECTION

【21】申請案號：092136932

【22】申請日期：中華民國 92 (2003) 年 12 月 25 日

【72】發 明 人：

陳子平

CHEN, ZI PING

張智毅

CHANG, CHYH YIH

柯明道

KER, MING DOU

【71】申請人：

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH
INSTITUTE新竹縣竹東鎮中興路四段一
九五號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種靜電放電防護之積體電路，包括：

一矽控整流器(SCR)；以及

一連接至 SCR 之控制電路，於第一狀況期間提供 SCR 之第一握住電壓以使 SCR 不致栓鎖，以及於第二狀況期間提供 SCR 之第二握住電壓以使 SCR 保持於栓鎖狀態，其中第一握住電壓不同於第二握住電壓。

2. 如申請專利範圍第 1 項之電路，其中

SCR 包含一寄生雙載子電晶體及一連接於該寄生雙載子電晶體之基極與射極間之寄生電阻。

3. 如申請專利範圍第 2 項之電路，其中控制電路於第一狀況期間呈現小於該寄生電阻之阻值。

4. 如申請專利範圍第 3 項之電路，其中控制電路於第二狀況期間呈現大於該寄生電阻之阻值。

10. 5. 如申請專利範圍第 1 項之電路，其中

SCR 包含一 p 型基體、一形成於 p 型基體中之 n 井區、一形成於 n 井區中之 p 型擴散區以及一形成於 n 井區外之 n 型擴散區

- 6.如申請專利範圍第 1 項之電路，其中控制電路包含一連接至 SCR 之金氧半(MOS)電晶體，以及一提供延遲之電阻電容電路。
- 7.如申請專利範圍第 4 項之電路，其中控制電路包含一 NMOS 電晶體，其具有一汲極連接至一個部分形成於該 n 井區中之擴散區。
- 8.如申請專利範圍第 4 項之電路，其中控制電路包含一 PMOS 電晶體，其具有一源極連接至一個部分形成於該 n 井區之擴散區。
- 9.如申請專利範圍第 7 項之電路，其中控制電路包含一電阻，該電阻之一端連接至 NMOS 電晶體之閘極，以及一電容，該電容之一端連接至該電阻以及該 NMOS 電晶體之閘極。
- 10.如申請專利範圍第 9 項之電路，其中控制電路包含一反相器，一電阻以及一電容，該反相器之一輸出端連接至 PMOS 電晶體之閘極，該電阻之一端連接至反相器之一輸入端，而該電容之一端連接至電阻及反相器之輸入端。
- 11.如申請專利範圍第 4 項之電路，另包含一 PMOS 電晶體用以觸發 SCR，該 PMOS 電晶體具有一源極連接至 SCR 之 p 型擴散區，一汲極連接至 SCR 之 p 型基體，以及一基體連接至 SCR 之 n 井區。
- 12.如申請專利範圍第 4 項之電路，另包含一 NMOS 電晶體用以觸發 SCR，該 NMOS 電晶體具有一源極連接至 SCR 之 n 型擴散區，一汲極連接至 SCR 之 n 井區，以及一基體連接至 SCR 之 p 型基體。

13.一種靜電放電防護之積體電路，包括：

5. 一 MOS 觸發之 SCR，其包含一矽控整流器(SCR)以及一連接至 SCR 以觸發該 SCR 之金氧半(MOS)電晶體；以及
- 一控制電路，其係連接至 MOS 觸發之 SCR 以於第一狀況期間提供一第一握住電壓至 MOS 觸發之 SCR 以使 MOS 觸發之 SCR 不致栓鎖，以及於第二狀況期間提供一第二握住電壓至 MOS 觸發之 SCR 以使 MOS 觸發之 SCR 保持於栓鎖狀態，其中第一握住電壓不同於第二握住電壓。
10. 14.如申請專利範圍第 13 項之電路，其中 MOS 觸發之 SCR 為第一 MOS 觸發 SCR，其包含一 PMOS 電晶體及一第一 SCR，以及其中該積體電路另包括一第二 MOS 觸發 SCR，其包含一 NMOS 電晶體及一第二 SCR。
15. 20. 15.如申請專利範圍第 14 項之電路，其中連接至第一 MOS 觸發 SCR 之控制電路為一第一控制電路，該積體電路另包括一連接至第二 MOS 觸發 SCR 之第二控制電路。
25. 16.如申請專利範圍第 14 項之電路，其中第一控制電路包含一電容器，其一端連接至一接觸墊片以耦合該接觸墊片之部分 ESD 電壓。
30. 17.如申請專利範圍第 15 項之電路，其中第二控制電路包含一電容器，其一端連接至一接觸墊片以耦合該接觸墊片之部分 ESD 電壓。
35. 18.如申請專利範圍第 15 項之電路，其中第一控制電路包含一 NMOS 電晶體以及一反相器，該反相器連接至 NMOS 電晶體之閘極以及 PMOS 觸發 SCR 之 PMOS 電晶體之閘極。
40. 19.如申請專利範圍第 16 項之電路，其中第二控制電路包含一 PMOS 電晶

體以及一反相器，該反相器連接至 PMOS 電晶體之閘極以及 NMOS 觸發 SCR 之 NMOS 電晶體之閘極。

20.一種靜電放電防護之積體電路，包括：

一矽控整流器(SCR)，其具有一第一摻雜型之基體、一形成於基體中而為第二摻雜型之半導體井區、一形成於半導體井區中而為第一摻雜型之第一擴散區，以及一形成於半導體井區之外而為第二摻雜型之第二擴散區；以及

一控制電路，其係連接至 SCR 以於第一狀況期間提供一第一握住電壓至 SCR 以使 SCR 不致栓鎖，以及於第二狀況期間提供一第二握住電壓至 SCR 以使 SCR 保持栓鎖狀態，其中第一握住電壓不同於第二握住電壓。

21.一種靜電放電之防護方法，包括：

提供一個具有第一握住電壓之矽控整流器(SCR)；以及

於第一狀況期間控制 SCR 之握住電壓使其高於一電源電壓以使 SCR 不致栓鎖，以及於第二狀況期間控制 SCR 之握住電壓使其低於電源電壓以使 SCR 保持於栓鎖狀態。

22.如申請專利範圍第21項之方法，另包括提供一連接至SCR之p型金氧半(PMOS)電晶體以於第二狀況期間觸發該 SCR。

23.如申請專利範圍第21項之方法，另包括提供一連接至SCR之n型金氧半(NMOS)電晶體以於第二狀況期間觸發該 SCR。

24.如申請專利範圍第21項之方法，另包括將 SCR 連接於一第一電源線路及一第二電源線路之間。

25.如申請專利範圍第24項之方法，另包括以該第一電源線路做為 V_{dd} 線

路，且以該第二電源線路做為 V_{ss} 線路。

26.一種靜電放電防護之積體電路，包括：

5. 一個矽控整流器(SCR)；

一個第一導電型之第一電晶體，與 SCR 積體成型，具有一第一閘極；
一個第二導電型之第二電晶體，與 SCR 積體成型，具有一第二閘極；

10. 以及

一個控制電路，因應於一施加至第一與第二閘極之第一電壓，提供一第一握住電壓至 SCR 以使 SCR 不致栓鎖，且因應於一施加至第一與第二閘極之第二電壓，提供一第二握住電壓至 SCR 以使 SCR 保持於栓鎖狀態。

27.如申請專利範圍第26項之電路，該控制電路另包括一輸出端連接至第一與第二閘極。

28.如申請專利範圍第26項之電路，該控制電路另包括一電阻、一電容與一個位於電阻與電容之間的輸出端。

25. 29.如申請專利範圍第26項之電路，該控制電路另包括一電阻電容延遲電路。

30.如申請專利範圍第26項之電路，該 SCR 另包含一 p 型基體、一形成於 p 型基體中之 n 井區、一形成於 n 井區中之 p 型擴散區以及一形成於 n 井區外之 n 型擴散區。

31.如申請專利範圍第30項之電路，該第一電晶體另包括一形成於 n 井區中之通道區。

35. 32.如申請專利範圍第30項之電路，該第二電晶體另包括一形成於 p 井區中之通道區。

33.一種靜電放電防護之積體電路，包括：

40.

- 一個矽控整流器(SCR)；
 一個與SCR積體成型之p型電晶體；
 一個與SCR積體成型之n型電晶體；
 一個連接至p型與n型電晶體之控制電路，其提供一第一電壓至SCR以使SCR不致栓鎖，並且提供一第二電壓至SCR以使SCR保持於栓鎖狀態。
- 34.如申請專利範圍第33項之電路，該控制電路另包括一電阻、一電容與一個位於電阻與電容之間的輸出端。
- 35.如申請專利範圍第33項之電路，該控制電路另包括一輸出端連接至p型電晶體之閘極與n型電晶體之閘極。
- 36.如申請專利範圍第33項之電路，該SCR另包含一p型基體、一形成於p型基體中之n井區、一形成於n井區中之p型擴散區以及一形成於n井區外之n型擴散區。
- 37.如申請專利範圍第36項之電路，該SCR另包括部份形成於n井區之另一p型擴散區來做為p型電晶體之汲極，而其中之p型擴散區係做為p型電晶體之源極。
- 38.如申請專利範圍第36項之電路，該SCR另包括形成於p型基體內另一n型擴散區來做為n型電晶體之汲極，而其中之n型擴散區係做為n型電晶體之源極。
- 39.如申請專利範圍第33項之電路，該SCR連接於一接觸墊片與一電源線路之間。
- 40.如申請專利範圍第33項之電路，該SCR連接於相異之電源線路之間。
- 41.一種靜電放電(ESD)防護之積體電路，包括：
 一個具有第一電壓位準之第一電源線路；
 一個具有第二電壓位準之第二電源

- 線路；
 多個接觸墊片；
 多個矽控整流器(SCR)，每一個SCR皆包括一個p型電晶體與一個n型電晶體，該p型與n型電晶體與SCR積體成型；以及
 一個控制電路，經由p型與n型電晶體提供一第一握住電壓至該等SCR以使該等SCR不致栓鎖，並且經由p型與n型電晶體提供一第二握住電壓至該等SCR以使該等SCR於ESD脈衝出現在第一電源線路或接觸墊片之一的ESD期間內保持於栓鎖狀態。
5. 42.如申請專利範圍第41項之電路，該等SCR另包括至少一個連接於第一與第二電源線路之間的SCR，而其餘之SCR則連接於一相對應之接觸墊片與第二電源線路之間。
10. 43.如申請專利範圍第42項之電路，其中在ESD期間內，ESD脈衝係由該等接觸墊片之一經由第二電源線路排放至第一電源線路。
15. 44.如申請專利範圍第42項之電路，其中在ESD期間內，ESD脈衝係由第一電源線路經由第二電源線路排放至該等接觸墊片之一。
20. 45.如申請專利範圍第42項之電路，其中在ESD期間內，ESD脈衝係由該等接觸墊片之一經由第二電源線路排放至另一接觸墊片。
25. 46.如申請專利範圍第41項之電路，該控制電路另包括一電阻電容延遲電路。
30. 47.如申請專利範圍第41項之電路，該控制電路另包括一輸出端連接至每一個p型與n型電晶體之閘極。
35. 48.一種靜電放電防護之方法，包括：
 提供一個具有一握住電壓之矽控整流器(SCR)；
- 40.

將一個第一導電型之第一電晶體與 SCR 積體成型，第一電晶體具有一第一閘極；

將一個第二導電型之第二電晶體與 SCR 積體成型，第二電晶體具有一第二閘極；

提供一第一信號至第一與第二閘極來提高 SCR 之握住電壓以使 SCR 不致栓鎖；以及

提供一第二信號至第一與第二閘極來降低 SCR 之握住電壓以使 SCR 保持於栓鎖狀態。

49.如申請專利範圍第48項之方法，另包括將 SCR 之握住電壓提高至一電源電壓之上。

50.如申請專利範圍第48項之方法，另包括將 SCR 之握住電壓降低至一電源電壓之下。

51.如申請專利範圍第48項之方法，另包括將 SCR 連接於一接觸墊片與一電源線路之間。

52.如申請專利範圍第48項之方法，另包括將 SCR 連接於相異之電源線路之間。

53.一種對內部電路提供靜電放電(ESD)防護之方法，包括：

提供一個具有第一電壓位準之第一電源線路；

提供一個具有第二電壓位準之第二電源線路；

提供多個接觸墊片；

提供多個矽控整流器(SCR)，每一個 SCR 皆包括一個 p 型電晶體與一個 n 型電晶體，該 p 型與 n 型電晶體與 SCR 積體成型；

經由 p 型與 n 型電晶體提供一第一握住電壓至該等 SCR 以使該等 SCR 不致栓鎖；以及

經由 p 型與 n 型電晶體提供一第二握住電壓至該等 SCR 以使該等 SCR 於

ESD 脈衝出現在第一電源線路或接觸墊片之一的 ESD 期間內保持於栓鎖狀態。

54.如申請專利範圍第53項之方法，另包括使該等 SCR 之至少一 SCR 連接於第一與第二電源線路之間，而使其餘之 SCR 連接於一相對應之接觸墊片與第二電源線路之間。

55.如申請專利範圍第54項之方法，另包括將 ESD 脈衝由接觸墊片之一經由第二電源線路排放至第一電源線路。

56.如申請專利範圍第54項之方法，另包括將 ESD 脈衝由第一電源線路經由第二電源線路排放至接觸墊片之一。

57.如申請專利範圍第54項之方法，另包括將 ESD 脈衝由接觸墊片之一經由第二電源線路排放至另一接觸墊片。

圖式簡單說明：

圖 1 為習知 ESD 防護元件之電路圖；

圖 2 為另一習知 ESD 防護元件之剖視圖；

圖 3 為本發明實施例之 SCR 與控制電路之電路圖；

圖 4 為圖 3 所示電路之 I-V 曲線圖；

圖 5 為 ESD 防護電路之佈局剖視圖；

圖 6 為另一 ESD 防護電路之佈局剖視圖；

圖 7 為本發明另一實施例之 SCR 與控制電路之電路圖；

圖 8 為本發明實施例之 ESD 防護電路之佈局；

圖 9 為另一 ESD 防護電路之佈局；

圖 10 為本發明實施例之 ESD 防護

電路；

圖 11 為本發明實施例之另一 ESD 防護電路；

圖 12 為本發明實施例之輸入端 ESD 防護電路；

圖 13 為本發明實施例之另一輸入端 ESD 防護電路；

圖 14 為本發明實施例之輸出端 ESD 防護電路；

圖 15 為本發明實施例之另一輸出端 ESD 防護電路；

圖 16 為本發明實施例之混壓電源輸出入 ESD 防護電路；

圖 17 為本發明實施例之混壓電源 ESD 防護電路示意圖；

圖 18 為本發明實施例之使用

NMOS 觸發 SCR 之混壓電源 ESD 防護電路；

圖 19 為本發明一實施例之使用 PMOS 觸發 SCR 之混壓電源 ESD 防護電路；

圖 20A 為本發明實施例之 SCR 之剖視圖；

圖 20B 為本發明實施例之控制電路；

圖 21 為本發明另一實施例之 ESD 防護電路；

圖 22 為本發明又一實施例之 ESD 防護電路；以及

圖 23 為本發明再一實施例之 ESD 防護電路。

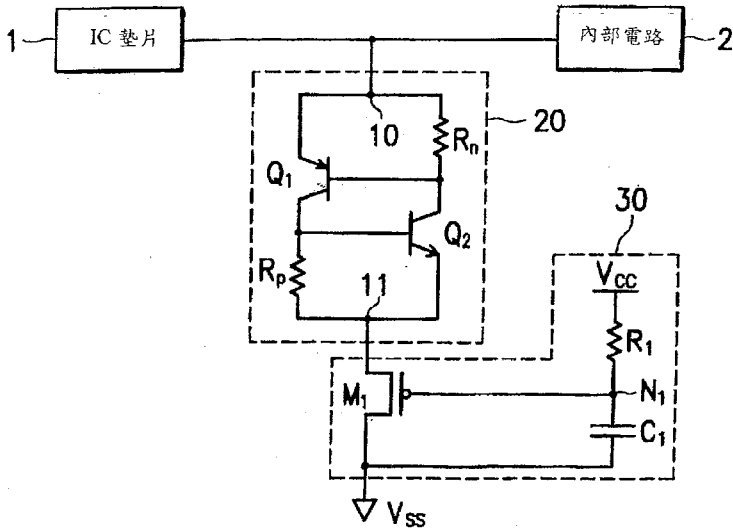


圖 1

(7)

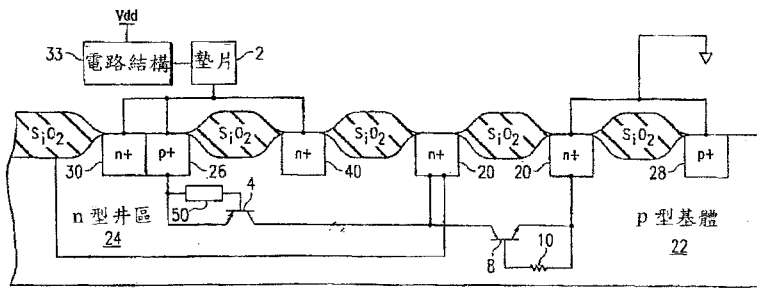


圖 2

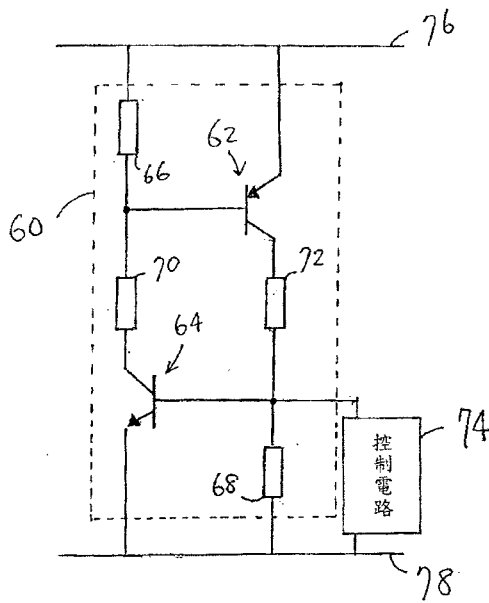


圖 3

(8)

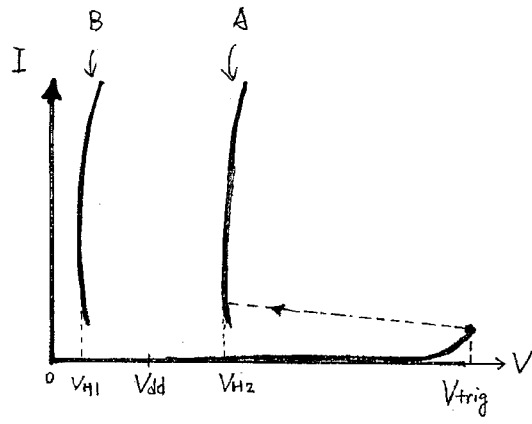


圖 4

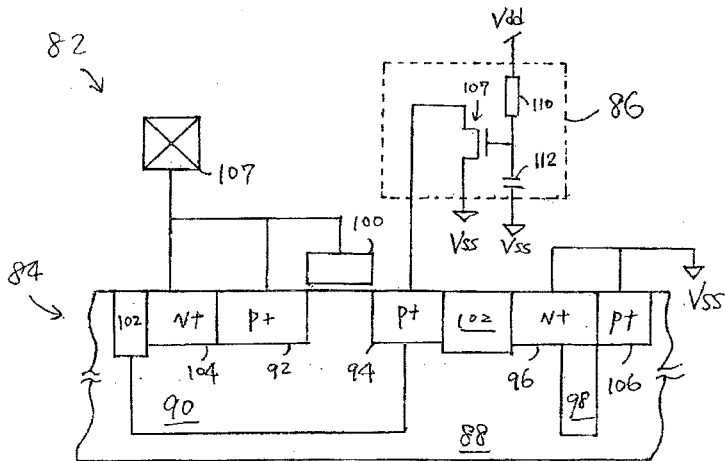


圖 5

(9)

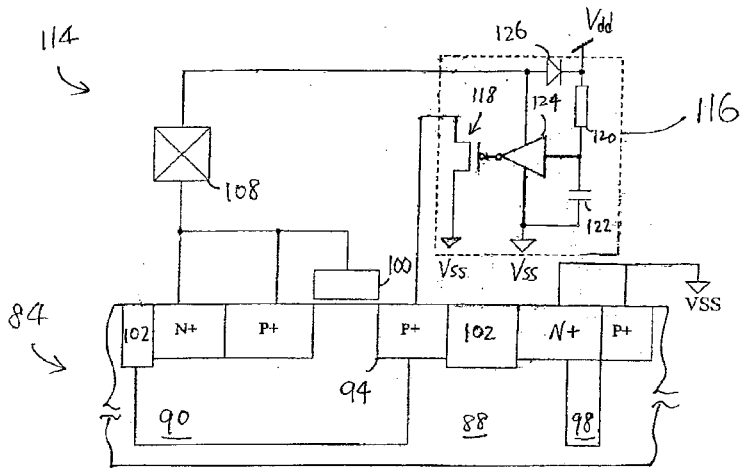


圖 6

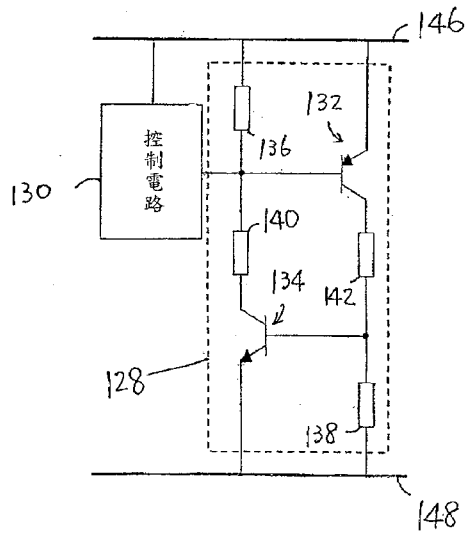


圖 7

(10)

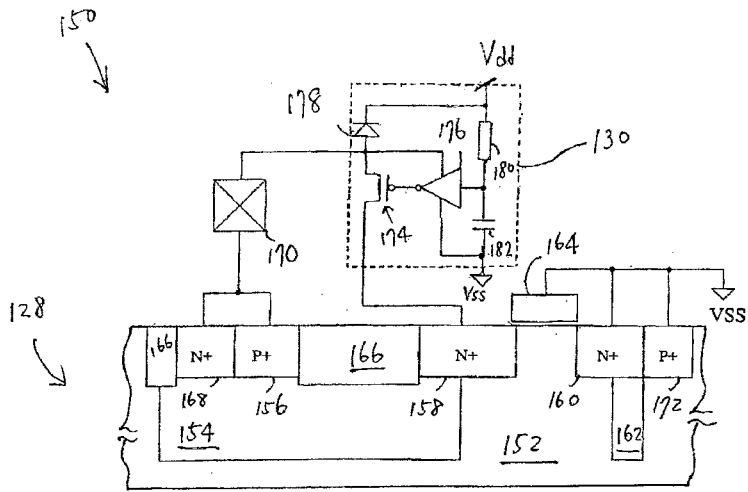


圖 8

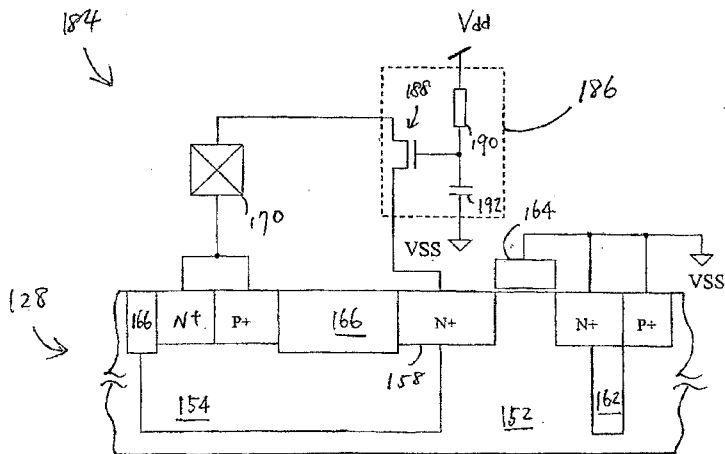


圖 9

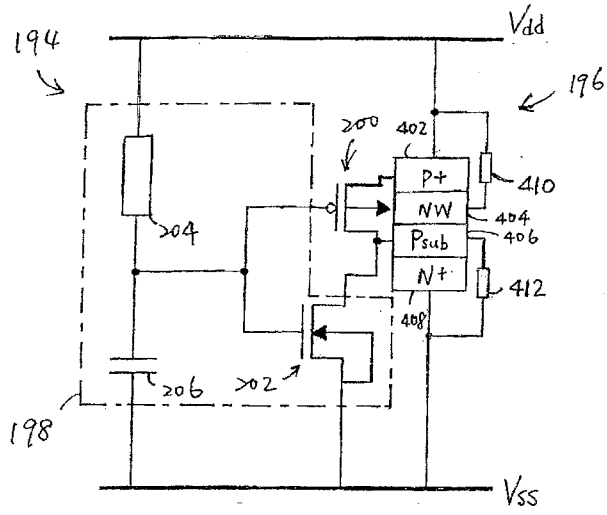


圖 10

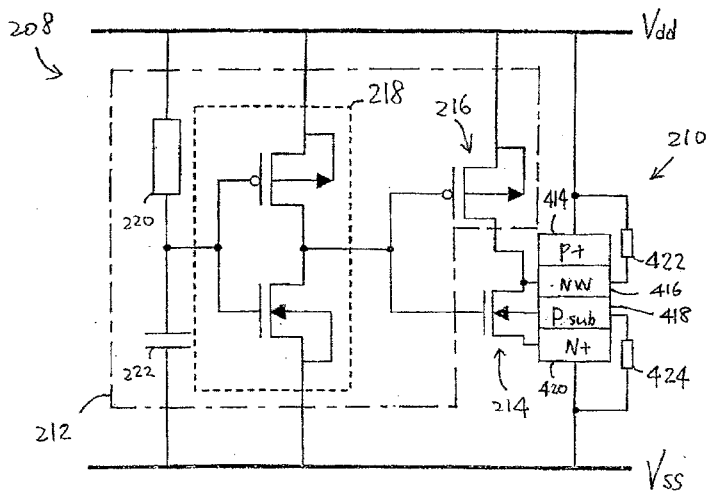


圖 11

(12)

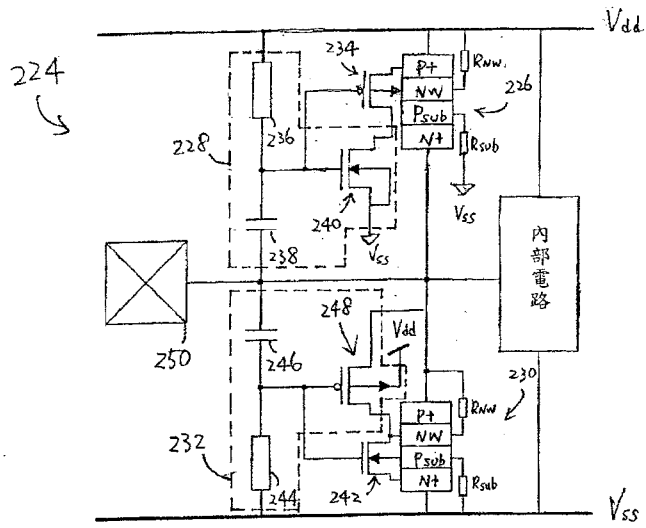


圖 12

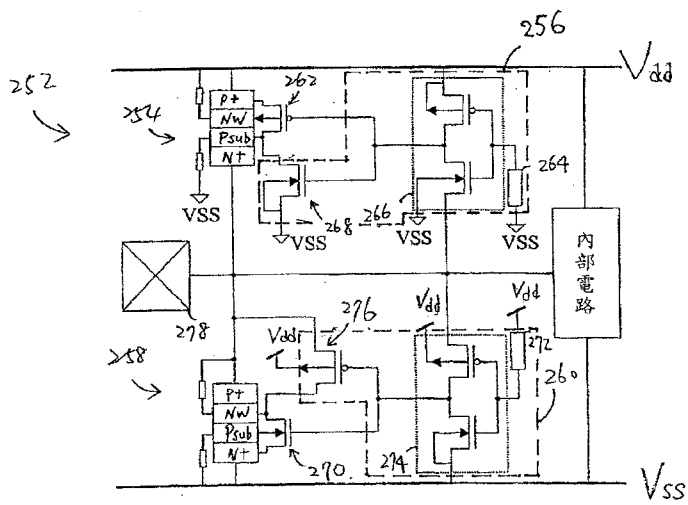


圖 13

(13)

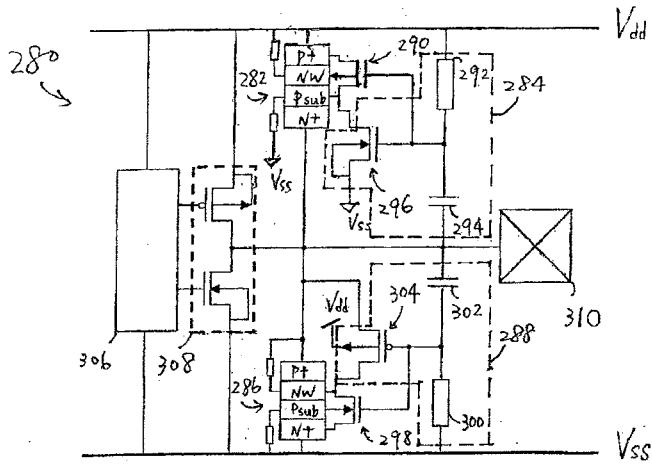


圖 14

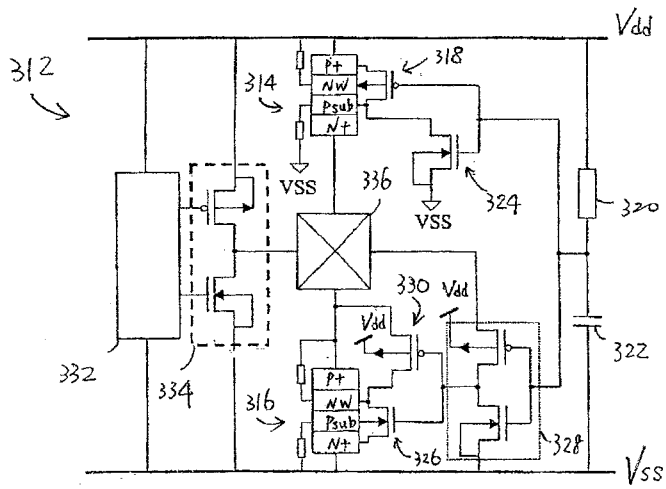


圖 15

(14)

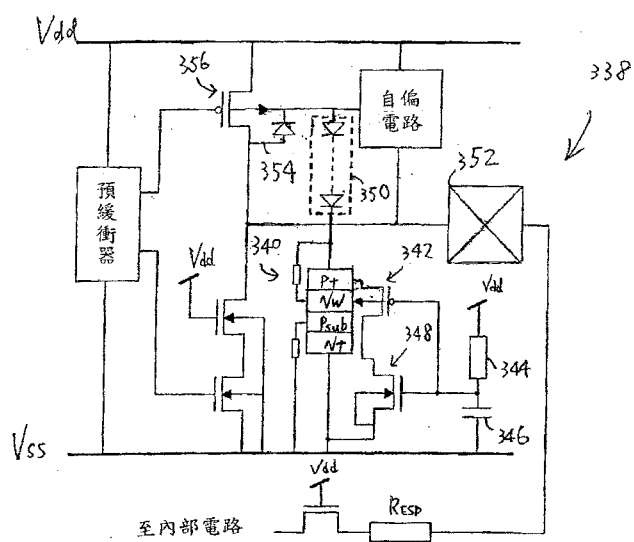


圖 16

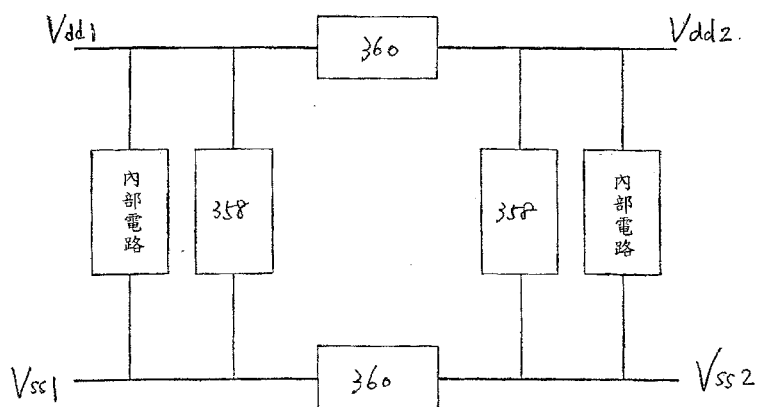


圖 17

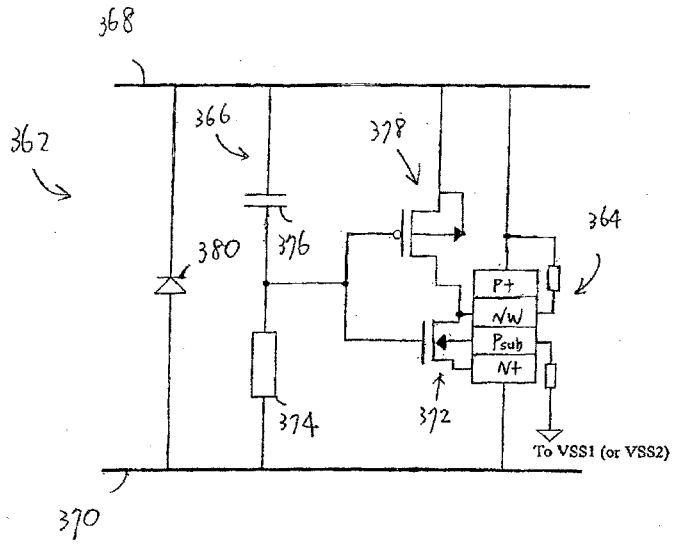


圖 18

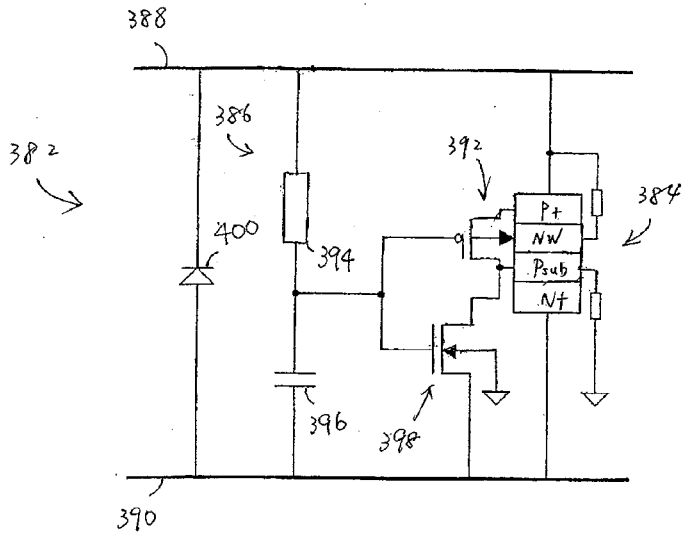


圖 19

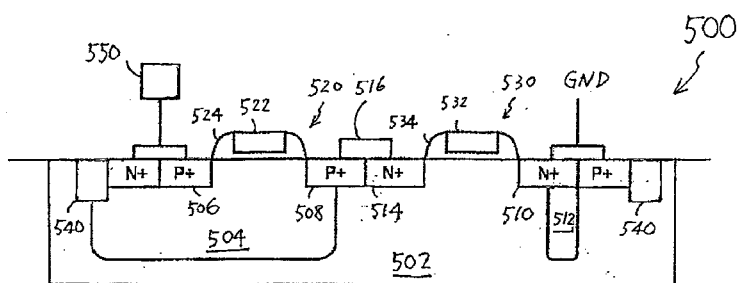


圖 20A

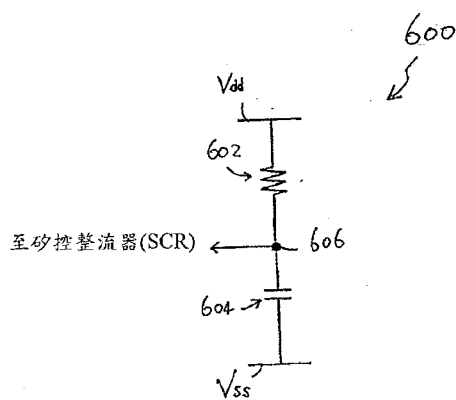


圖 20B

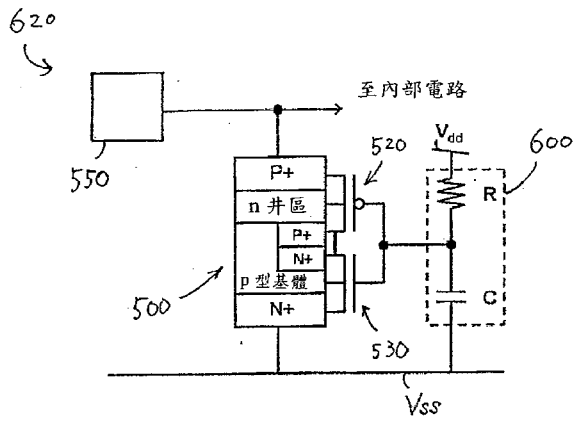


圖 21

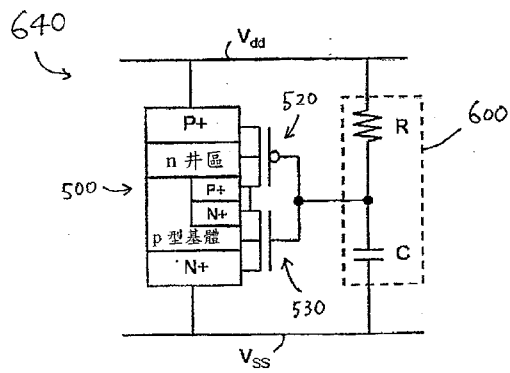


圖 22

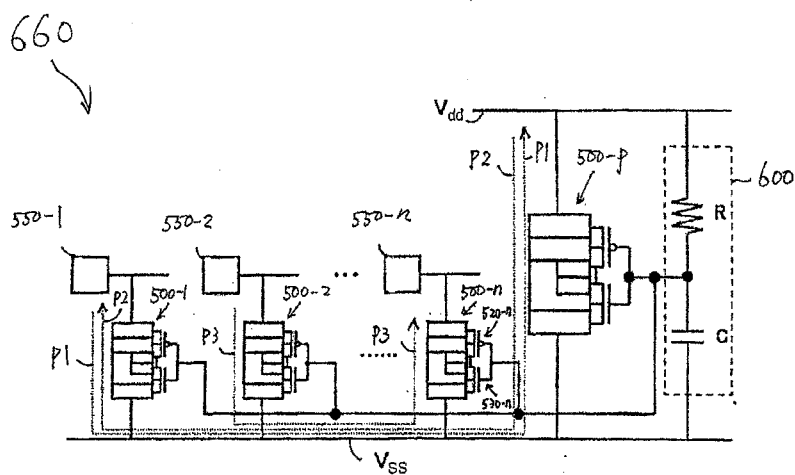


圖 23