

【11】證書號數： I228312

【45】公告日： 中華民國 94 (2005) 年 02 月 21 日

【51】Int. Cl.⁷: H01L23/60

發明

全 19 頁

【54】名 稱： 混壓緩衝器之靜電放電防護電路

ESD PROTECTION CIRCUITS FOR MIXED-VOLTAGE BUFFERS

【21】申請案號： 092136061

【22】申請日期： 中華民國 92 (2003) 年 12 月 18 日

【11】公開編號： 200425459

【43】公開日期： 中華民國 93 (2004) 年 11 月 16 日

【30】優先權： 2003/05/02

美國

10/428,047

【72】發 明 人：

陳子平

CHEN, ZI PING

柯明道

KER, MING DAO

姜信欽

JIANG, HSIN CHIN

【71】申請人：

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH
INSTITUTE新竹縣竹東鎮中興路4段195
號

【74】代理人：

1

2

[57]申請專利範圍：

1.一種緩衝電路，包括：

一墊片；

一靜電放電(ESD)檢測電路，連接至
該墊片以檢測該墊片上有無 ESD；

以及

一第一電路，連接至該墊片及 ESD
檢測電路，並可連接至一第一電位
以對墊片上之 ESD 放電，第一電路
包含多個堆疊式金屬一氧化物一半
導體(MOS)電晶體，其中 ESD 檢測電路在正常操作情況
下提供至少一第一信號至第一電
路，並且於 ESD 檢測電路檢測出墊
片上有 ESD 時，提供至少一第二信
號至第一電路。

5.

2.如申請專利範圍第1項之電路，其中
之墊片為耐高壓輸入墊片。3.如申請專利範圍第1項之電路，其中
之第一電位為接地。

10.

4.如申請專利範圍第1項之電路，其中

之第一電位為 V_{DD} 。

- 5.如申請專利範圍第1項之電路，其中之ESD檢測電路包含一反相器。
- 6.如申請專利範圍第1項之電路，另包括一連接至該墊片之電容器，該電容器將ESD耦合至ESD檢測電路。
- 7.如申請專利範圍第1項之電路，另包括一電晶體，其具有一基體連接至第一電路以及具有一電容器連接於墊片與電晶體基體之間，而ESD係經由該電容器與電晶體耦合至第一電路。
- 8.如申請專利範圍第1項之電路，其中之第一信號關閉第一電路，而第二信號則開啟第一電路。
- 9.如申請專利範圍第1項之電路，其中之多個堆疊式MOS電晶體包含兩個連接至ESD檢測電路之MOS電晶體。
- 10.如申請專利範圍第1項之電路，其中第一信號與第二信號耦合至多個堆疊式MOS電晶體之其中一個的閘極，且第一信號之電壓位準低於該其中一個堆疊式MOS電晶體之臨界電壓，而第二信號之電壓位準高於該其中一個堆疊式MOS電晶體之臨界電壓。
- 11.如申請專利範圍第1項之電路，其中之多個堆疊式MOS電晶體形成一寄生式橫向雙載子接面電晶體(LBJT)，且第一信號與第二信號耦合至多個堆疊式MOS電晶體之其中一個的基體，又第二信號為基體觸發之電流信號，在ESD檢測電路檢測出墊片上有ESD時，將LBJT予以開啟。
- 12.如申請專利範圍第1項之電路，另包括一連接至該墊片之驅動電路，該驅動電路包含多個堆疊式NMOS電晶體。

- 13.如申請專利範圍第1項之電路，其中之第一電路另包含一PMOS電晶體連接至該等堆疊式NMOS電晶體，且第一電路亦為一驅動器電路。
5. 14.如申請專利範圍第1項之電路，另包括一箝位電路於第一電位與第一第二電位間提供一條ESD放電路徑，其中之ESD檢測電路經由一邏輯電路連接至箝位電路以觸發該箝位電路來對ESD放電。
10. 15.如申請專利範圍第14項之電路，其中之箝位電路包含一連接至該邏輯電路之MMOS電晶體。
15. 16.如申請專利範圍第14項之電路，其中之箝位電路包含一連接至該邏輯電路之PMOS電晶體。
- 17.如申請專利範圍第14項之電路，其中之箝位電路包含一連接至該邏輯電路之場氧化物元件(FOD)。
20. 18.如申請專利範圍第14項之電路，其中之邏輯電路包含一反相器連接於ESD檢測電路與箝位電路之間。
- 19.一種緩衝電路，包括：
 25. 一墊片；
 - 一靜電放電(ESD)檢測電路，連接至該墊片以檢測該墊片上有無ESD；
 - 以及
 - 一ESD放電電路，連接至該墊片並且可連接至一第一電位以將墊片上之ESD予以放電，該ESD放電電路包含一第一場氧化物元件(FOD)，其中ESD檢測電路在緩衝電路之正常操作情況下提供至少一第一信號至ESD放電電路，並且於ESD檢測電路檢測出墊片上有ESD時，提供至少一第二信號至ESD放電電路。
35. 20.如申請專利範圍第19項之電路，另包括一連接至該墊片之電容器，該電容器將ESD耦合至ESD檢測電
- 40.

路。

- 21.如申請專利範圍第19項之電路，另包括一電晶體，其具有一基體連接至第一電路以及具有一電容器連接於墊片與電晶體基體之間，而ESD係經由該電容器與電晶體耦合至第一電路。
- 22.如申請專利範圍第19項之電路，其中之ESD檢測電路連接至第一FOD之基體以提供該第一及第二信號至第一FOD之基體，且其中當ESD檢測電路檢測出墊片上有ESD時，該ESD經由第一FOD予以放電。
- 23.如申請專利範圍第19項之電路，其中之第一FOD包含一寄生式橫向雙載子接面電晶體(LBJT)，該LBJT於ESD檢測電路檢測出墊片上有ESD時開啟。
- 24.如申請專利範圍第19項之電路，另包括一可連接於第一電位與一第二電位之箝位電路，該箝位電路於第一及第二電位間提供一條ESD放電路徑。
- 25.如申請專利範圍第19項之電路，另包括一箝位電路，該箝位電路包含一電晶體，而該ESD檢測電路經由一邏輯電路連接至該電晶體之閘極或基體。
- 26.如申請專利範圍第19項之電路，另包括一箝位電路，該箝位電路包含一第二FOD，而該ESD檢測電路經由一邏輯電路連接至第二FOD之基體。
- 27.一種可連接至一第一電位與一第二電位之積體電路(IC)，包括：
至少一靜電放電(ESD)防護電路，每一ESD防護電路包含：
一墊片；
一ESD檢測電路，連接至該墊片以檢測該墊片上有無ESD；以及

- 一第一箝位電路，連接至該墊片及ESD檢測電路以將ESD放電至該第一電位，
其中ESD檢測電路於該IC之正常操作情況下提供至少一第一信號至第一箝位電路，並且於ESD發生時，提供至少一第二信號至第一箝位電路以觸發第一箝位電路將ESD放電至第一電位；以及
5. 一第二箝位電路，可連接至第一與第二電位以於第一與第二電位之間提供一條ESD放電路徑，
其中該每一ESD防護電路之ESD檢測電路經由一邏輯電路連接至第二箝位電路。
10. 28.如申請專利範圍第27項之電路，其中第一信號之電壓位準低於第二信號之電壓位準。
15. 29.如申請專利範圍第27項之電路，其中第二箝位電路包含多個堆疊式NMOS電晶體，且第一及第二信號耦合至該等堆疊式NMOS電晶體之其中一個的閘極與基體。
20. 30.如申請專利範圍第27項之電路，其中第一箝位電路包含一個場氧化物元件(FOD)，且第一及第二信號耦合至該FOD之一基體。
25. 31.如申請專利範圍第27項之電路，其中第一箝位電路亦為一驅動電路。
30. 32.如申請專利範圍第27項之電路，其中當至少一ESD防護電路之至少一ESD檢測電路檢測出墊片上有ESD，且當第一電位為浮接時，第二箝位電路開啟以提供ESD防護。
35. 33.如申請專利範圍第27項之電路，其中第二箝位電路包含一MOS電晶體，且每一ESD防護元件之ESD檢測電路經由該邏輯電路連接至該MOS電晶體之閘極或基體。
40. 34.如申請專利範圍第27項之電路，其

中第二箝位電路包含一個場氧化物元件(FOD)，且每一ESD防護元件之ESD檢測電路經由該邏輯閘連接至該FOD之一基體。

- 35.如申請專利範圍第27項之電路，其中第二箝位電路包含一寄生式橫向雙載子接面電晶體(LBJT)，以及當至少一ESD防護電路之至少一ESD檢測電路檢測出墊片上有ESD，且當第一電位為浮接時，該LBJT開啟以對ESD放電。
- 36.如申請專利範圍第27項之電路，其中之邏輯電路包含一反及(NAND)閘及連接至第二箝位電路之至少一反相器。
- 37.一種可連接至一第一電位與一第二電位之積體電路(IC)，包括：
多個第一靜電放電(ESD)防護電路，每一第一ESD防護電路包含：
一輸入墊片；
一ESD檢測電路，連接至該輸入墊片以檢測輸入墊片上有無ESD；以及
一第一箝位電路，連接至輸入墊片與ESD檢測電路以將輸入墊片上之ESD予以放電至第一電位；
多個第二ESD防護電路，每一第二ESD防護電路包含：
一接觸墊片；
一驅動電路，連接至接觸墊片；以及
一ESD檢測電路，用於檢測接觸墊片上有無ESD；以及
一第二箝位電路，可連接至第一及第二電位以排放ESD，
其中每一第一ESD防護電路與每一第二ESD防護電路之ESD檢測電路經由一邏輯電路連接至第二箝位電路。
- 38.如申請專利範圍第37項之電路，其

- 中當多個第一ESD防護電路或多個第二ESD防護電路之至少一ESD檢測電路檢測出ESD且當第一電位為浮接時，第二箝位電路開啟以於第一及第二電位間提供一條ESD放電路徑。
5. 39.如申請專利範圍第37項之電路，其中至少一第一ESD防護電路或至少一第二ESD防護電路包含至少一NMOS電晶體，且該至少一第一ESD防護電路或該至少一第二ESD防護電路之ESD檢測電路連接至該NMOS電晶體之一閘極與基體。
10. 40.如申請專利範圍第37項之電路，其中至少一第一ESD防護電路或至少一第二ESD防護電路包含一個場氧化物元件(FOD)，且該至少一第一ESD防護電路或該至少一第二ESD防護電路之ESD檢測電路連接至該FOD之一基體。
15. 41.如申請專利範圍第37項之電路，其中當至少一第二ESD防護電路之檢測電路檢測出該至少一第二ESD防護電路之接觸墊片上有ESD時，該至少一第二ESD防護電路之驅動電路能將該接觸墊片上之ESD予以放電。
20. 42.如申請專利範圍第37項之電路，其中至少一第二ESD防護電路另包含一第三箝位電路，該第三箝位電路連接至該至少一第二ESD防護電路之ESD檢測電路的接觸墊片以將該至少一第二ESD防護電路之接觸墊片上的ESD予以放電。
25. 43.一種積體電路(IC)之靜電放電(ESD)防護方法，包括：
提供一ESD檢測電路以檢測一墊片上有無ESD；以及
提供一ESD放電電路利用多個堆疊式NMOS電晶體將ESD予以排放至
30. 40.
- 35.

一第一電源供應端。

44.一種積體電路(IC)之靜電放電(ESD)

防護方法，包括：

提供一ESD檢測電路以檢測一墊片上有無ESD；以及

提供一ESD放電電路利用一個場氧化物元件(FOD)將ESD予以排放至一第一電源供應端。

45.一種積體電路(IC)之靜電放電(ESD)

防護方法，包括：

提供一ESD檢測電路以檢測一墊片上有無ESD；

提供一第一ESD放電電路將ESD排放至一第一電源供應端；以及

提供一第二ESD放電電路以於第一電源供應端與第二電源供應端之間提供一條ESD放電路徑。

圖式簡單說明：

圖1為使用堆疊式NMOS電晶體之習知混壓I/O緩衝電路；

圖2為依據本發明之實施例，使用堆疊式NMOS電晶體之ESD防護電路；

圖3為依據本發明另一實施例，使用堆疊式NMOS電晶體之ESD防護電路；

圖4為依據本發明另一實施例，使用堆疊式NMOS電晶體之ESD防護電路；

圖5為依據本發明一實施例，使用場氧化物元件之ESD防護電路；

圖6為依據本發明另一實施例，使用場氧化物元件之ESD防護電路；

圖7為依據本發明另一實施例，使用場氧化物元件之ESD防護電路；

圖8為依據本發明一實施例，使用堆疊式NMOS電晶體之ESD防護電路；

圖9為依據本發明另一實施例，使用堆疊式NMOS電晶體之ESD防護

電路；

圖10為依據本發明另一實施例，使用堆疊式NMOS電晶體之ESD防護電路；

5. 圖11為依據本發明另一實施例，使用堆疊式NMOS電晶體之ESD防護電路；

10. 圖12為依據本發明另一實施例，使用堆疊式NMOS電晶體之ESD防護電路；

圖13為依據本發明一實施例，使用場氧化物元件之ESD防護電路；

圖14為依據本發明另一實施例，使用場氧化物元件之ESD防護電路；

15. 圖15為依據本發明一實施例，使用堆疊式NMOS電晶體之ESD防護電路；

圖16為依據本發明另一實施例，使用堆疊式NMOS電晶體之ESD防護電路；

20. 圖17為依據本發明實施例，提供PS、NS、PD及ND模式下ESD防護之ESD防護電路；

圖18為依據本發明另一實施例，提供PS、NS、PD及ND模式下ESD防護之ESD防護電路；

25. 圖19為依據本發明另一實施例，提供PS、NS、PD及ND模式下ESD防護之ESD防護電路；

30. 圖20為依據本發明另一實施例，提供PS、NS、PD及ND模式下ESD防護之ESD防護電路；

圖21為依據本發明另一實施例，提供PS、NS、PD及ND模式下ESD防護之ESD防護電路；

35. 圖22為依據本發明另一實施例，提供PS、NS、PD及ND模式下ESD防護之ESD防護電路；

40. 圖23為依據本發明另一實施例，提供PS、NS、PD及ND模式下ESD

11

防護之 ESD 防護電路；

圖 24 為依據本發明實施例之 V_{DD} - V_{SS} 箝位電路；

圖 25 為依據本發明另一實施例之 V_{DD} - V_{SS} 箝位電路；

5.

12

圖 26 為依據本發明另一實施例之 V_{DD} - V_{SS} 箝位電路；以及

圖 27 為依據本發明另一實施例之 V_{DD} - V_{SS} 箝位電路。

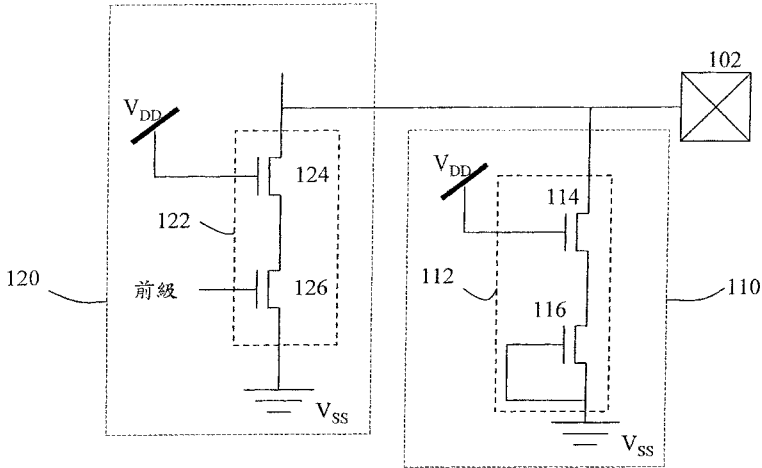


圖 1

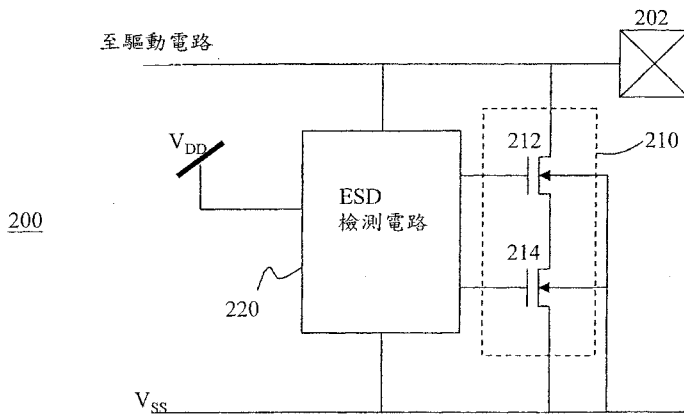


圖 2

(7)

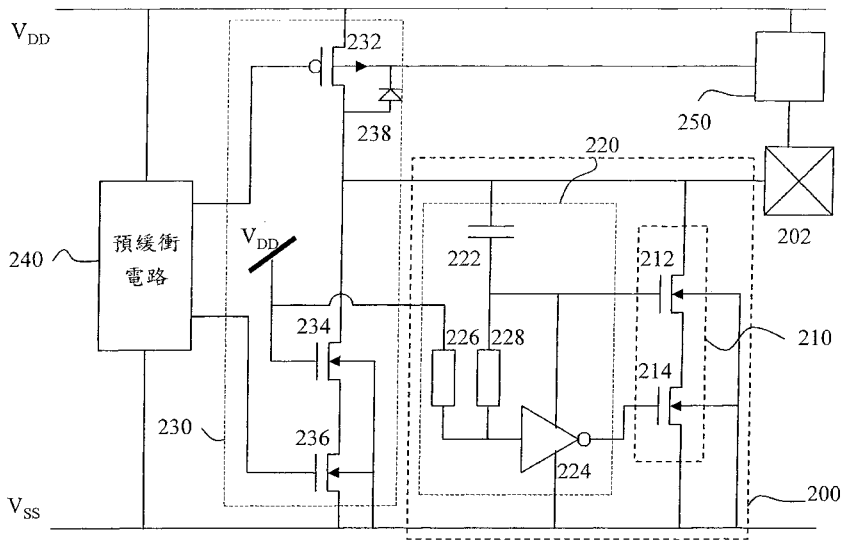


圖 3

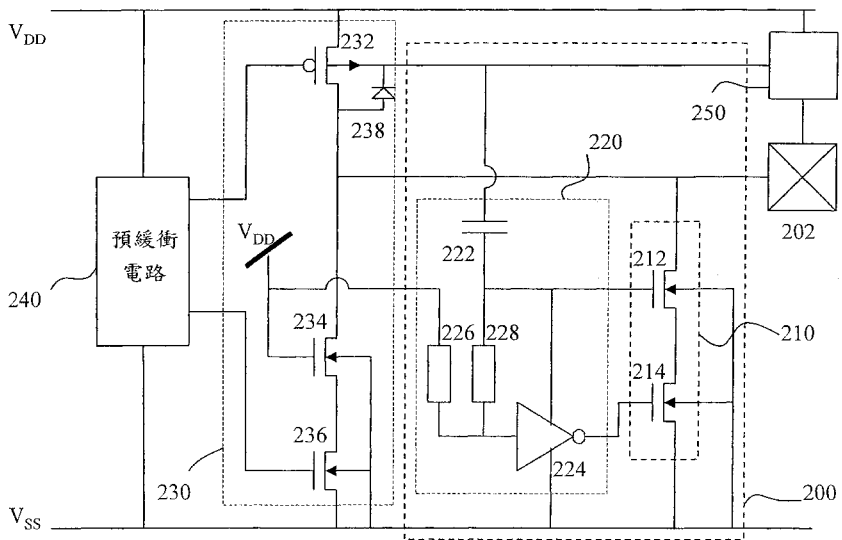


圖 4

(8)

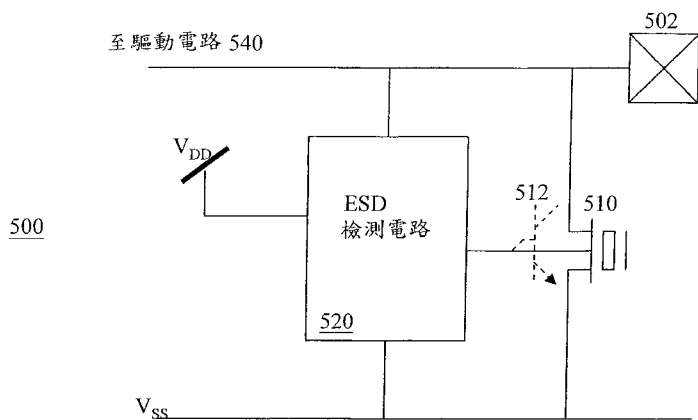


圖 5

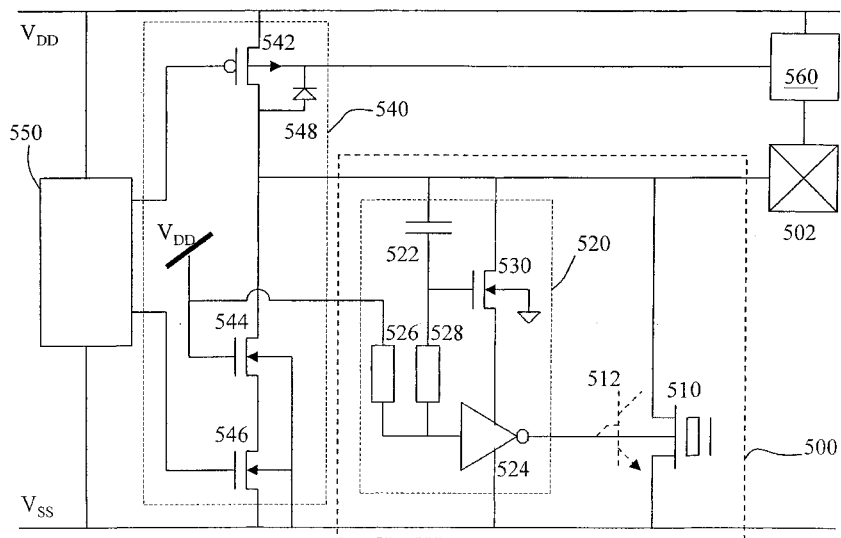


圖 6

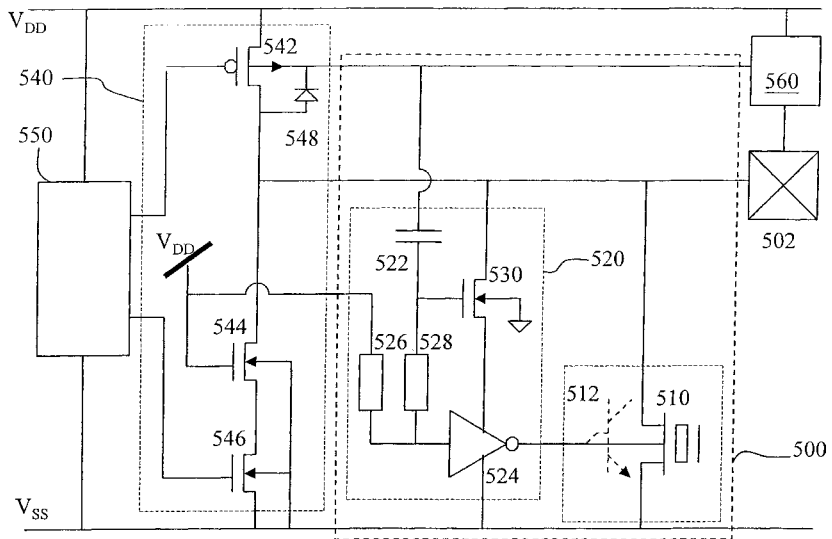


圖 7

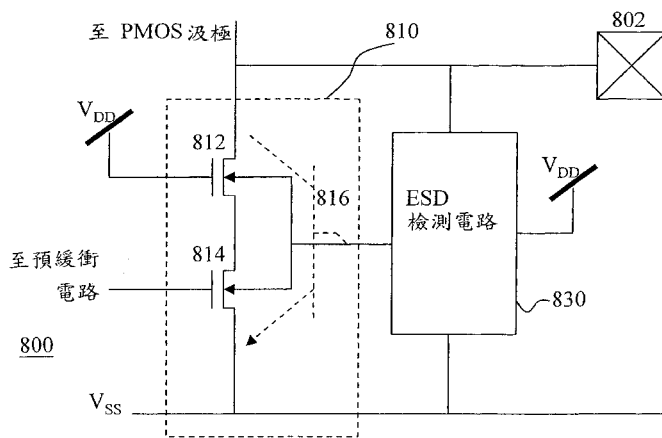


圖 8

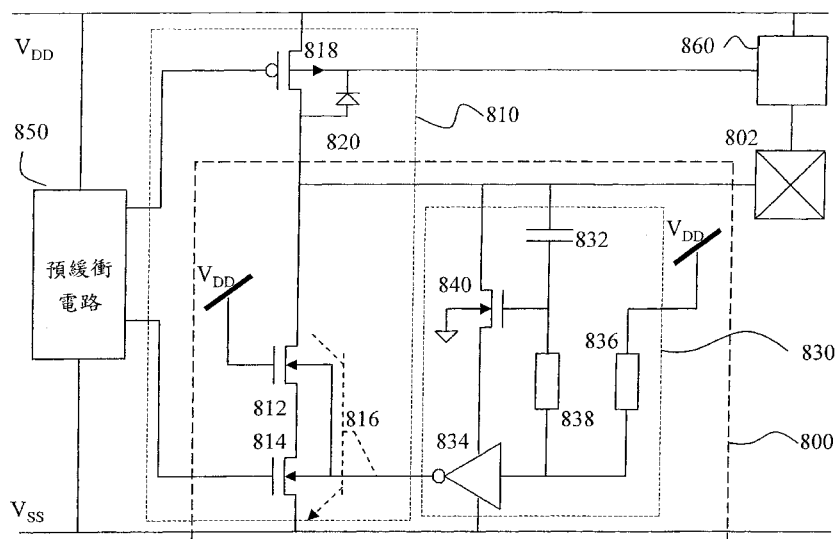


圖 9

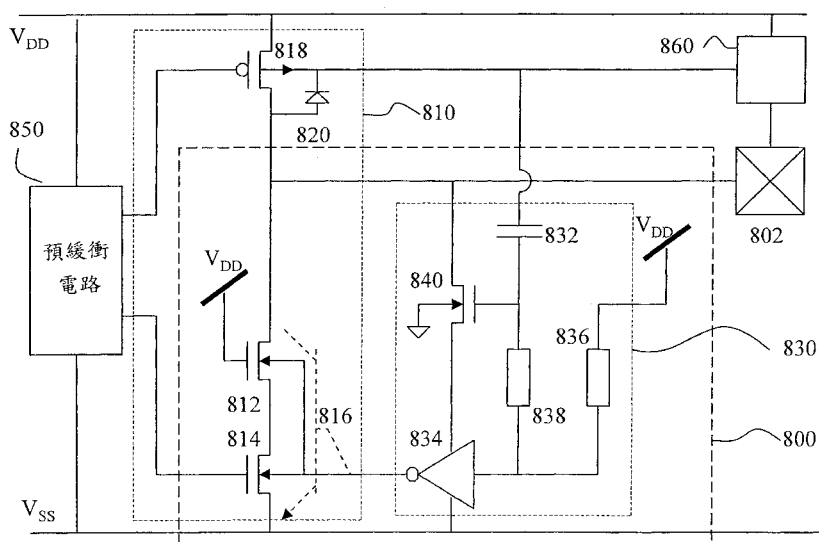


圖 10

(11)

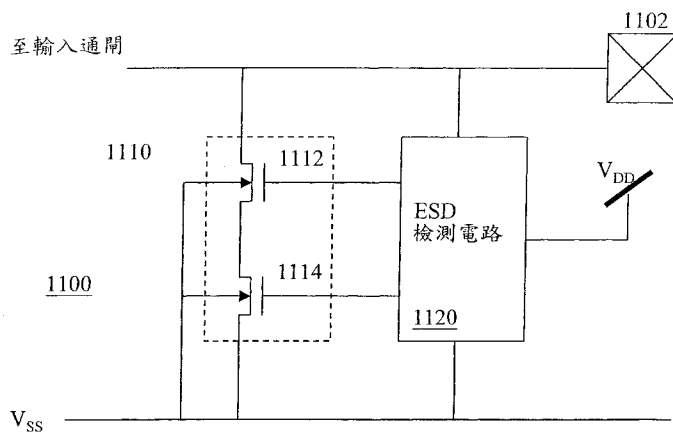


圖 11

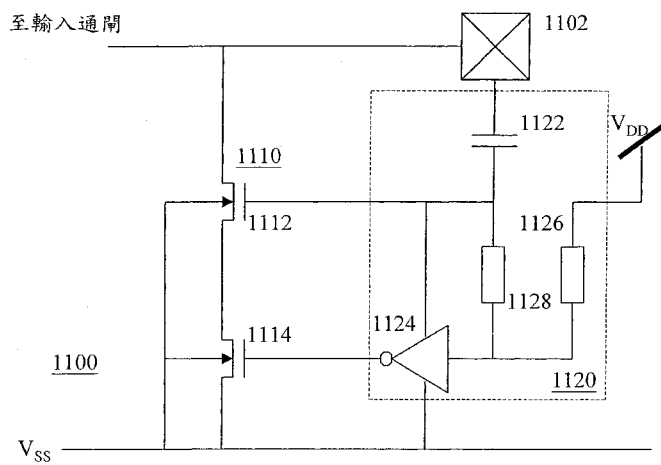


圖 12

(12)

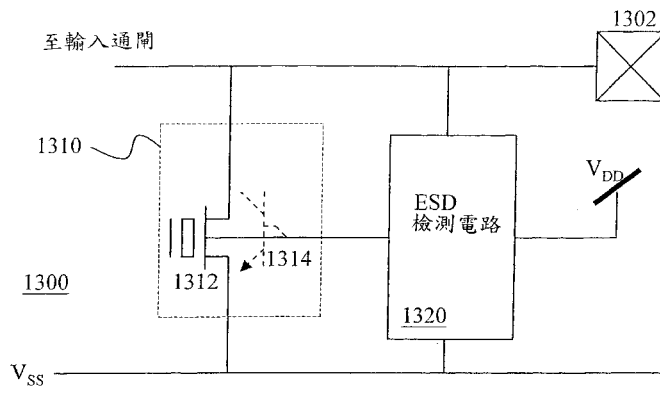


圖 13

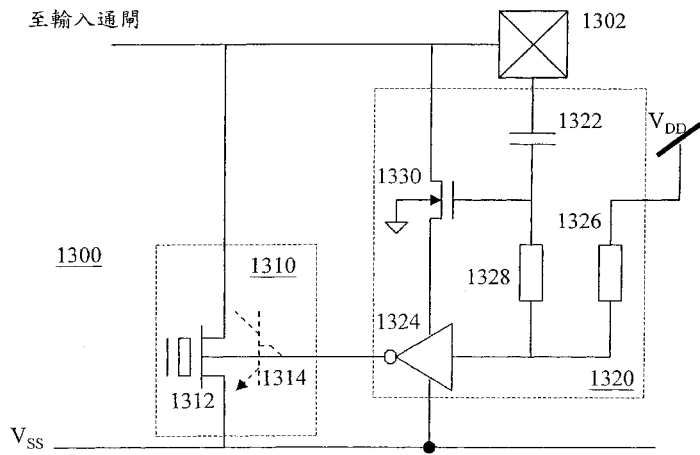


圖 14

(13)

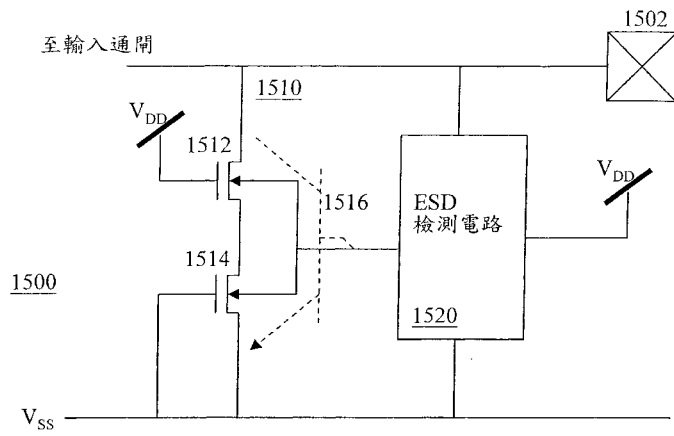


圖 15

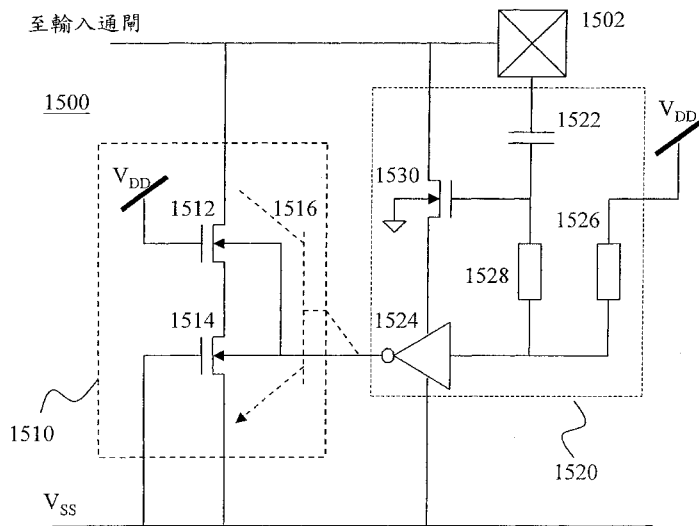


圖 16

(14)

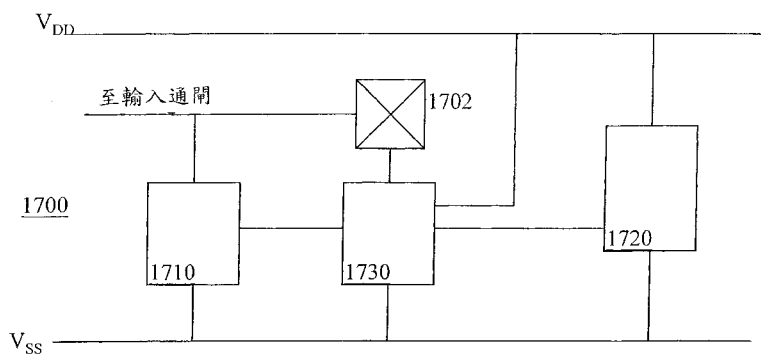


圖 17

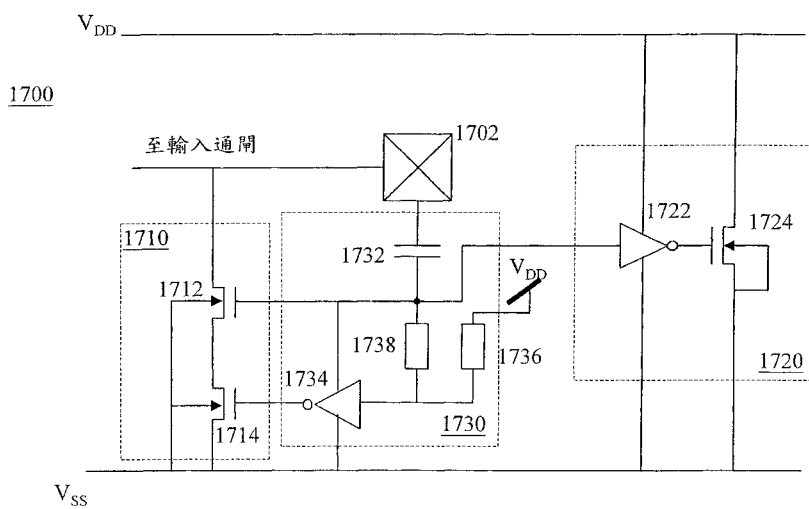


圖 18

(15)

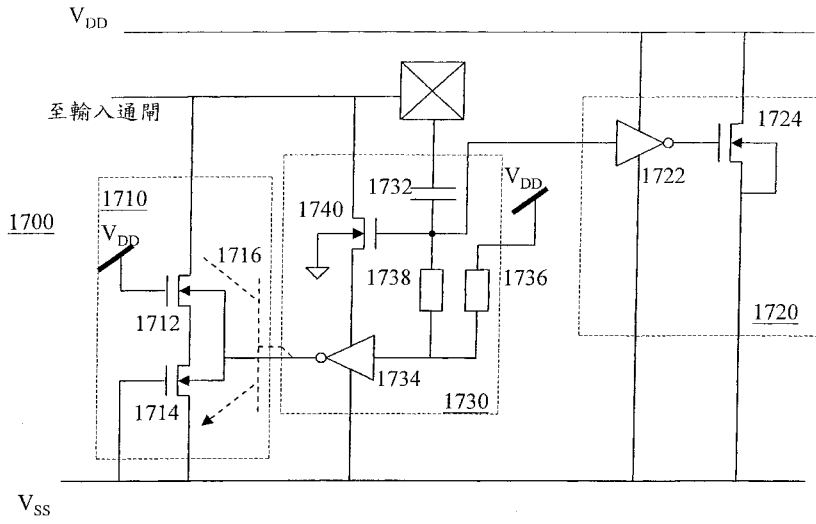


圖 19

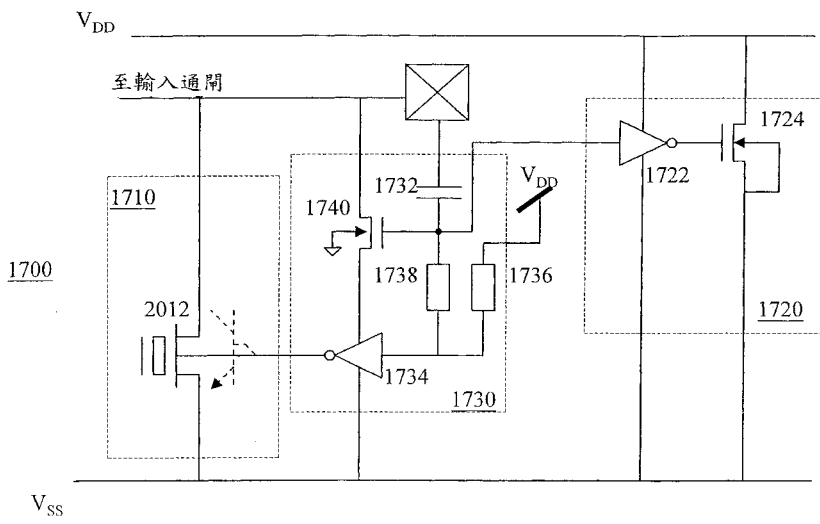


圖 20

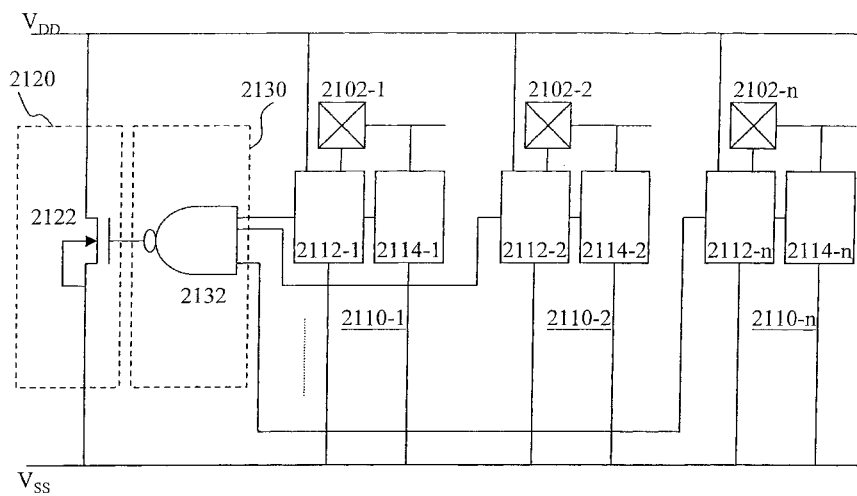


圖 21

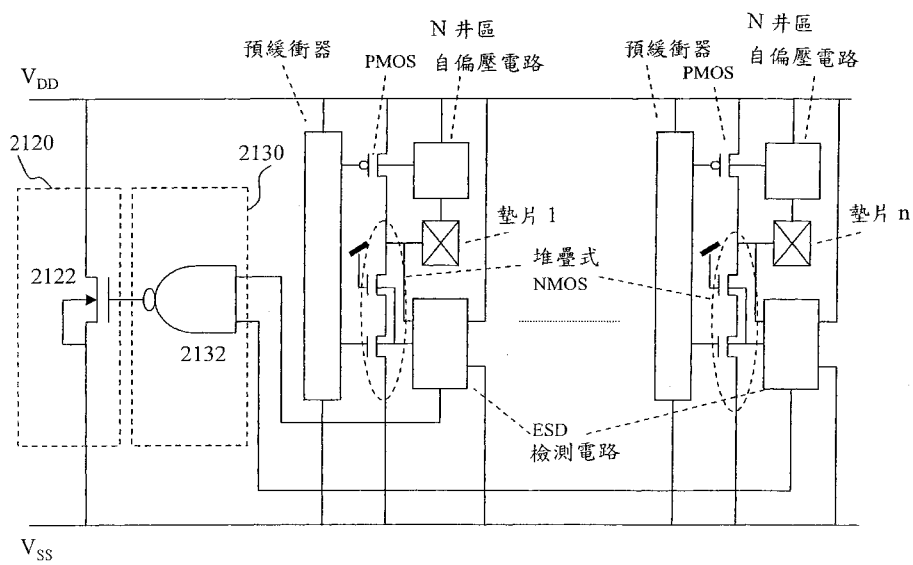


圖 22

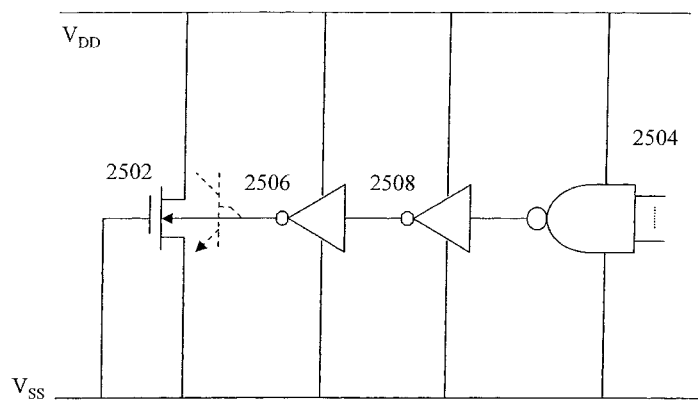


圖 25

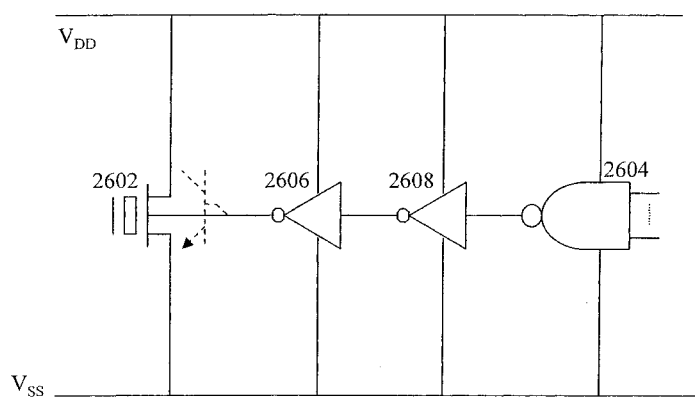


圖 26

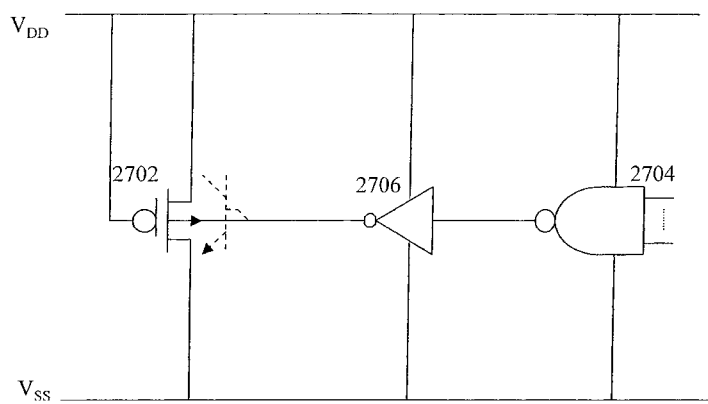


圖 27

