

【11】證書號數： I230454

【45】公告日： 中華民國 94 (2005) 年 04 月 01 日

【51】Int. Cl.⁷: H01L23/60

發明

全 13 頁

【54】名稱：適用於一射頻積體電路之靜電放電防護電路

ESD PROTECTION DESIGN WITH PARALLEL LC TANK FOR
GIGA-HERTZ RF INTEGRATED CIRCUITS

【21】申請案號： 093104040

【22】申請日期： 中華民國 93 (2004) 年02 月 19 日

【72】發明人：

柯明道

KER, MING DOU

李健銘

LEE, CHENG MING

陳東暘

CHEN, TUNG YANG

【71】申請人：

聯華電子股份有限公司
新竹市新竹科學工業園區力行二路3號

UNITED MICROELECTRONICS CORP.

【74】代理人：詹銘文 先生

蕭錫清 先生

1

2

[57]申請專利範圍：

1.一種適用於一射頻積體電路之靜電放電防護電路，該射頻積體電路包括一個具有一VDD電壓射頻腳位、一VSS射頻腳位以及一射頻輸入腳位之射頻電路，該靜電放電防護電路包括：

一靜電放電鉗位電路，該靜電放電鉗位電路包括兩個端子，其中一第一端子與該VDD電壓射頻腳位連接，並且一第二端子與該VSS射頻

腳位連接；以及

一電感電容式振盪電路結構，該電感電容式振盪電路結構耦合在該靜電放電鉗位電路之該些兩個端子之間，並且位於該射頻電路與該射頻輸入腳位之間，其中該電感電容式振盪電路結構包括串聯連接在該靜電放電鉗位電路之該第一端子與該射頻輸入腳位之間的一第一二極體及一第一電感電容式振盪電路，以

及串聯連接在該靜電放電鉗位電路之該第二端子與該射頻輸入腳位之間的第一二極體及第一二電感電容式振盪電路。

- 2.如申請專利範圍第1項所述之靜電放電防護電路，其中該第一二極體之一陰極端子與該靜電放電鉗位電路之該第一端子耦合並且該第一二極體之一陽極端子與該第一電感電容式振盪電路耦合，而該第二二極體之一陰極端子與該第二電感電容式振盪電路耦合並且該第二二極體之一陽極端子與該靜電放電鉗位電路之該第二端子耦合。
- 3.如申請專利範圍第2項所述之靜電放電防護電路，其中該電感電容式振盪電路結構包括彼此平行連接之一電感器及一電容器。
- 4.如申請專利範圍第1項所述之靜電放電防護電路，其中該第一二極體之一陰極端子與該第一電感電容式振盪電路耦合並且該第一二極體之一陽極端子與一個位於該射頻電路與該射頻輸入腳位之間的端子耦合，而該第二二極體之一陰極端子與位於該射頻電路與該射頻輸入腳位之間的該端子耦合並且該第二二極體之一陽極端子與該第二電感電容式振盪電路耦合。
- 5.如申請專利範圍第4項所述之靜電放電防護電路，其中該電感電容式振盪電路結構包括彼此平行連接之一電感器及一電容器。
- 6.一種適用於一射頻積體電路之靜電放電防護電路，該射頻積體電路包括一個具有一VDD電壓射頻腳位、一VSS射頻腳位以及一射頻輸入腳位之射頻電路，該靜電放電防護電路包括：
 - 一靜電放電鉗位電路，該靜電放電

鉗位電路包括兩個端子，其中一第一端子與該VDD電壓射頻腳位連接，並且一第二端子與該VSS射頻腳位連接；以及

5. 一電感電容式振盪電路結構，該電感電容式振盪電路結構耦合在該靜電放電鉗位電路之該些兩個端子之間，並且位於該射頻電路與該射頻輸入腳位之間，其中該電感電容式振盪電路結構包括一個位於該靜電放電鉗位電路之該第一端子與該射頻輸入腳位之間的第一靜電放電方塊，以及一個位於該靜電放電鉗位電路之該第二端子與該射頻輸入腳位之間的第二靜電放電方塊。
10. 7.如申請專利範圍第6項所述之靜電放電防護電路，其中該第一靜電放電方塊包括串聯連接之一個第一二極體及兩個第一電感電容式振盪電路，並且該第二靜電放電方塊包括一個第二二極體及兩個第二電感電容式振盪電路。
15. 8.如申請專利範圍第7項所述之靜電放電防護電路，其中該第一二極體之一陰極端子與該靜電放電鉗位電路之該第一端子耦合並且該第一二極體之一陽極端子與該些第一電感電容式振盪電路之一耦合，而該第二二極體之一陰極端子與該些第二電感電容式振盪電路之一耦合並且該第二二極體之一陽極端子與該靜電放電鉗位電路之該第二端子耦合。
20. 9.如申請專利範圍第8項所述之靜電放電防護電路，其中該些第一及第二電感電容式振盪電路之每一個都包括彼此平行連接之一電感器及一電容器。
25. 10.如申請專利範圍第7項所述之靜電放電防護電路，其中該第一二極體之一陰極端子與該些第一電感電容
30. 40.

式振盪電路之一耦合並且該第一二極體之一陽極端子與一個位於該射頻電路與該射頻輸入腳位之間的端子耦合，而該第二二極體之一陰極端子與位於該射頻電路與該射頻輸入腳位之間的該端子耦合並且該第二二極體之一陽極端子與該些第二電感電容式振盪電路之一耦合。

11.如申請專利範圍第10項所述之靜電放電防護電路，其中該些第一及第二電感電容式振盪電路之每一個都包括彼此平行連接之一電感器及一電容器。

12.如申請專利範圍第6項所述之靜電放電防護電路，其中該第一靜電放電方塊包括串聯連接之一個第一二極體及複數個第一電感電容式振盪電路，並且該第二靜電放電方塊包括一個第二二極體及複數個第二電感電容式振盪電路。

13.如申請專利範圍第12項所述之靜電放電防護電路，其中該第一二極體之一陰極端子與該靜電放電鉗位電路之該第一端子耦合並且該第一二極體之一陽極端子與該些第一電感電容式振盪電路之一耦合，而該第二二極體之一陰極端子與該些第二電感電容式振盪電路之一耦合並且該第二二極體之一陽極端子與該靜電放電鉗位電路之該第二端子耦合。

14.如申請專利範圍第13項所述之靜電放電防護電路，其中該些第一及第二電感電容式振盪電路之每一個都包括彼此平行連接之一電感器及一電容器。

15.如申請專利範圍第6項所述之靜電放電防護電路，其中該第一二極體之一陰極端子與該些第一電感電容式振盪電路之一耦合並且該第一二

極體之一陽極端子與一個位於該射頻電路與該射頻輸入腳位之間的端子耦合，而該第二二極體之一陰極端子與位於該射頻電路與該射頻輸入腳位之間的該端子耦合並且該第二二極體之一陽極端子與該些第二電感電容式振盪電路之一耦合。

16.如申請專利範圍第15項所述之靜電放電防護電路，其中該些第一及第二電感電容式振盪電路之每一個都包括彼此平行連接之一電感器及一電容器。

17.一種適用於一射頻積體電路之靜電放電防護電路，該射頻積體電路包括一個具有一VDD電壓射頻腳位、一VSS射頻腳位以及一射頻輸入腳位之射頻電路，該靜電放電防護電路包括：

一靜電放電鉗位電路，該靜電放電鉗位電路包括兩個端子，其中一第一端子與該VDD電壓射頻腳位連接，並且一第二端子與該VSS射頻腳位連接；以及

一電感電容式振盪電路結構，該電感電容式振盪電路結構耦合在該靜電放電鉗位電路之該些兩個端子之間，並且位於該射頻電路與該射頻輸入腳位之間，其中該電感電容式振盪電路結構包括串聯連接在該靜電放電鉗位電路之該第一端子與該射頻輸入腳位之間的一第一二極體、一第一電感電容式振盪電路以及一第一靜電放電方塊，以及串聯連接在該靜電放電鉗位電路之該第二端子與該射頻輸入腳位之間的一第二二極體、一第二電感電容式振盪電路以及一第二靜電放電方塊。

18.如申請專利範圍第17項所述之靜電放電防護電路，其中該第一靜電放電方塊包括串聯連接之一第三二極

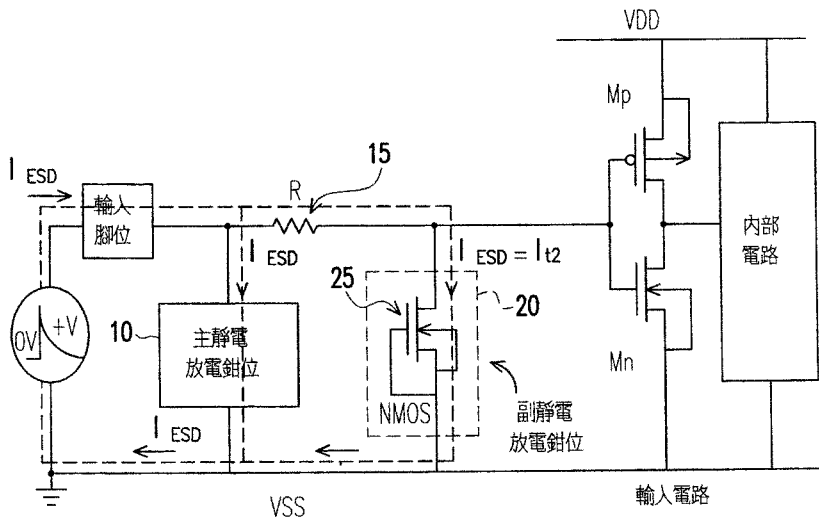
體及一第三電感電容式振盪電路。

- 19.如申請專利範圍第18項所述之靜電放電防護電路，其中該第三二極體之一陰極端子與該靜電放電鉗位電路之該第一端子耦合並且該第三二極體之一陽極端子與該第三電感電容式振盪電路耦合。
- 20.如申請專利範圍第18項所述之靜電放電防護電路，其中該第三電感電容式振盪電路包括彼此平行連接之一電感器及一電容器。
- 21.如申請專利範圍第18項所述之靜電放電防護電路，其中該第三二極體之一陰極端子與該第三電感電容式振盪電路耦合並且該第三二極體之一陽極端子與該第一電感電容式振盪電路耦合。
- 22.如申請專利範圍第21項所述之靜電放電防護電路，其中該第三電感電容式振盪電路包括彼此平行連接之一電感器及一電容器。
- 23.如申請專利範圍第17項所述之靜電放電防護電路，其中該第二靜電放電方塊包括串聯連接之一第四二極體及一第四電感電容式振盪電路。
- 24.如申請專利範圍第23項所述之靜電放電防護電路，其中該第四二極體之一陰極端子與該第四電感電容式振盪電路耦合並且該第四二極體之一陽極端子與該靜電放電鉗位電路之該第二端子耦合。
- 25.如申請專利範圍第23項所述之靜電放電防護電路，其中該第四電感電容式振盪電路包括彼此平行連接之一電感器及一電容器。
- 26.如申請專利範圍第23項所述之靜電放電防護電路，其中該第四二極體之一陰極端子與該第二電感電容式振盪電路耦合並且該第四二極體之一陽極端子與該第四電感電容式振

盪電路耦合。

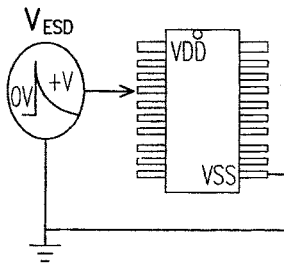
- 27.如申請專利範圍第26項所述之靜電放電防護電路，其中該第四電感電容式振盪電路包括彼此平行連接之一電感器及一電容器。
5. 28.如申請專利範圍第17項所述之靜電放電防護電路，其中該些第一及第二電感電容式振盪電路之每一個都包括彼此平行連接之一電感器及一電容器。
10. 圖式簡單說明：
- 第1圖是適合數位積體電路之一種具有兩級式保護結構之傳統靜電放電保護設計之方塊圖。
15. 第2圖繪示積體電路的輸入/輸出腳位在遭受靜電放電轟擊(Zapping)時的四種可能的連接方式，包括PS(Positive-to-Vss)模式、NS(Negative-to-Vss)模式、PD(Positive-to-Vdd)模式、以及ND(Negative-to-Vdd)模式。
20. 第3圖是適合射頻電路之另一種具有一級保護結構之傳統靜電放電保護設計之方塊圖。
- 第4圖及第5圖繪示在PS模式及ND模式靜電放電應力下第3圖之射頻靜電放電保護設計之靜電放電電流路徑。
25. 第6圖及第8圖繪示由史丹佛大學(Stanford)大學所發明之適合高速積體電路之分布式靜電放電保護元件。
30. 第7圖繪示第6圖之靜電放電(CA + CB)之寄生電容橫越其由原點沿史密斯圖(Smith Chart)圓周之路徑。
- 第9圖繪示第8圖之靜電放電防護元件之寄生電容橫越其由原點沿史密斯圖(Smith Chart)圓周之路徑。
35. 第10圖至第17圖是本發明之較佳實施例之靜電放電保護設計及其靜電放電電流路徑之方塊圖。
- 40.

(5)

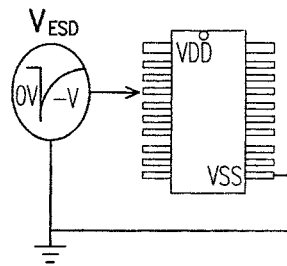


第 1 圖

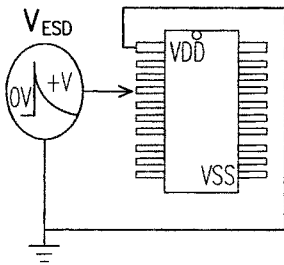
(1) PS 模式



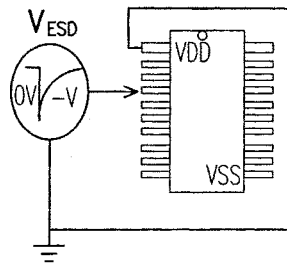
(2) NS 模式



(3) PD 模式

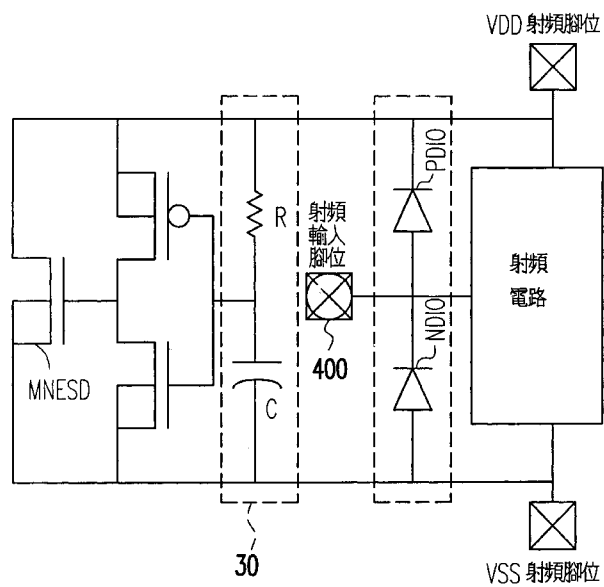


(4) ND 模式

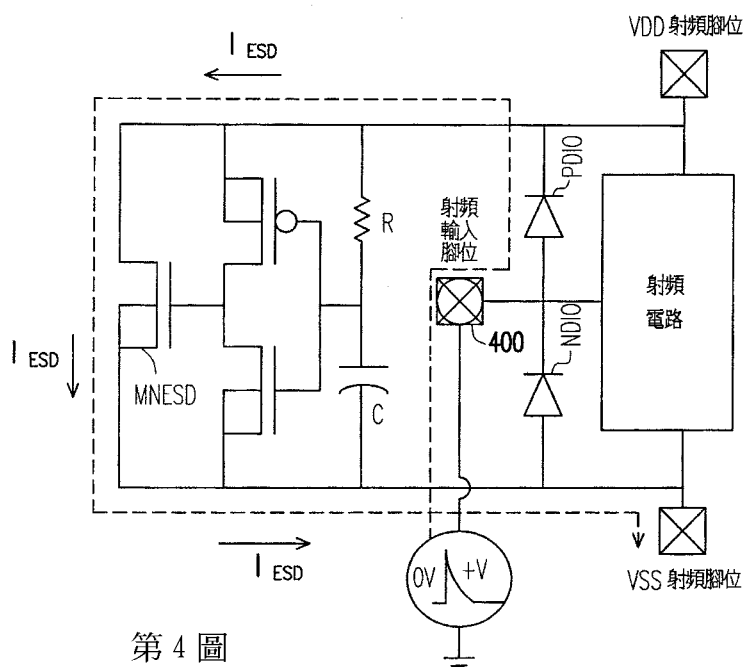


第 2 圖

(6)

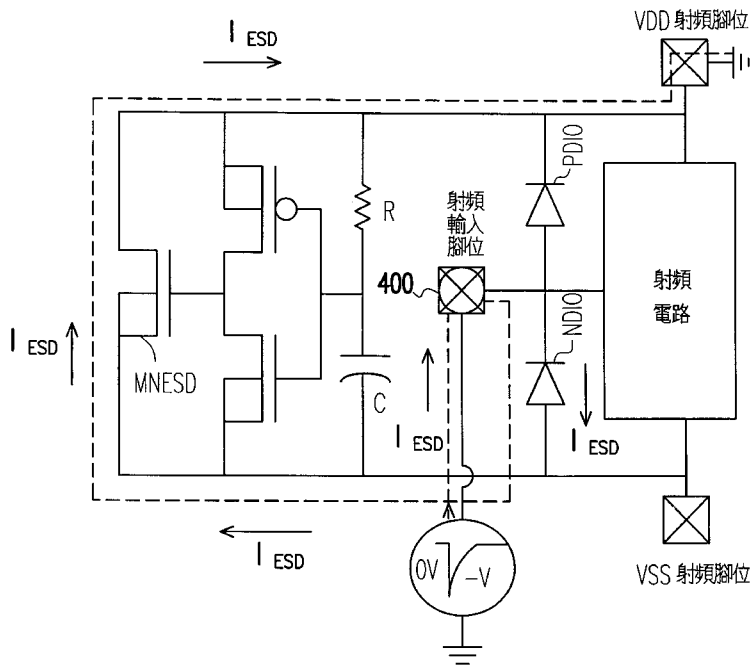


第 3 圖

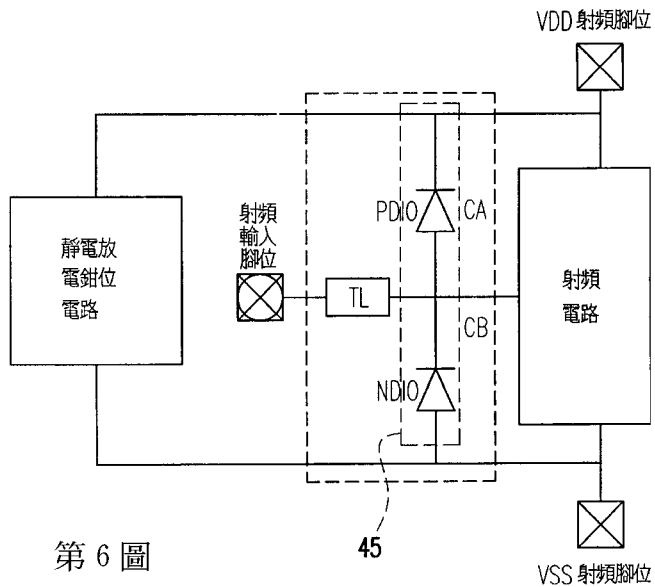


第 4 圖

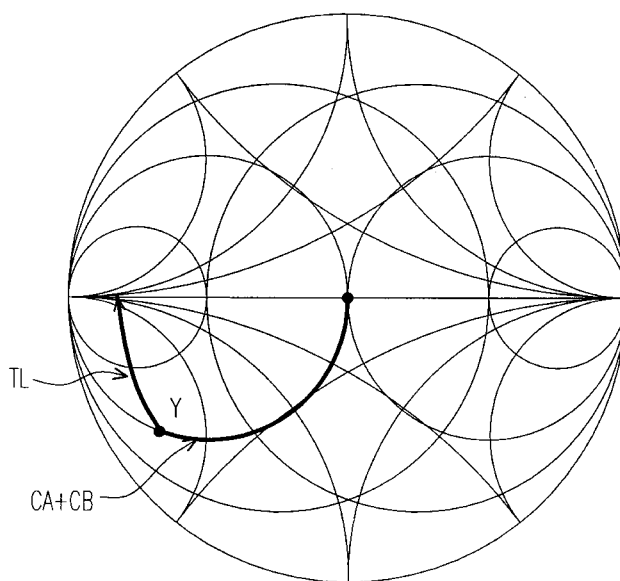
(7)



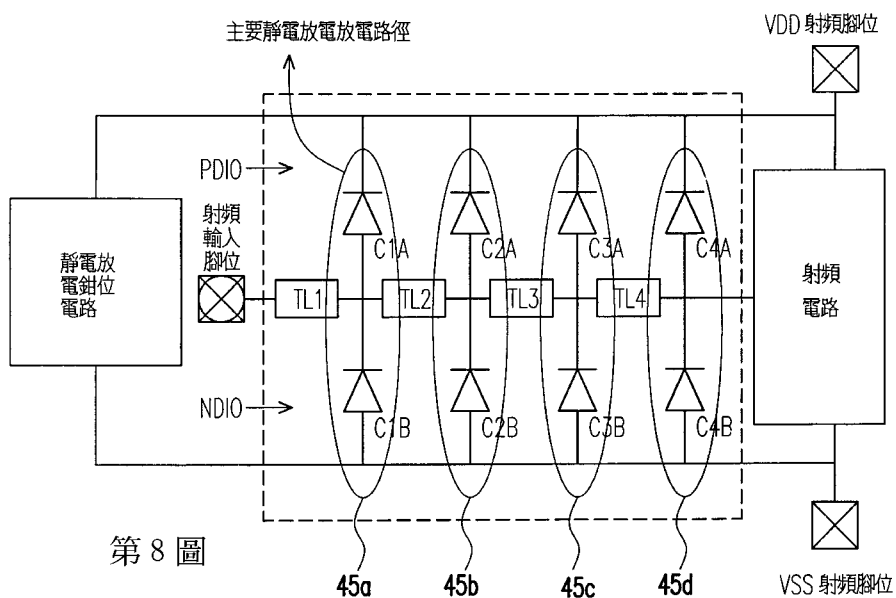
第 5 圖



第 6 圖

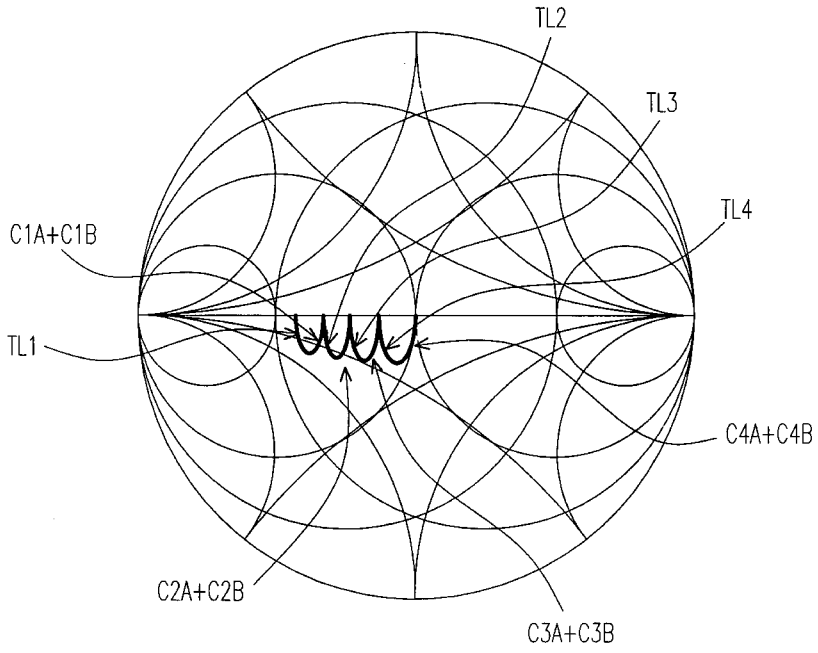


第 7 圖

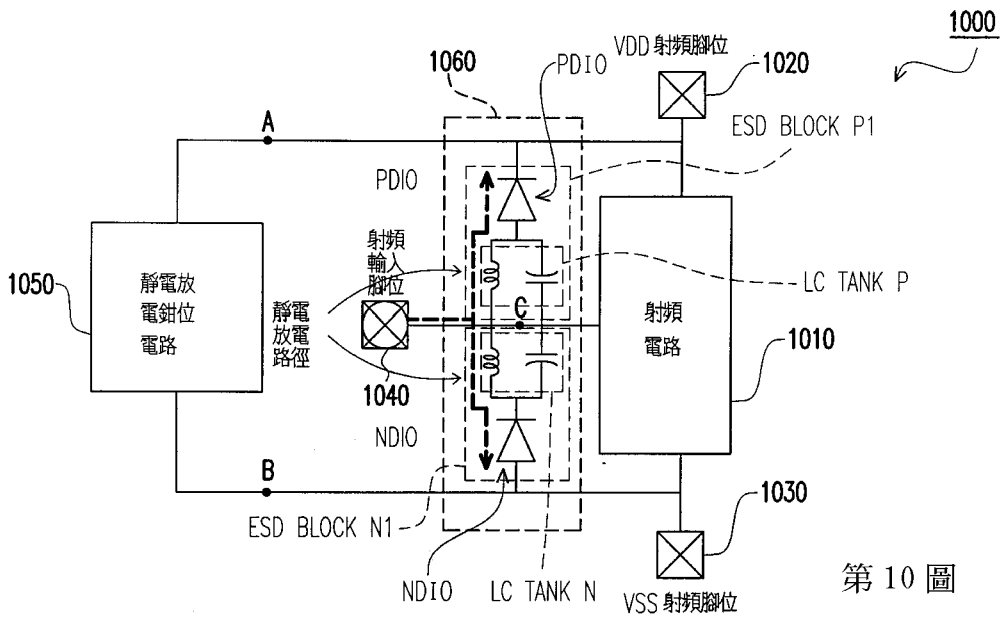


第 8 圖

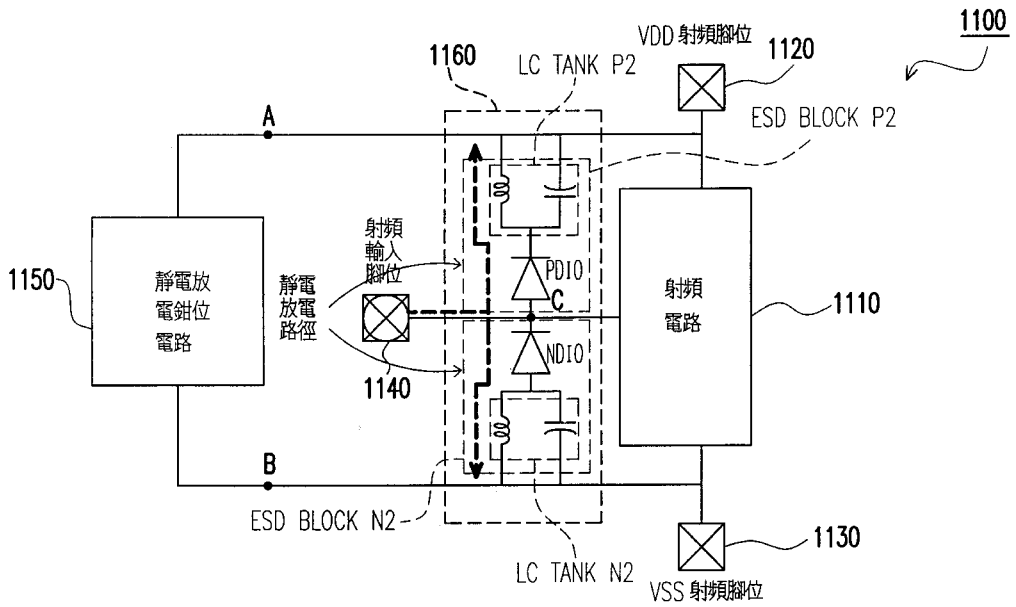
(9)



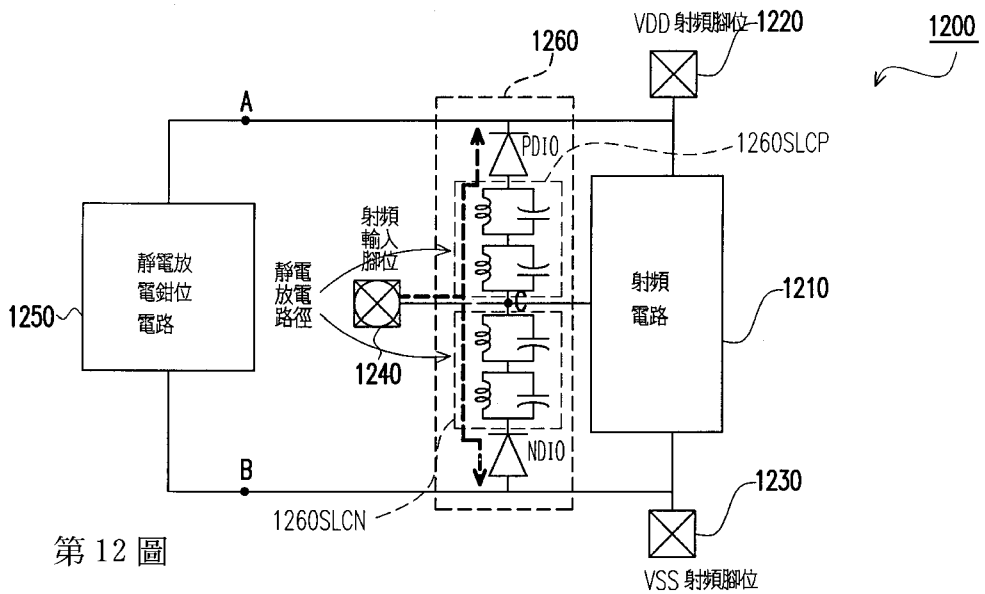
第 9 圖



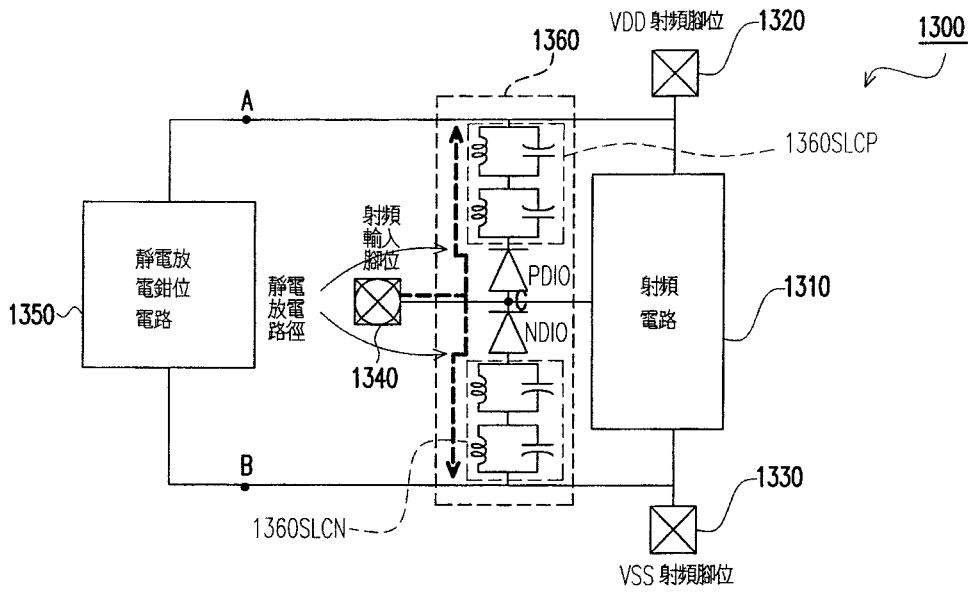
第 10 圖



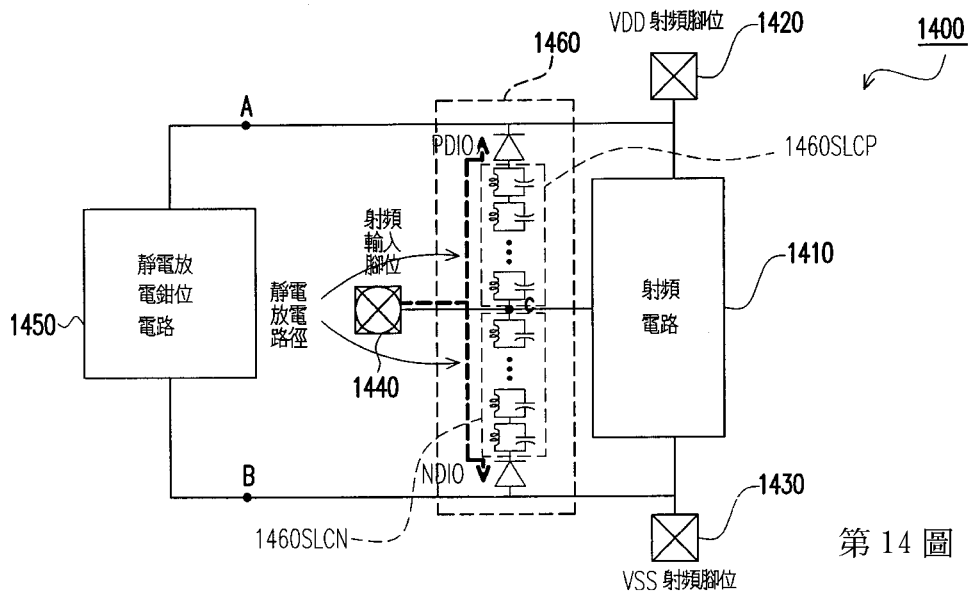
第 11 圖



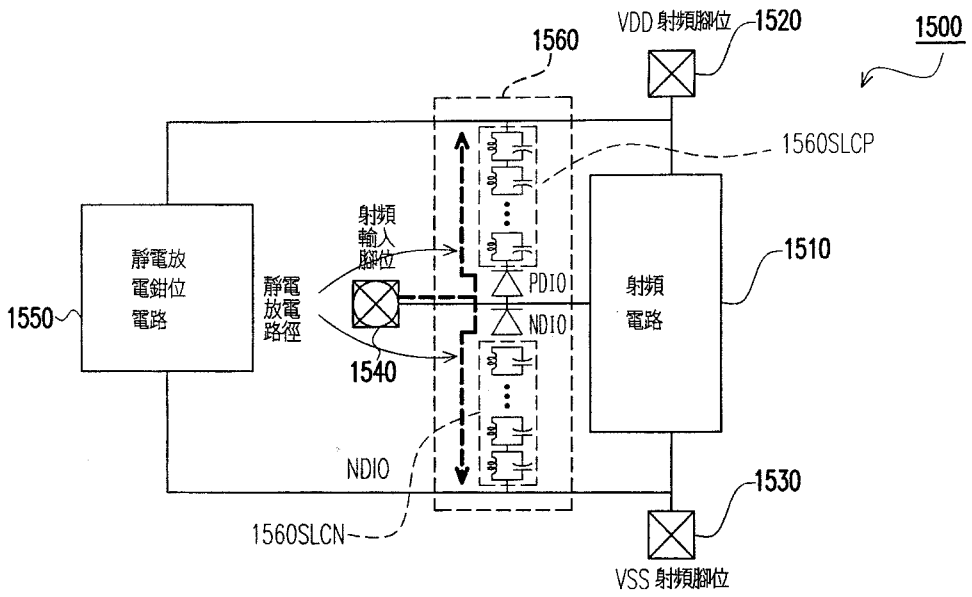
第 12 圖



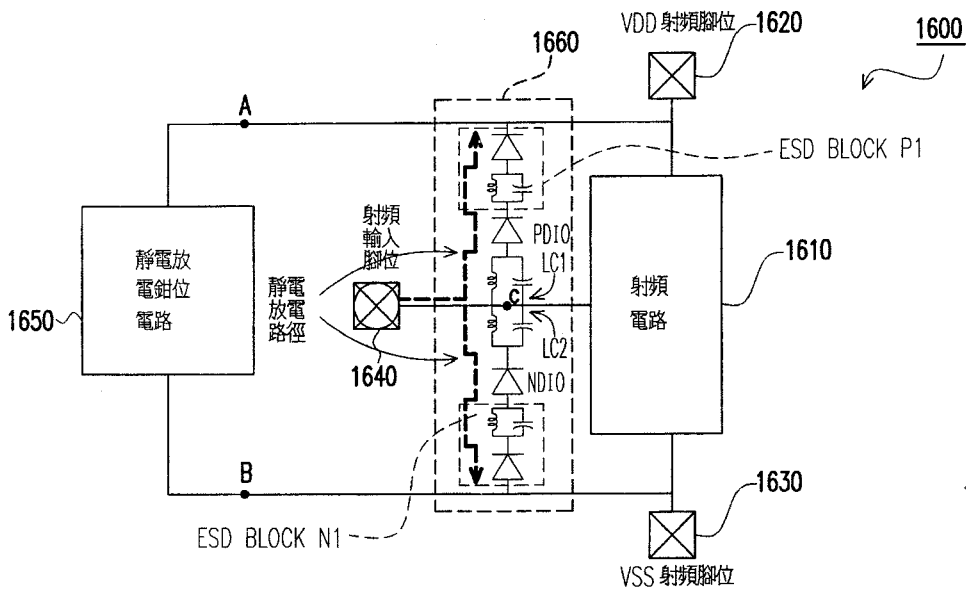
第 13 圖



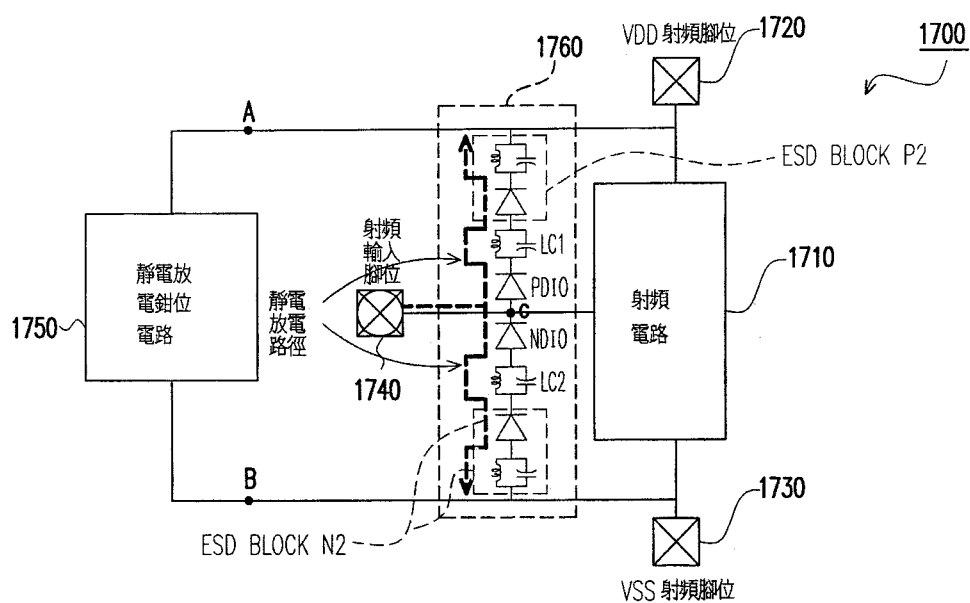
第 14 圖



第 15 圖



第 16 圖



第 17 圖

