

【19】中華民國

【12】專利公報 (B)

【11】證書號數： I230507

【45】公告日： 中華民國 94 (2005) 年 04 月 01 日

【51】Int. Cl.⁷: H03K17/10

發明

全 7 頁

【54】名稱： 利用低電壓元件組成的高電壓共容輸出緩衝器

【21】申請案號： 092132205

【22】申請日期： 中華民國 92 (2003) 年11 月18 日

【72】發明人：

陳世倫

CHEN, SHIH LUN

柯明道

KER, MING DOU

【71】申請人：

上元科技股份有限公司
新竹市科學工業園區力行路
2號2樓

ADMTEK INCORPORATED

【74】代理人：何文淵 先生

1

2

[57]申請專利範圍：

1.一種利用低電壓元件組成的高電壓共容輸出緩衝器，其係包括有：

一觸發狀態控制電路，接收外界低電位及高電位之信號，並經由邏輯判斷後，輸出處理後至少二信號結果；

一位準轉換器，一端與觸發狀態控制電路相連接，接收其處理後之信號結果，以提昇位電壓位準之轉換者；

一輸出端模組，係由複數金屬氧化半導體場效電晶體所串組而成，以增加其耐受電壓之能力；

一第一緩衝器，其一端與位準轉換器之另一端相連接，並將其電壓位準由其另一端輸出至該輸出端模組；以及

一第二緩衝器，其一端與觸發狀態控制電路相連接，並將其電壓位準由其另一端輸出至該輸出端模組。

- 2.如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該複數金屬氧化半導體場效電晶體之耐受跨電壓為2.5V(伏特)。
- 3.如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該輸出緩衝器係為應用於一延伸週邊元件連接介面匯流排(Peripheral Component Interconnect extended)。
- 4.如申請專利範圍第3項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該延伸週邊元件連接介面匯流排(Peripheral Component Interconnect extended)之工作頻率係於66MHz 和 133MHz 之間。
- 5.如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該複數金屬氧化半導體場效電晶體的處理製程之精密度為0.13 μ m，且其耐受電壓擺幅為1V和2.5V。
- 6.如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該觸發狀態控制電路係為一互補式金屬氧化半導體場效電晶體(CMOS)之反及閘(NAND)與一互補式金屬氧化半導體場效電晶體(CMOS)之反或閘(NOR)所構成。
- 7.如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該第一緩衝器為P型電晶體及N型電晶體為一般型耐壓2.5V金屬氧化半導體場效電晶體。
- 8.如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該P型電晶體及N型電晶體為一般型耐壓1V金屬氧化半導體場效電晶體。

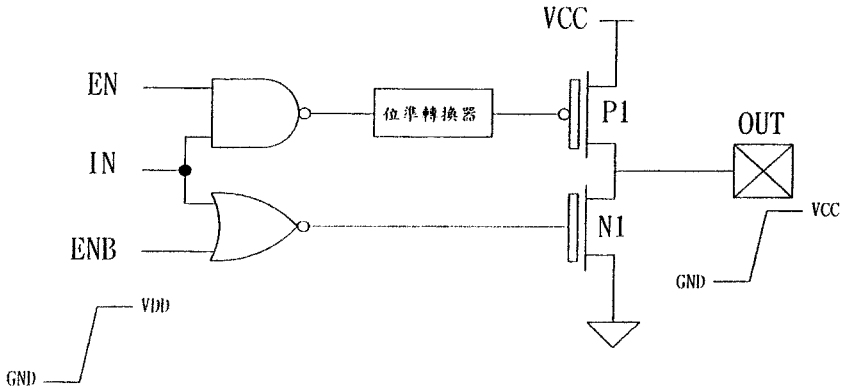
- 9.如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該複數金屬氧化半導體場效電晶體更係包括至少一"native Vt"之N型金屬氧化半導體場效電晶體。
5. 10.如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該複數金屬氧化半導體場效電晶體更係包括至少一耐受電壓為1V之N型電晶體。
10. 11.如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該第一緩衝器之電壓位準係為1V至3.3V之間。
15. 12.如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該第二緩衝器之電壓位準係為0V至1V之間。
20. 圖式簡單說明：
圖一係為習知緩衝器之組成電路圖。
圖二係為習知位準轉換器之組成電路圖。
25. 圖三A係為本發明之輸出端模組之第一實施例圖。
圖三B係為本發明之輸出端模組之第二實施例圖。
圖四係為圖三A與圖三B輸出端模組之模擬波形圖。
30. 圖五係為本發明之較佳位準轉換器之電路架構圖。
圖六係為圖五較佳位準轉換器之模擬波形圖。
35. 圖七係為本發明之較佳輸出端模組之電路架構圖。
圖八A係為本發明之觸發狀態控制電路之等效電路圖。
圖八B係為本發明之第一緩衝器之等效電路圖。
- 40.

圖八C係為本發明之第二緩衝器之等效電路圖。

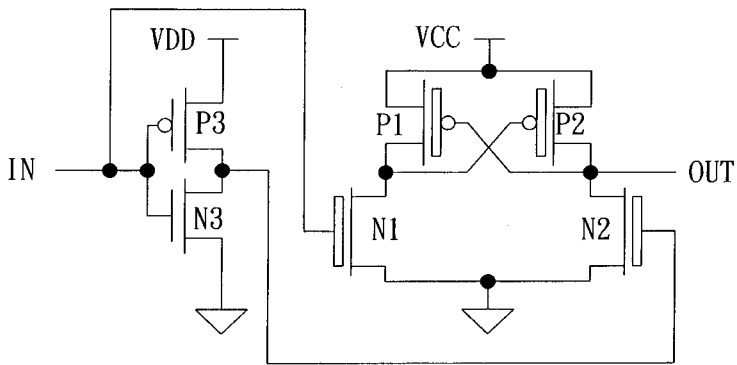
圖九係為本發明之模擬環境電路

圖。

圖十係為本發明之較佳輸出端模組之模擬波形圖。

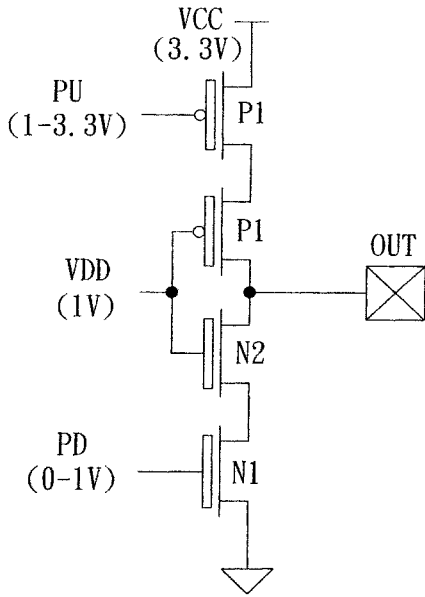


圖一

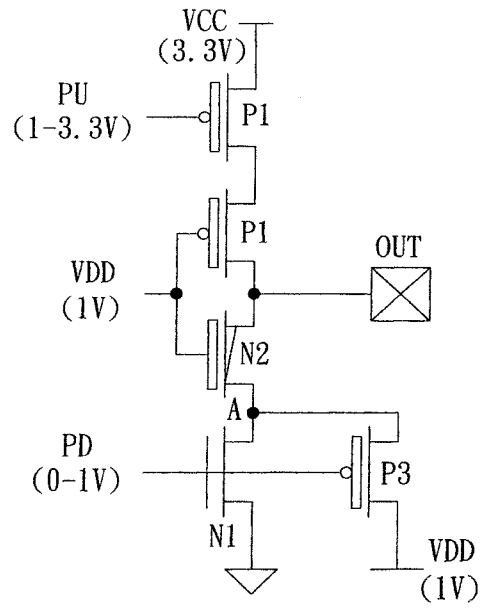


圖二

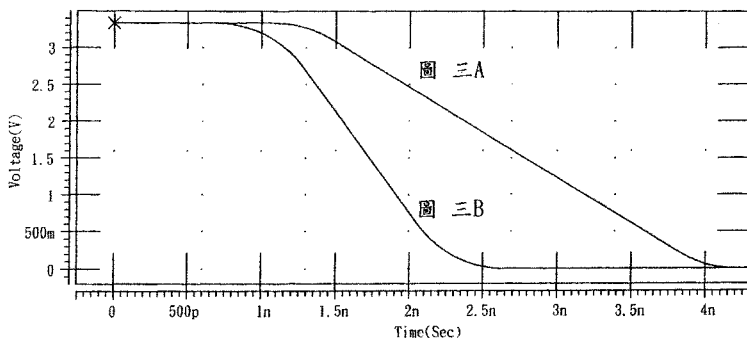
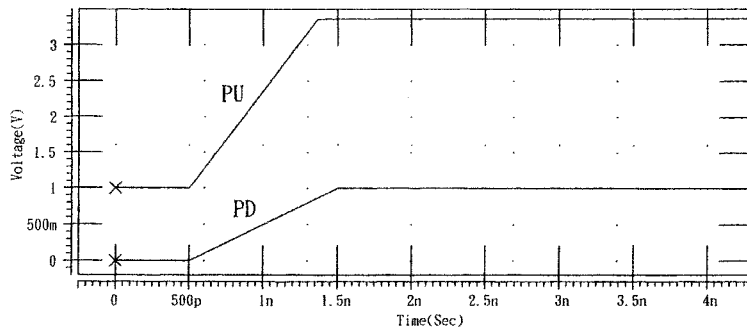
(4)



圖三 A

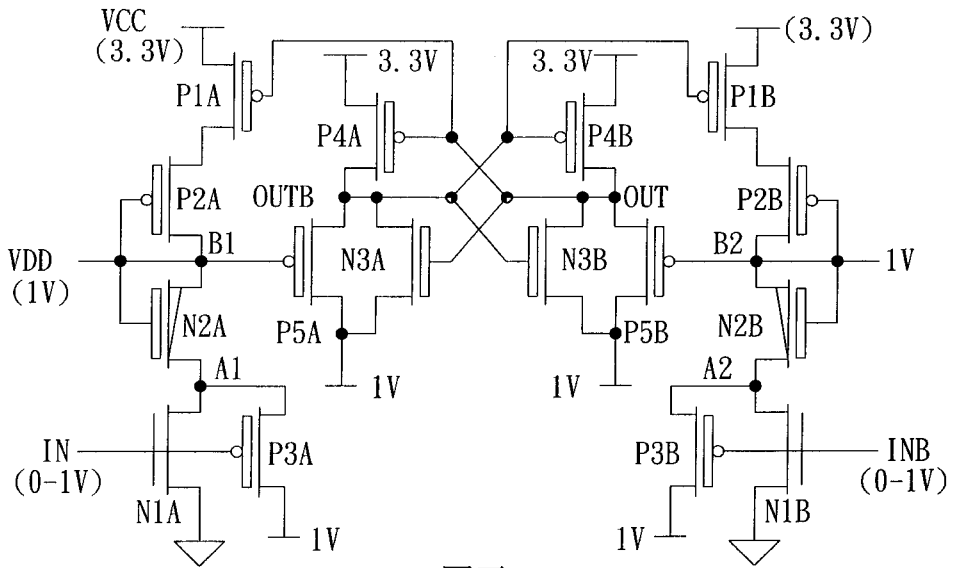


圖三 B

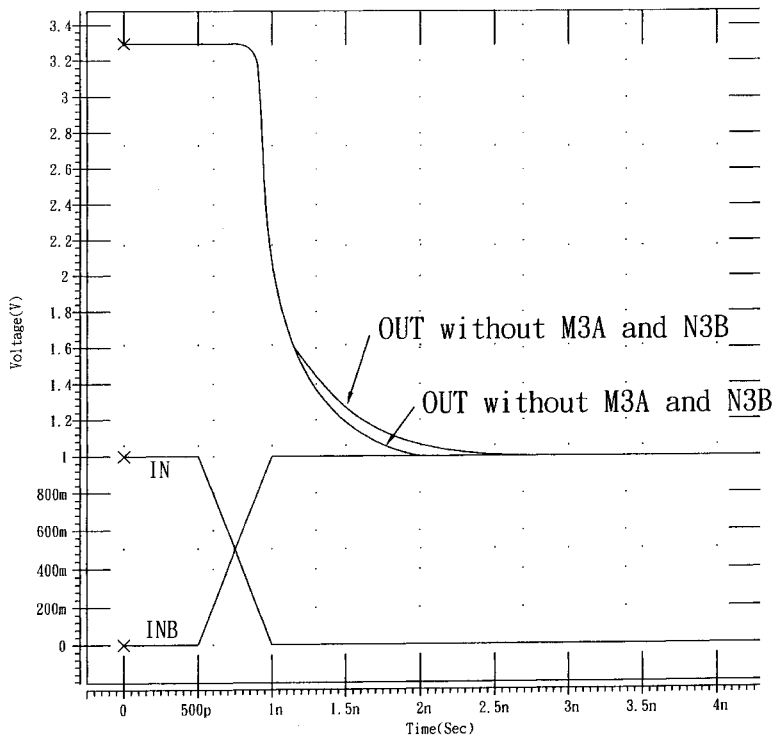


圖四

(5)

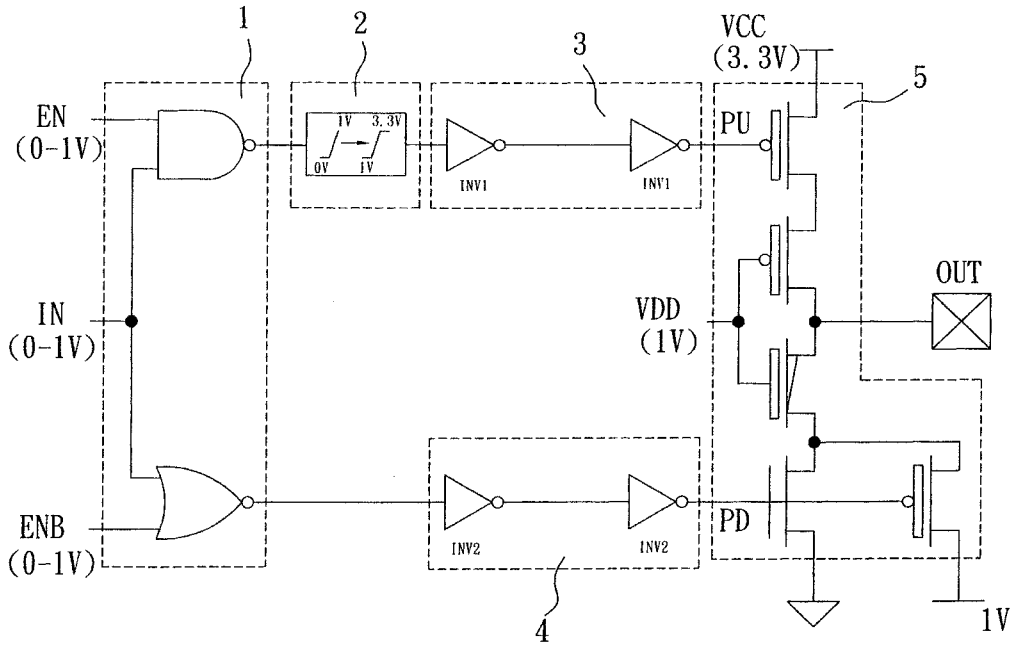


圖五

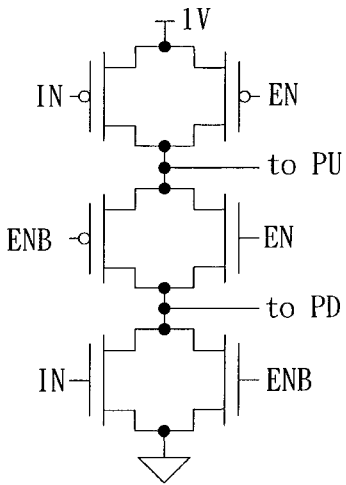


圖六

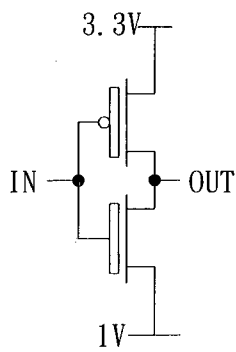
(6)



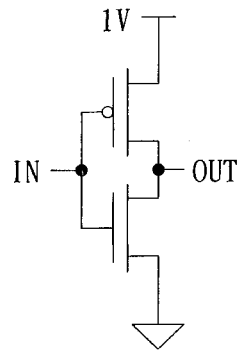
圖七



圖八 A

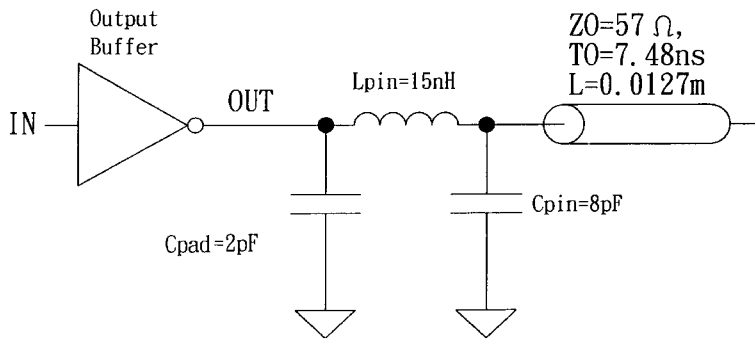


圖八 B

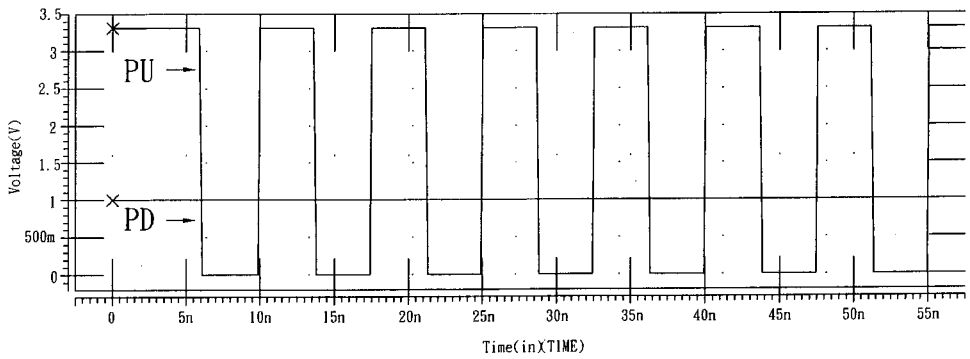
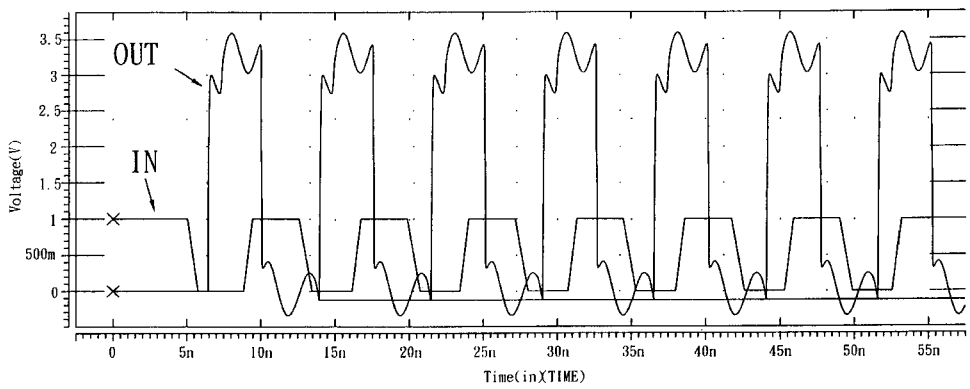


圖八 C

(7)



圖九



圖十

