

【19】中華民國

【12】專利公報 (B)

【11】證書號數： I230510

【45】公告日： 中華民國 94 (2005) 年 04 月 01 日

【51】Int. Cl.⁷: H03K3/13
H01L27/02

發明

全 9 頁

【54】名稱： 可容忍高電壓輸入且用低電壓元件組成的史密特觸發器

【21】申請案號： 092132206

【22】申請日期： 中華民國 92 (2003) 年 11 月 18 日

【72】發明人：

陳世倫

CHEN, SHIH LUN

柯明道

KER, MING DOU

【71】申請人：

上元科技股份有限公司
新竹市科學工業園區力行路
2號2樓

ADMTEK INCORPORATED

【74】代理人：何文淵 先生

1

2

[57]申請專利範圍：

1. 一種可容忍高電壓輸入且用低電壓元件組成的史密特觸發器，係為複數個金屬氧化半導體場效電晶體所組成，其係包括有：

一主要電路，其係為三個P型及三個N型金屬氧化半導體場效電晶體所組成，並由一節點A及一節點B之電壓控制其動作；

一第一保護電路，其係為四個P型金屬氧化半導體場效電晶體所組成，

用以使該節點A大於0.8V一特定低電壓；以及

一第二保護電路，其係為四個N型金屬氧化半導體場效電晶體所組成，用以使該節點B小於2.5V一特定高電壓。

2. 如申請專利範圍第1項所述之可容忍高電壓輸入且用低電壓元件組成的史密特觸發器，其中該複數金屬氧化半導體場效電晶體之耐受跨電壓

為 2.5V(伏特)。

- 3.如申請專利範圍第 1 項所述之可容忍高電壓輸入且用低電壓元件組成的史密特觸發器，其中該複數金屬氧化半導體場效電晶體的處理製程之精密度為 $0.13 \mu m$ ，且其耐受電壓為 1V 至 2.5V。節點 A 大於該特定低電壓，其該特定低電壓值係為 0.8V。
 - 4.如申請專利範圍第 1 項所述之可容忍高電壓輸入且用低電壓元件組成的史密特觸發器，其中該節點 B 小於該特定高電壓，其該特定高電壓值係為 2.5V。
 - 5.如申請專利範圍第 1 項所述之可容忍高電壓輸入且用低電壓元件組成的史密特觸發器，其中該第二保護電路中之一 N 型金屬氧化半導體場效電晶體為一(native Vt)N 型金屬氧化半導體場效電晶體。
- 圖式簡單說明：
- 圖一係為傳統輸入緩衝器使用一史密特觸發器電路經由一位準轉換器

將 VCC 轉換到 VDD 之表示圖。

圖二 A 係為一傳統史密特觸發器之電路圖。

5. 圖二 B 係為圖二 A 之史密特觸發器之特性曲線圖。

圖三係為習知史密特觸發器與可控制磁滯現象之電路圖。

圖四係為習知之雙層史密特觸發器之電路圖。

10. 圖五係為本發明之較佳史密特觸發器之電路圖。

圖六係為信號 IN 及信號 B 之模擬特性曲線圖。

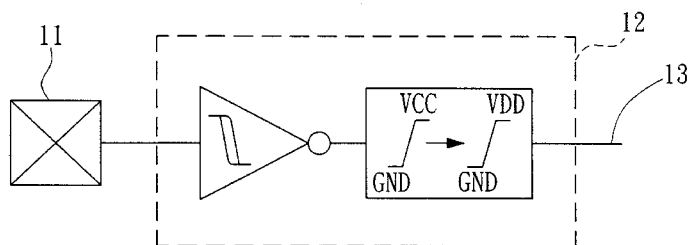
15. 圖七 A 係為圖五之史密特觸發器中之信號 IN 之模擬特性曲線圖。

圖七 B 係為圖五之史密特觸發器中之信號 A 及信號 B 之模擬特性曲線圖。

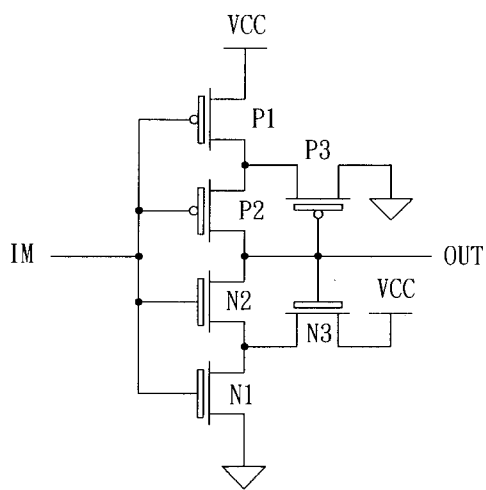
20. 圖七 C 係為圖五之史密特觸發器中之信號 OUT 之模擬特性曲線圖。

圖八係為本發明史密特觸發器中之模擬轉換特性曲線圖。

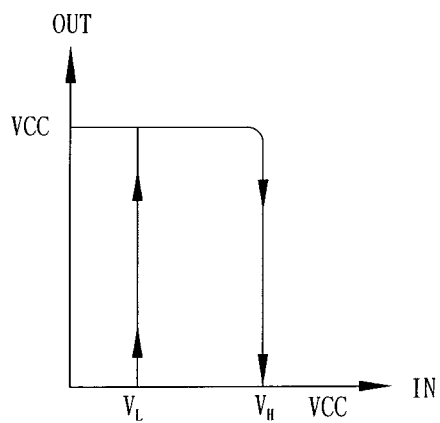
(3)



圖一

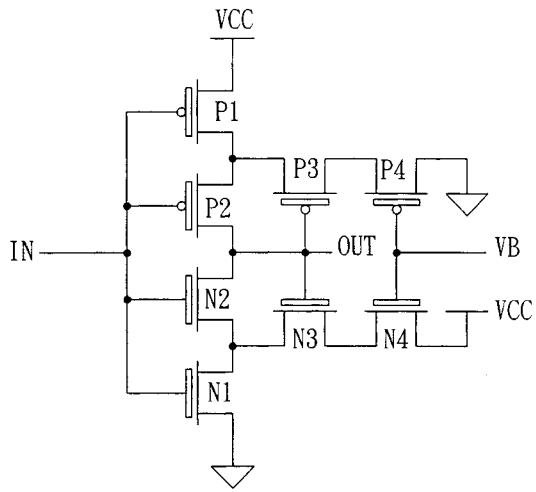


圖二 A

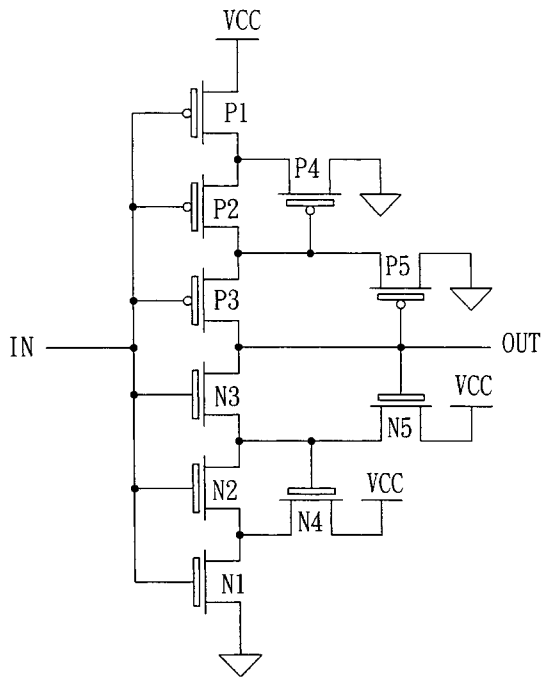


圖二 B

(4)

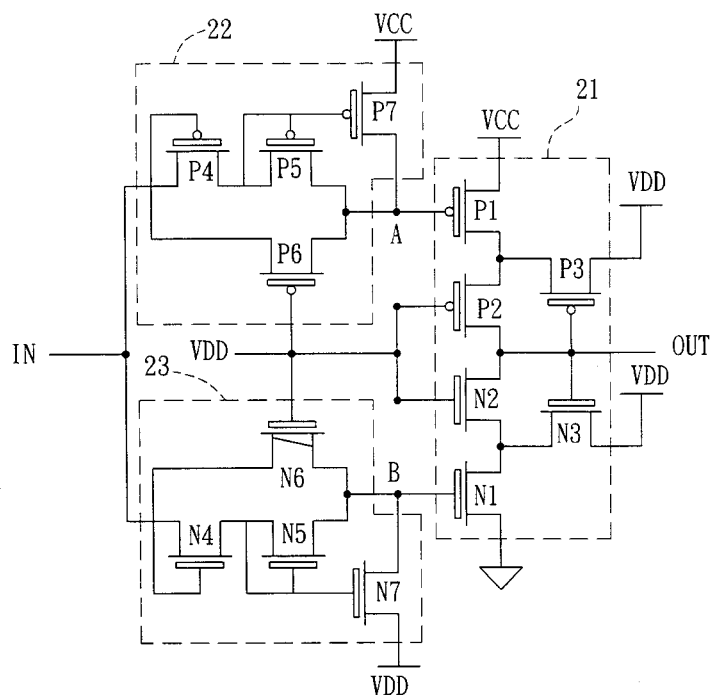


圖三



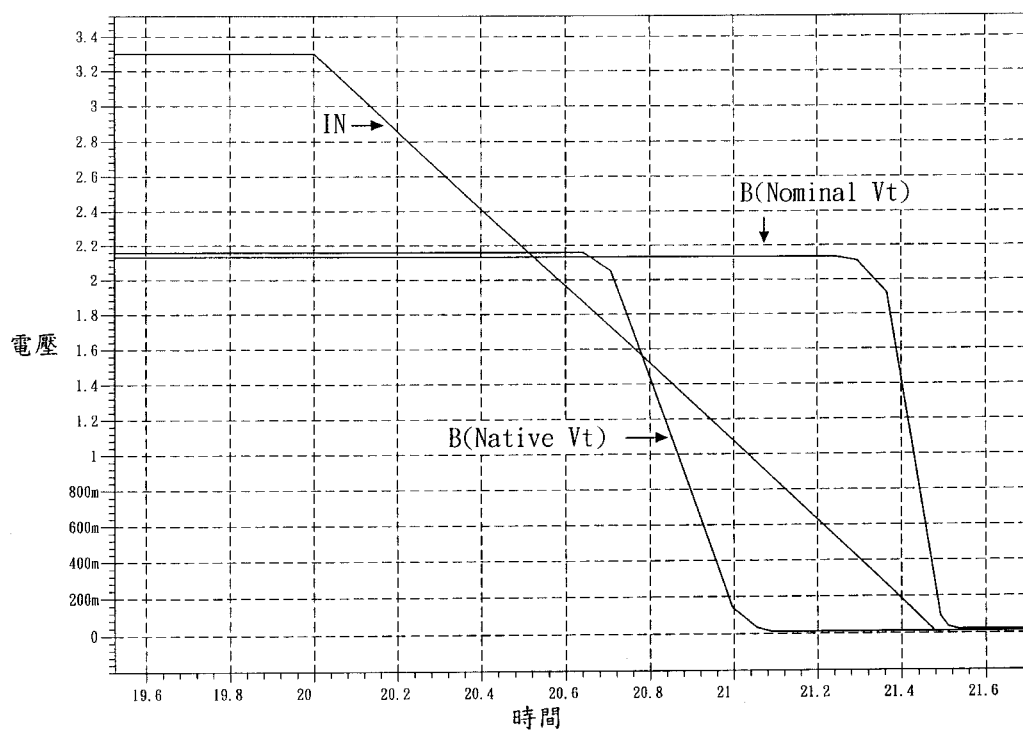
圖四

(5)



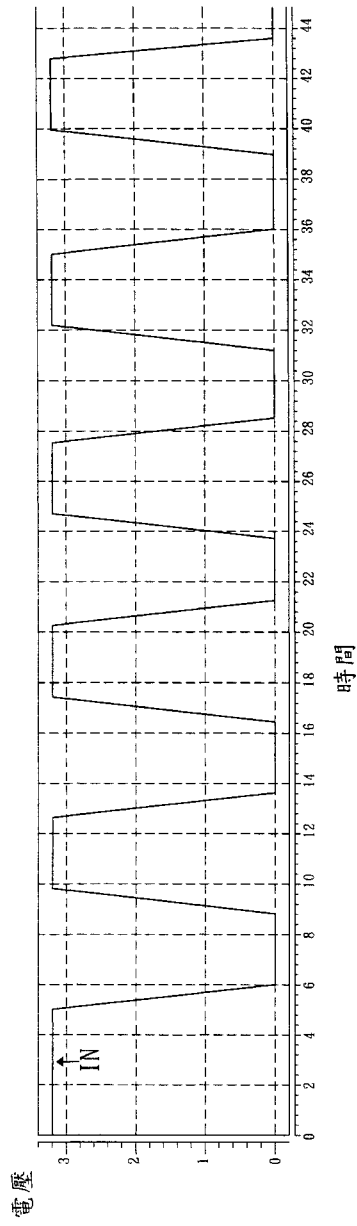
圖五

(6)

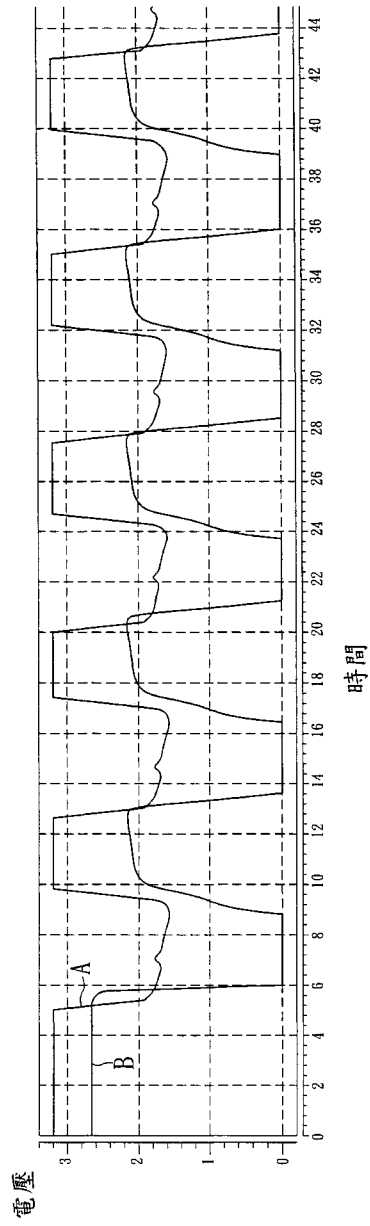


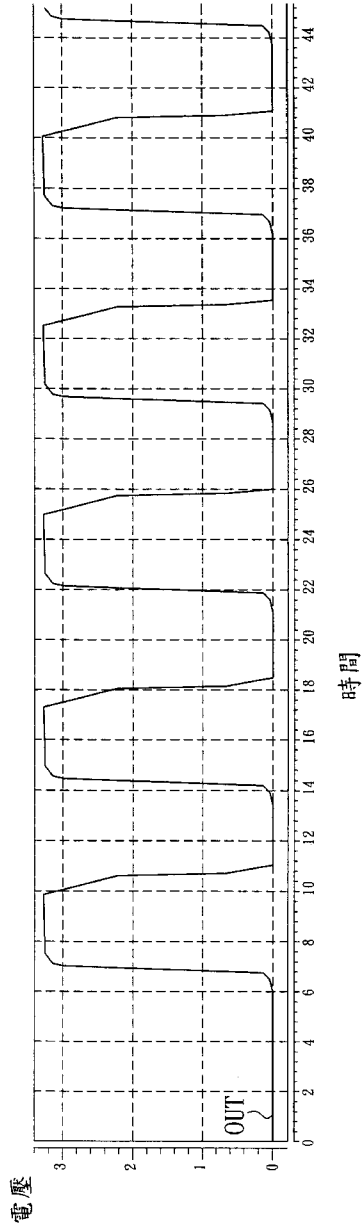
圖六

圖七A

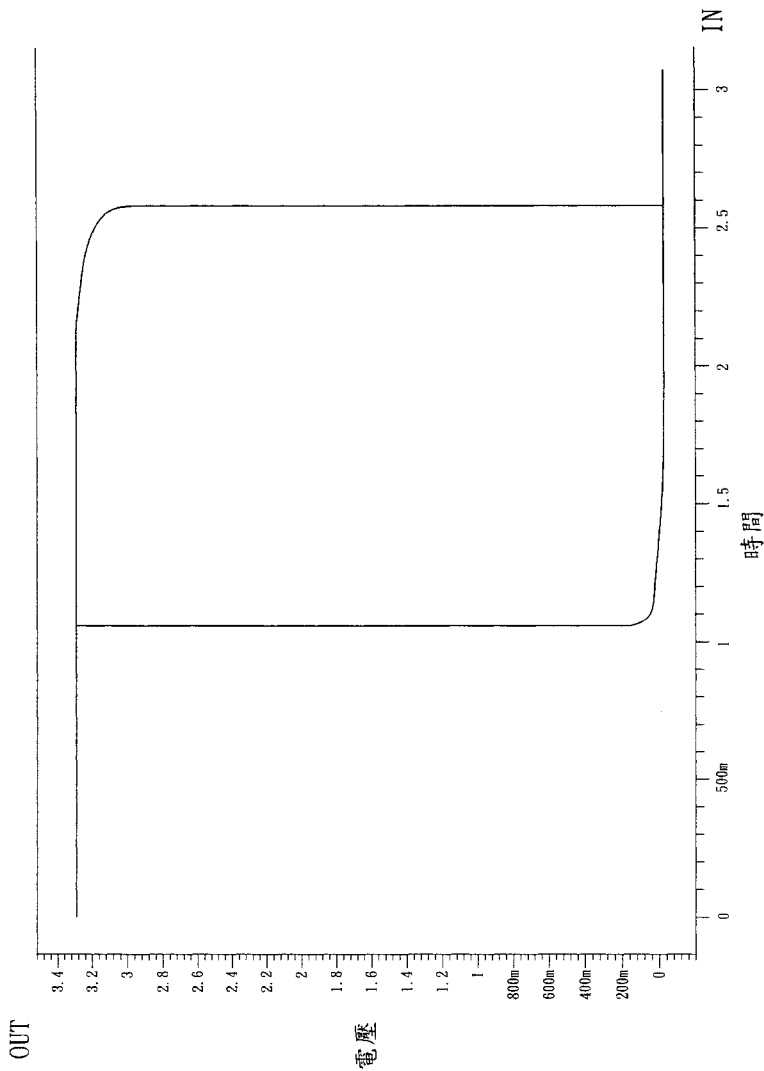


圖七B





圖七C



圖八

