

【11】證書號數： I231032

【45】公告日： 中華民國 94 (2005) 年 04 月 11 日

【51】Int. Cl.⁷： H01L23/60

發明

全 21 頁

【54】名 稱： 用以靜電放電防護之矽控整流器

A SILICON CONTROLLED RECTIFIER FOR THE
ELECTROSTATIC DISCHARGE PROTECTION

【21】申請案號： 093116002

【22】申請日期： 中華民國 93 (2004) 年 06 月 03 日

【72】發 明 人：

柯明道

KER, MING DOU

林昆賢

LIN, KUN HSIEN

【71】申請人：

國立交通大學
新竹市大學路1001號

NATIONAL CHIAO TUNG UNIVERSITY

【74】代理人：歐奉璋 先生

1

2

[57]申請專利範圍：

1. 一種用以靜電放電防護之矽控整流器，包含：

一第一電極和一第二電極做為兩極；

一 P 型電晶體(PMOS)；

一 N 型電晶體(NMOS)；以及

一矽控整流器(SCR)結構，

其中該 P 型電晶體(PMOS)係連接該

第一電極與矽控整流器(SCR)結構，

該 N 型電晶體(NMOS)係連接該第二

電極與矽控整流器(SCR)結構藉此做為電路防護。

2. 如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，

5. 該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)以及一 N 型井(N-well)。

3. 如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，

該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)以及一第二 P 型高摻雜區(P⁺)與一第二 N 型高摻雜區(N⁺)分別作為陽極與陰極。

4.如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)以及另一第三 P 型高摻雜區(P⁺)。

5.如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)以及另一第三 N 型高摻雜區(N⁺)。

6.如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)、一第三 P 型高摻雜區(P⁺)以及一第二 P 型高摻雜區(P⁺)與一第二 N 型高摻雜區(N⁺)分別作為陽極與陰極。

7.如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)、一第三 N 型高摻雜區(N⁺)以及一第二 P 型高摻雜區(P⁺)與一第二 N 型高摻雜區(N⁺)分別作為陽極與陰極。

8.如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，

該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)、至少一以上虛擬閘極(dummy gate)以及另一第三 P 型高摻雜區(P⁺)。

9.如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)、至少一以上虛擬閘極(dummy gate)以及另一第三 N 型高摻雜區(N⁺)。

10.如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)以及另一第四 P 型高摻雜區(P⁺)作為觸發端。

11.如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)以及另一第四 N 型高摻雜區(N⁺)作為觸發端。

12.如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)、一第四 P 型高摻雜區(P⁺)作為觸發端以及一第二 P 型高摻雜區(P⁺)與一第二 N 型高摻雜區(N⁺)分別作為陽極與陰極。

13.如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包

- 含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)、一第四 N 型高摻雜區(N⁺)作為觸發端以及一第二 P 型高摻雜區(P⁺)與一第二 N 型高摻雜區(N⁺)分別作為陽極與陰極。
- 14.如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)、至少一以上虛擬閘極(dummy gate)以及另一第四 P 型高摻雜區(P⁺)作為觸發端。
- 15.如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)、至少一以上虛擬閘極(dummy gate)以及另一第四 N 型高摻雜區(N⁺)作為觸發端。
- 16.一種用以靜電放電防護之矽控整流器，包含：
一第一電極和一第二電極做為兩極；
一 P 型電晶體(PMOS)；
一 N 型電晶體(NMOS)；
一矽控整流器(SCR)結構；以及
另一防護結構，
其中該 P 型電晶體(PMOS)係連接該第一電極與該矽控整流器(SCR)結構，該 N 型電晶體(NMOS)係連接該第二電極與該另一防護結構藉此做為電路防護。
- 17.如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該另一防護結構至少可包含一二極體結構或一矽控整流器(SCR)結構。

- 18.如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)以及一 N 型井(N-well)。
5. 19.如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)以及一第二 P 型高摻雜區(P⁺)與一第二 N 型高摻雜區(N⁺)分別作為陽極與陰極。
10. 20.如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)以及另一第三 P 型高摻雜區(P⁺)。
15. 21.如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)以及另一第三 N 型高摻雜區(N⁺)。
20. 22.如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)、一第三 P 型高摻雜區(P⁺)以及一第二 P 型高摻雜區(P⁺)與一第二 N 型高摻雜區(N⁺)分別作為陽極與陰極。
25. 23.如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包
- 30.
- 35.
- 40.

- 含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)、一第三 N 型高摻雜區(N⁺)以及一第二 P 型高摻雜區(P⁺)與一第二 N 型高摻雜區(N⁺)分別作為陽極與陰極。
- 24.如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)、至少一以上虛擬閘極(dummy gate)以及另一第三 P 型高摻雜區(P⁺)。
- 25.如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)、至少一以上虛擬閘極(dummy gate)以及另一第三 N 型高摻雜區(N⁺)。
- 26.如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)以及另一第四 P 型高摻雜區(P⁺)作為觸發端。
- 27.如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)以及另一第四 N 型高摻雜區(N⁺)作為觸發端。
- 28.如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一

- N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)、一第四 P 型高摻雜區(P⁺)作為觸發端以及一第二 P 型高摻雜區(P⁺)與一第二 N 型高摻雜區(N⁺)分別作為陽極與陰極。
- 29.如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)、一第四 N 型高摻雜區(N⁺)作為觸發端以及一第二 P 型高摻雜區(P⁺)與一第二 N 型高摻雜區(N⁺)分別作為陽極與陰極。
- 30.如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)、至少一以上虛擬閘極(dummy gate)以及另一第四 P 型高摻雜區(P⁺)作為觸發端。
- 31.如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)、至少一以上虛擬閘極(dummy gate)以及另一第四 N 型高摻雜區(N⁺)作為觸發端。
- 圖式簡單說明：
- 第 1 圖，係本發明之結構示意圖；
- 第 2 圖，係本發明之第一實施例示意圖；
- 第 3 圖，係本發明之第二實施例示意圖；
- 第 4 圖，係本發明之第三實施例示意圖；
- 第 5 圖，係本發明之第四實施例

示意圖；

第 6 圖，係本發明之第五實施例示意圖；

第 7 圖，係本發明之第六實施例示意圖；

第 8 圖，係本發明之第七實施例示意圖；

第 9 圖，係本發明之第八實施例示意圖；

第 10 圖，係本發明之第九實施例示意圖；

第 11 圖，係本發明之第十實施例示意圖；

第 12 圖，係本發明之第十一實施例示意圖；

第 13 圖，係本發明之第十二實施例示意圖；

第 14 圖，係本發明之第十三實施例示意圖；

第 15 圖，係本發明之第十四實施例示意圖；

第 16 圖，係本發明之一電路實施例示意圖；

第 17 圖，係本發明之二電路實施例示意圖；

第 18 圖，係本發明之三電路實施例示意圖；

第 19 圖，係本發明之四電路實施例示意圖；

第 20 圖，係本發明之五電路實施例示意圖；

第 21 圖，係本發明之六電路實施例示意圖；

第 22 圖，係本發明之七電路實施

例示意圖；

第 23 圖，係本發明之八電路實施例示意圖；

第 24 圖，係本發明之九電路實施例示意圖；

5. 第 25 圖，係本發明另一實施例之結構示意圖；

第 26 圖，係本發明之十電路實施例示意圖；

10. 第 27 圖，係本發明之十一電路實施例示意圖；

第 28 圖，係本發明之十二電路實施例示意圖；

15. 第 29 圖，係本發明之十三電路實施例示意圖；

第 30 圖，係本發明之十四電路實施例示意圖；

第 31 圖，係本發明之十五電路實施例示意圖；

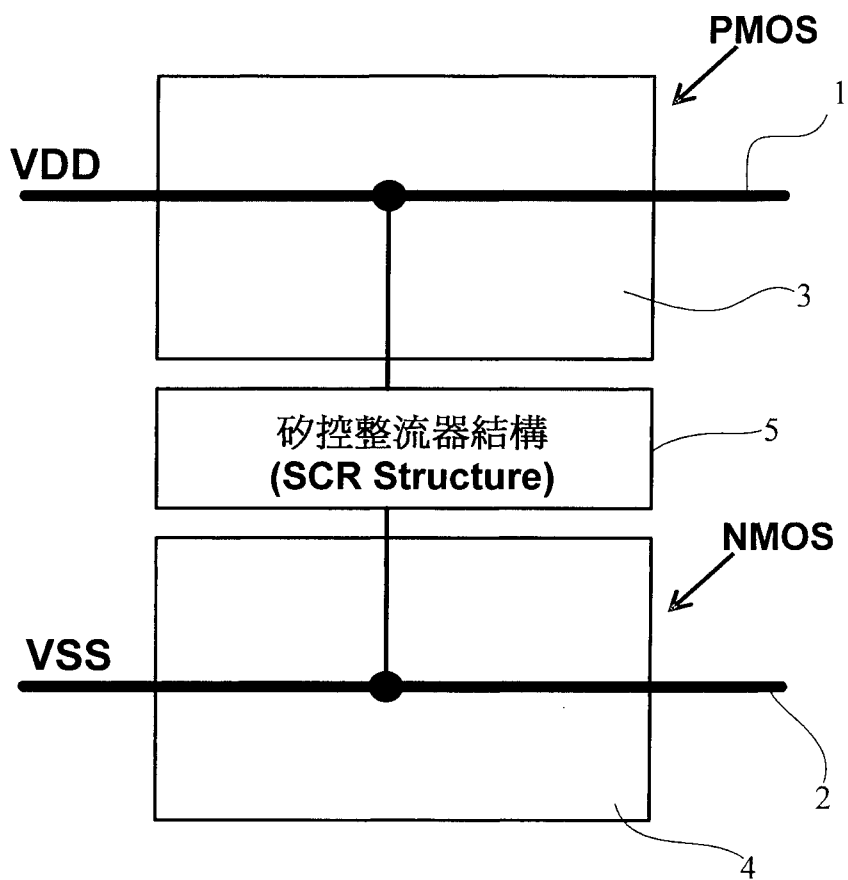
20. 第 32 圖，係本發明之十六電路實施例示意圖；

第 33 圖，係本發明之十七電路實施例示意圖；

25. 第 34 圖，係一習知應用於互補金屬氧化物半導體(CMOS)積體電路(IC)靜電放電防護電路設計示意圖；

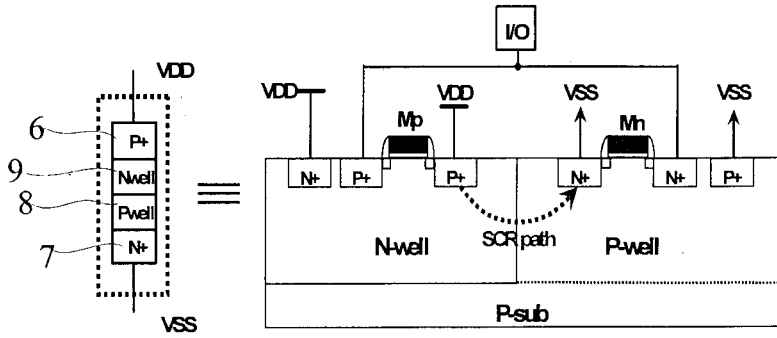
第 35(a)圖，係一習知含有輸入或輸出的P型電晶體與N型電晶體之間的單保護圈結構的靜電放電防護裝置示意圖；

30. 第 35(b)圖，係一習知含有輸入或輸出的P型電晶體與N型電晶體之間的雙保護圈結構的靜電放電防護裝置示意圖；

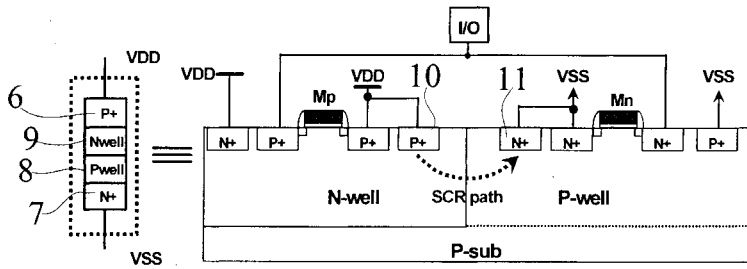


第 1 圖

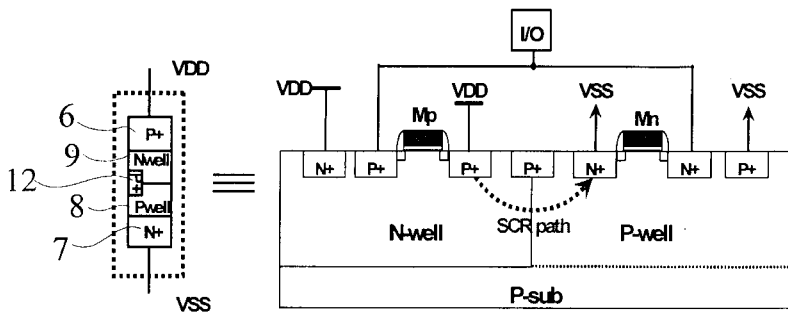
(7)



第 2 圖

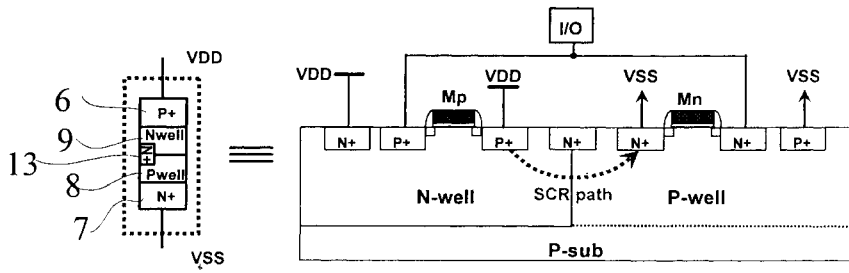


第 3 圖

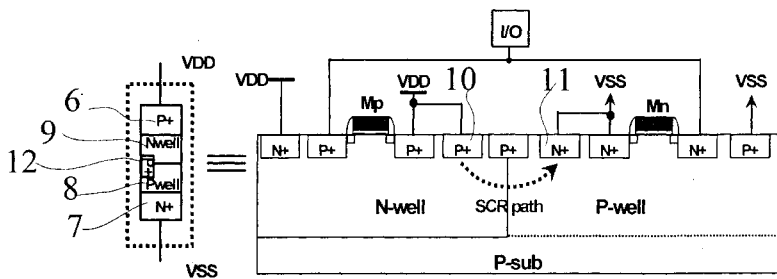


第 4 圖

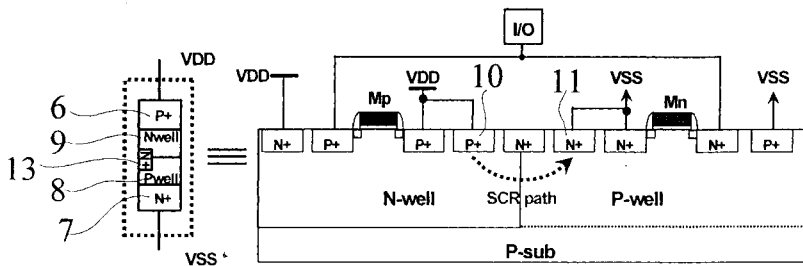
(8)



第 5 圖

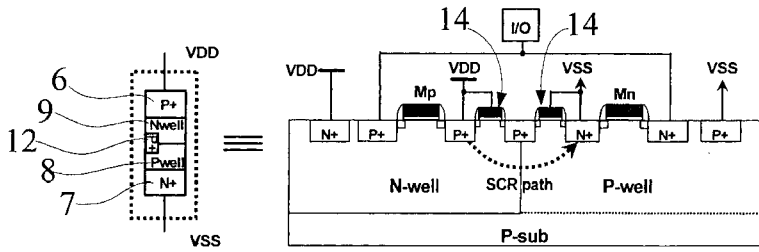


第 6 圖

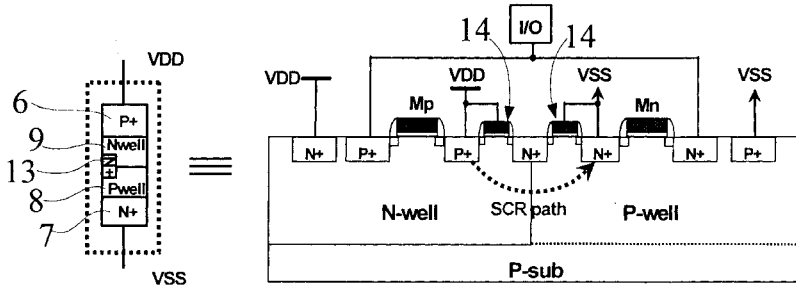


第 7 圖

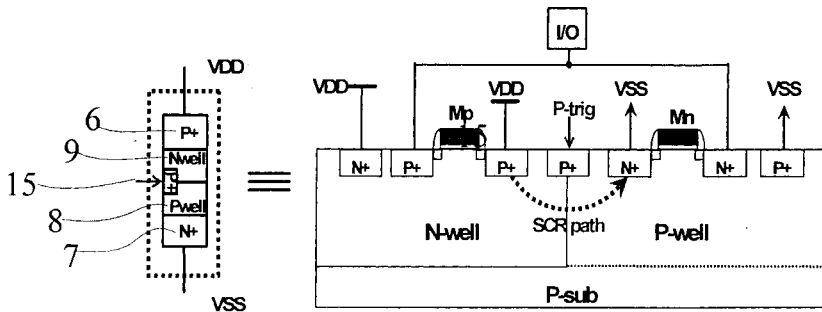
(9)



第 8 圖

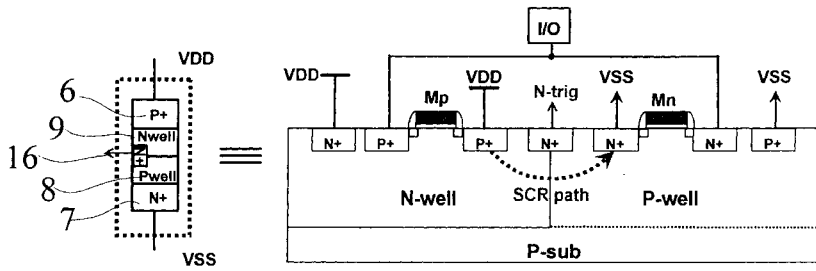


第 9 圖

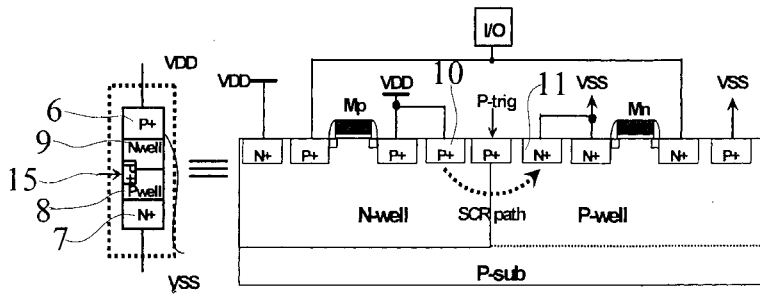


第 10 圖

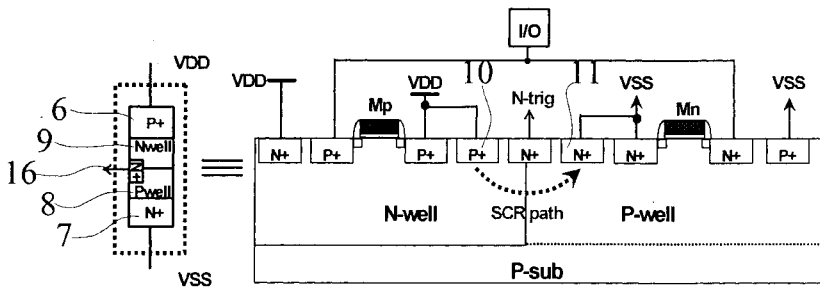
(10)



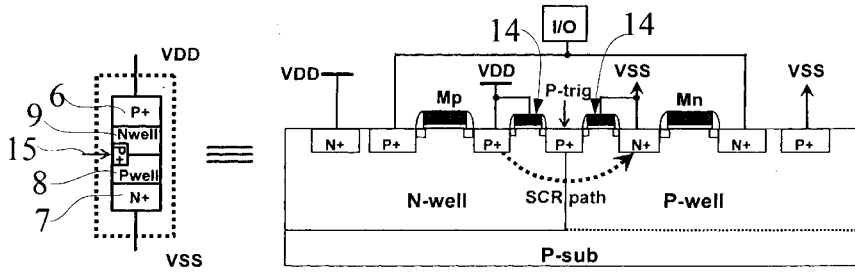
第 11 圖



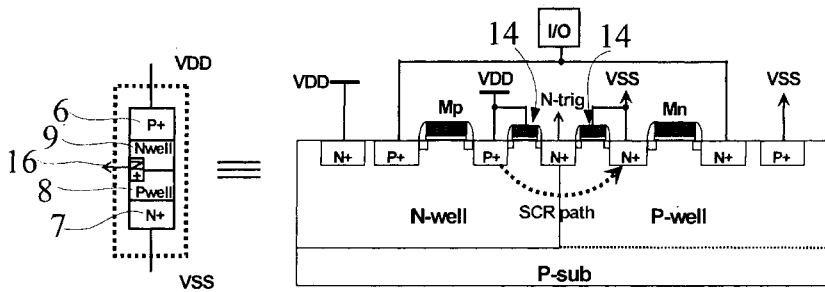
第 12 圖



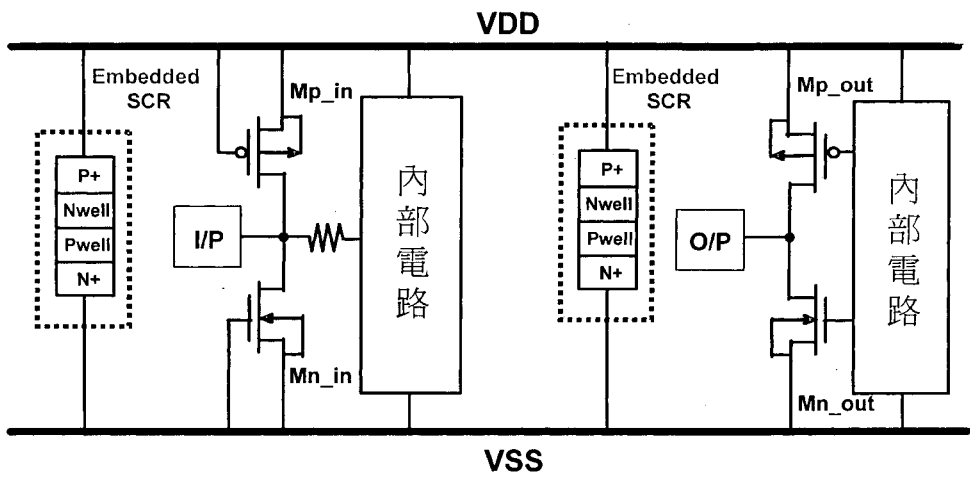
第 13 圖



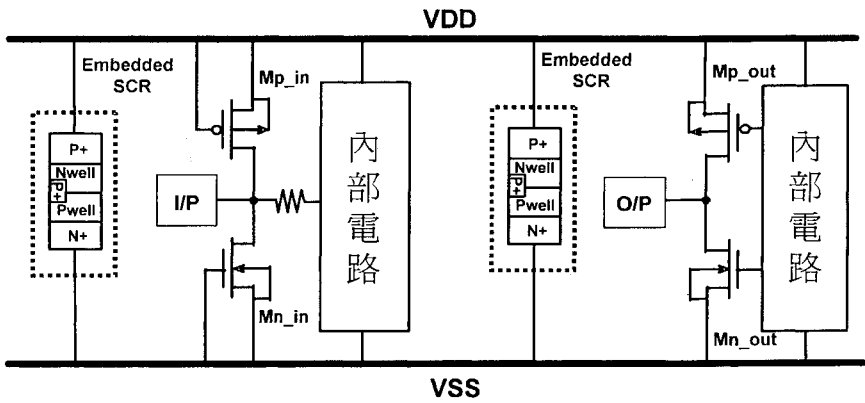
第 14 圖



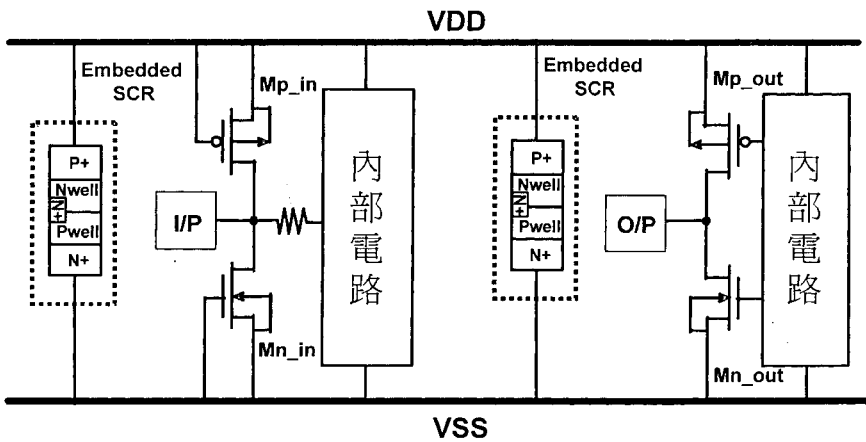
第 15 圖



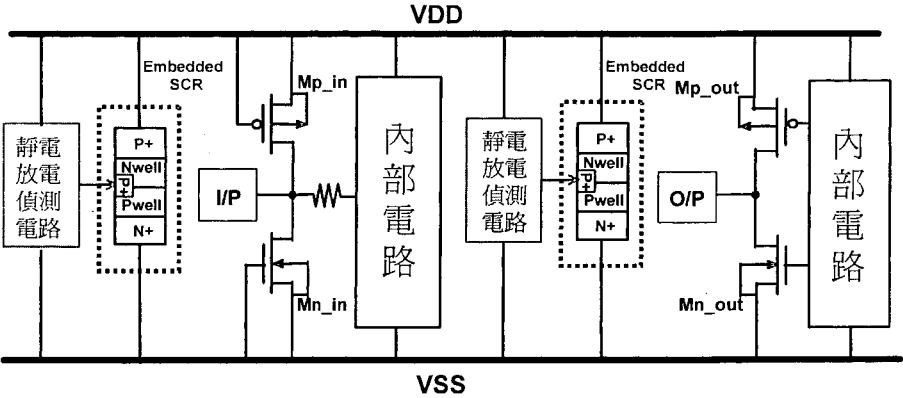
第 16 圖



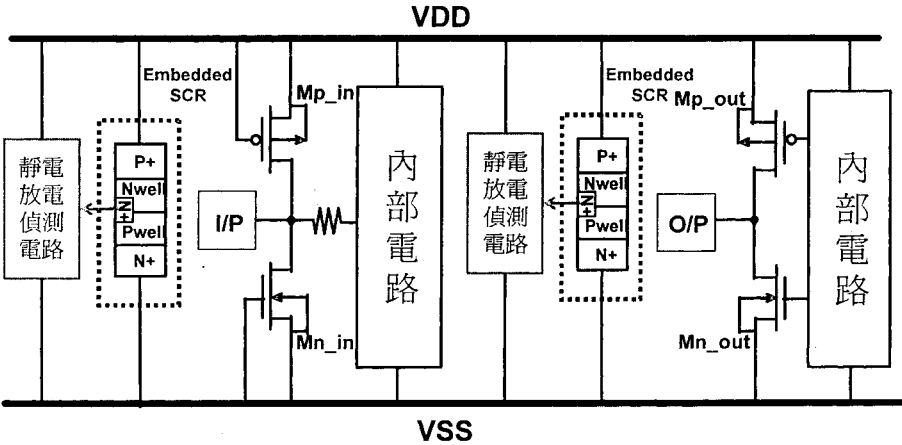
第 17 圖



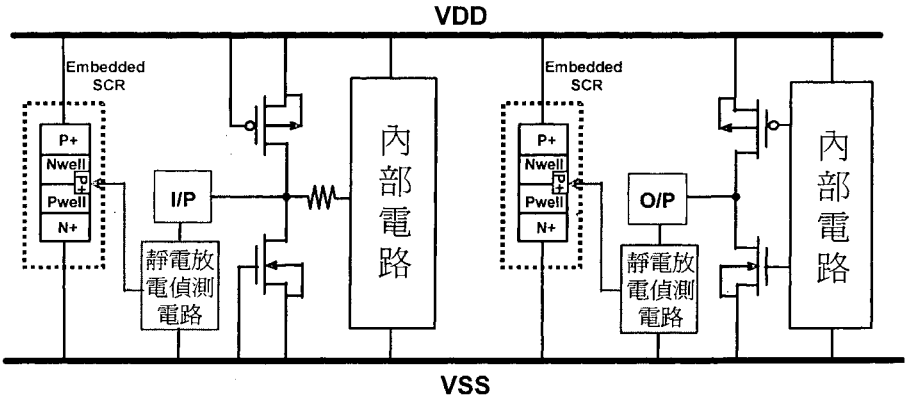
第 18 圖



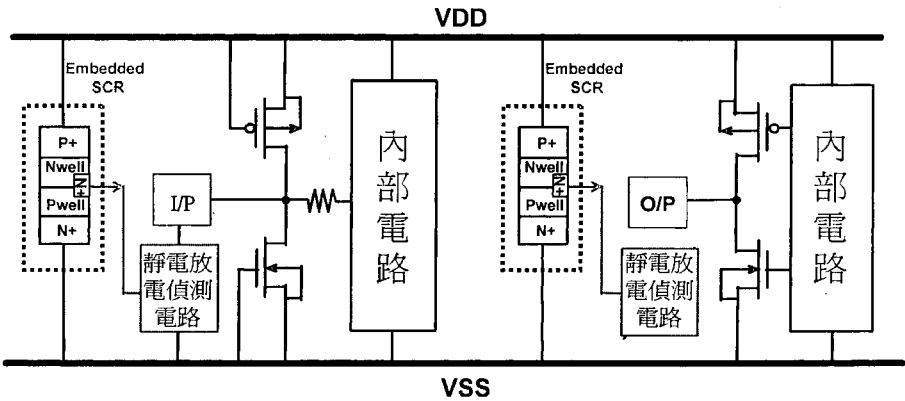
第 19 圖



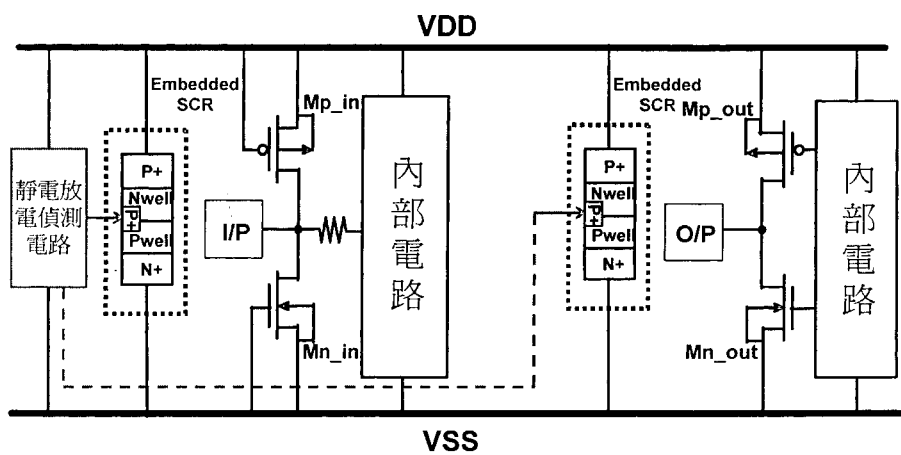
第 20 圖



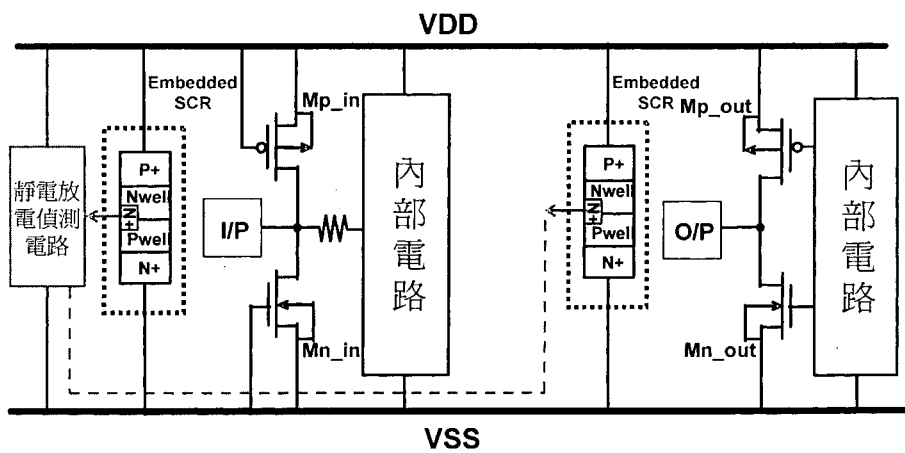
第 21 圖



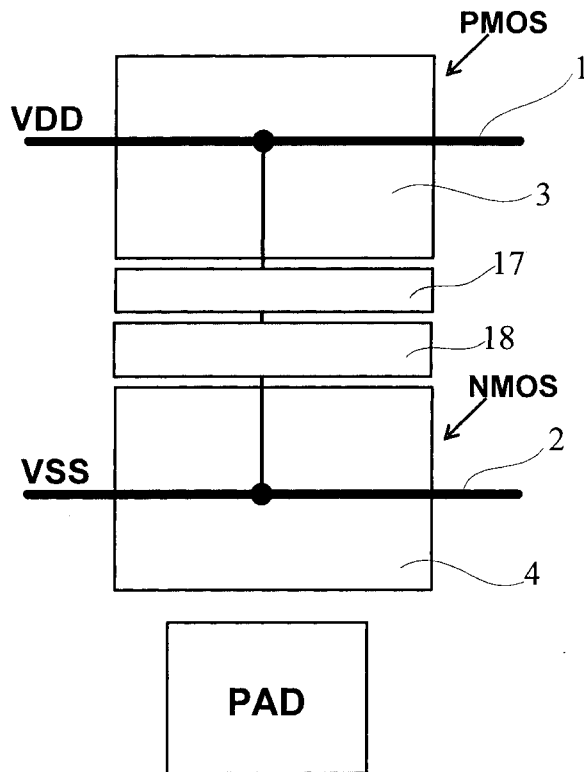
第 22 圖



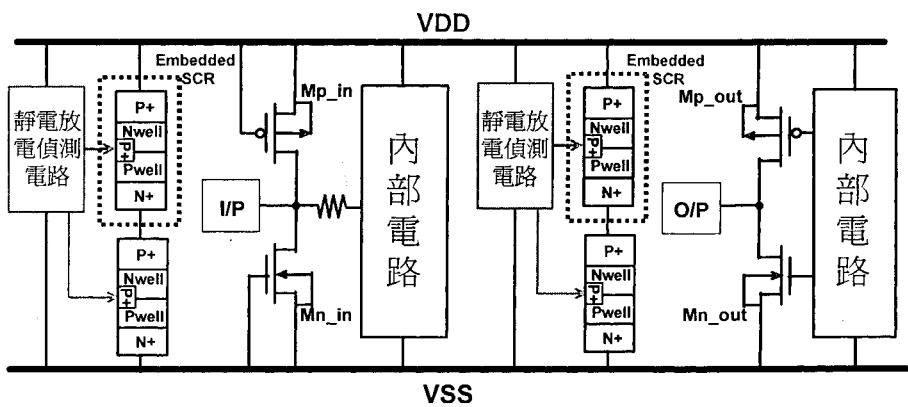
第 23 圖



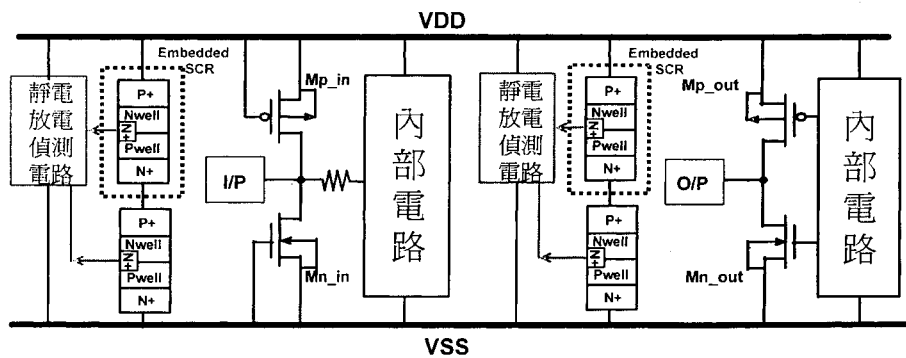
第 24 圖



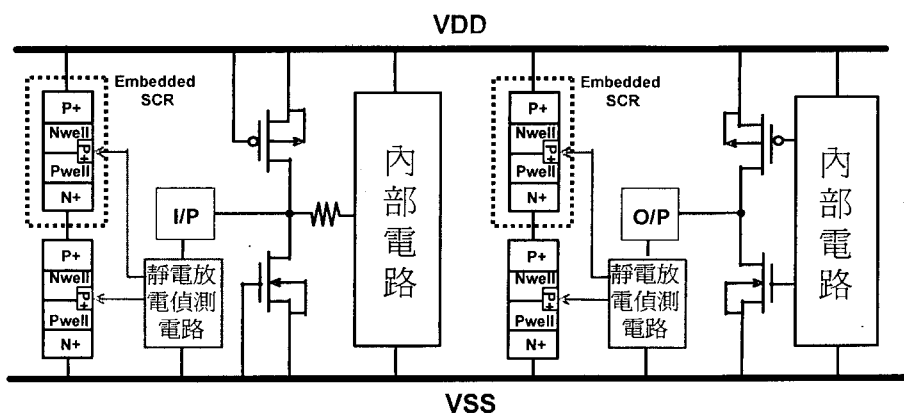
第 25 圖



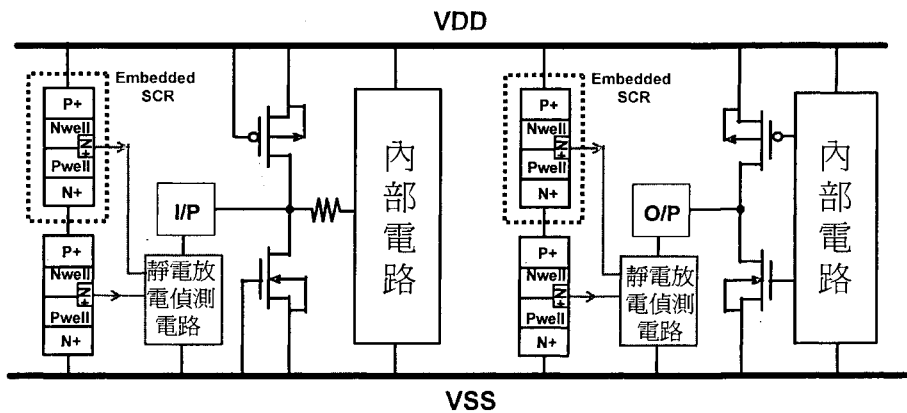
第 26 圖



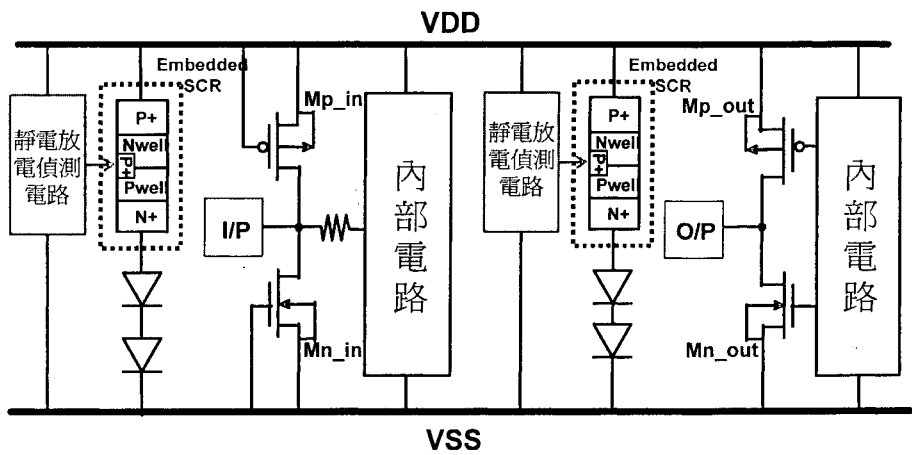
第 27 圖



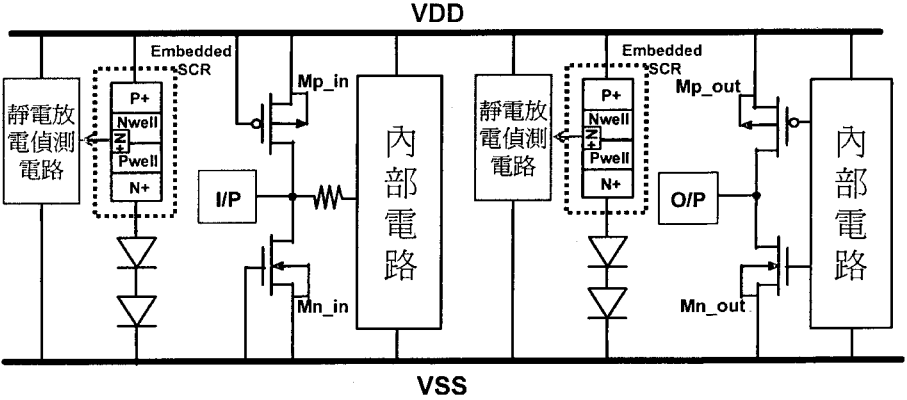
第 28 圖



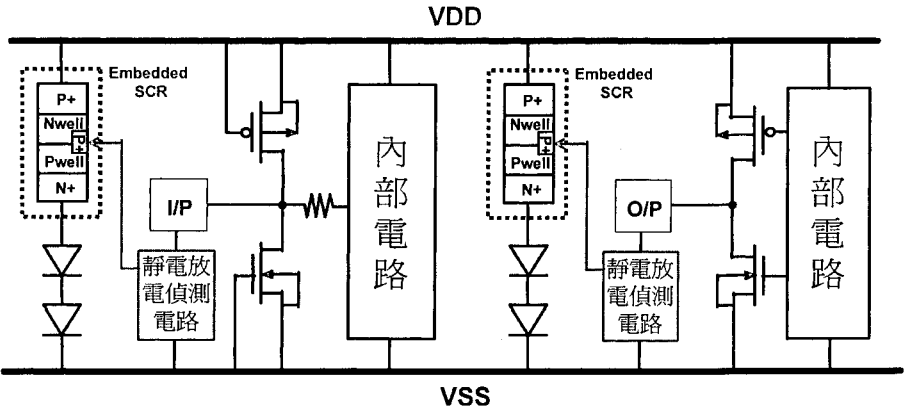
第 29 圖



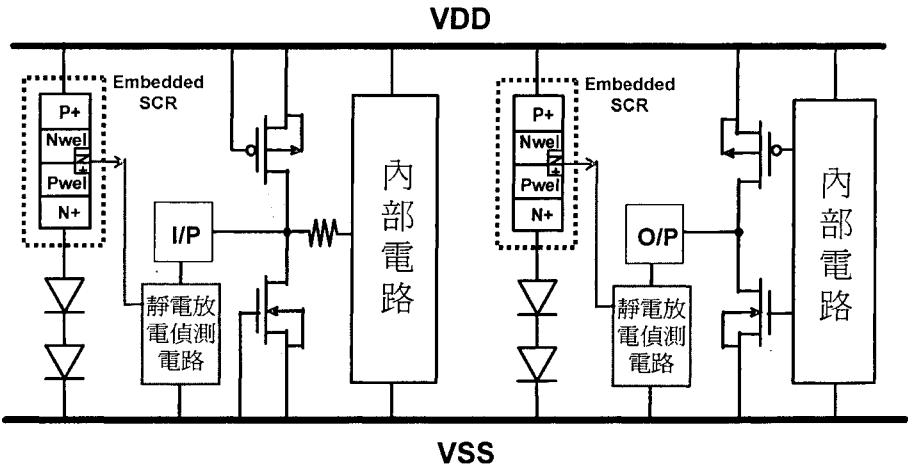
第 30 圖



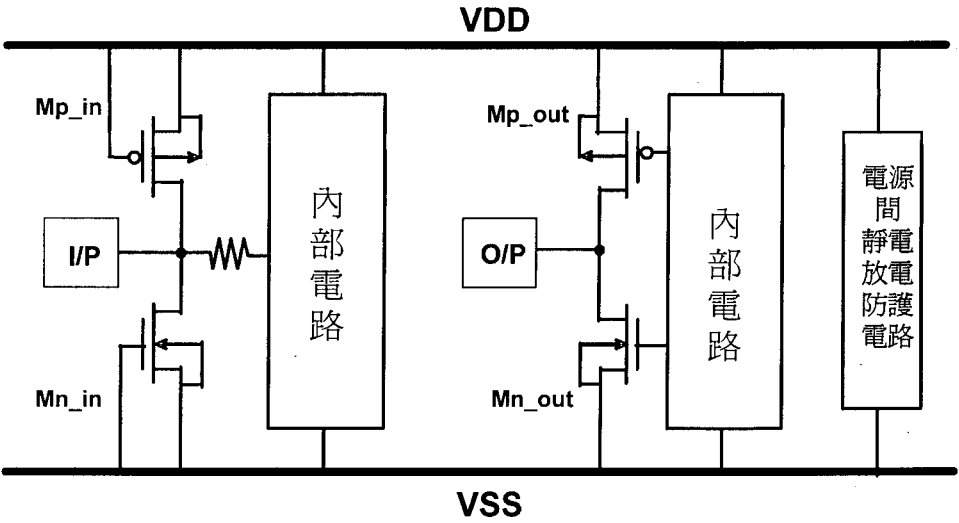
第 31 圖



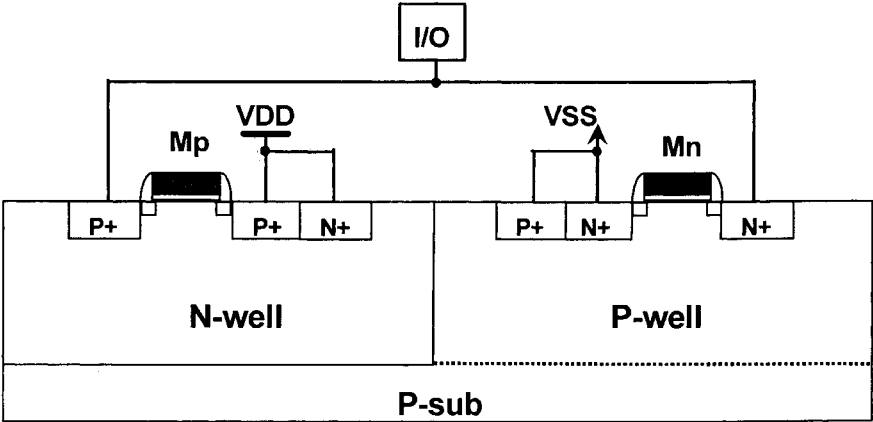
第 32 圖



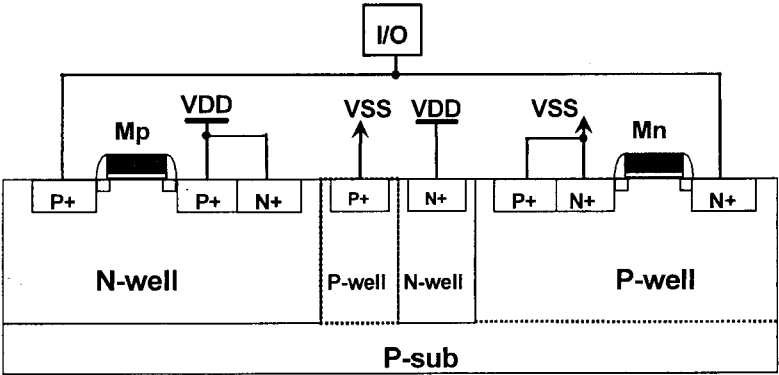
第 33 圖



第 34 圖



第 35(a) 圖



第 35(b) 圖

