

【11】證書號數： I231987

【45】公告日： 中華民國 94 (2005) 年 05 月 01 日

【51】Int. Cl.⁷: H01L23/60

發明

全 9 頁

【54】名 稱： 靜電放電防護電路

【21】申請案號： 093109889

【22】申請日期： 中華民國 93 (2004) 年 04 月 09 日

【72】發 明 人：

柯明道

KER, MING DOU

陳穩義

【71】申請人：

國立交通大學

NATIONAL CHIAO TUNG UNIVERSITY

新竹市大學路1001號

【74】代理人：林火泉 先生

1

2

[57]申請專利範圍：

1.一種靜電放電防護電路，其係應用在一高低壓混合介面電路上，該靜電放電防護電路包括：

一輸入／輸出鉚墊；

至少一疊接 NMOS，其包括：

一上層 NMOS，其汲極連接該輸入／輸出鉚墊，閘極則連接一 VDD 電壓源；以及

一下層 NMOS，其汲極連接該上層

NMOS 之源極，閘極則連接一預驅

動電路，另該下層 NMOS 之源極接地；

一觸發電路，其包括：

至少一電容，其具有第一與第二連接端，該第一連接端連接該輸入／輸出鉚墊；

一第一二極體，其順向連接於該電容之第二連接端與該上層 NMOS 之閘極間；

10. 一第二二極體，其順向連接於該電

容之第二連接端與該下層 NMOS 之閘極間；以及

一放電電路，其兩端分別連接該電容之第二連接端以及接地。

- 2.如申請專利範圍第1項所述之靜電放電防護電路，其中該放電電路係一 NMOS，其汲極連接該電容之第二連接端、閘極連接該 VDD 電壓源、源極則接地。
- 3.如申請專利範圍第1項所述之靜電放電防護電路，其中該放電電路係一電阻。
- 4.如申請專利範圍第1項所述之靜電放電防護電路，其中該放電電路係並聯之一電阻與一 NMOS，該電阻兩端分別連接該電容之第二連接端與接地，該 NMOS 之汲極與源極亦分別連接該電容之第二連接端與接地，且該 NMOS 之閘極連接該 VDD 電壓源。
- 5.如申請專利範圍第1項所述之靜電放電防護電路，更可根據同樣的該疊接 NMOS 之電路連接關係，增設至少一該疊接 NMOS，以增強該靜電放電防護電路之靜電放電防護等級。
- 6.一種靜電放電防護電路，其係應用在一高低壓混合介面電路上，該靜電放電防護電路包括：
 - 一輸入／輸出鉚墊；
 - 至少一疊接 NMOS，其包括：
 - 一上層 NMOS，其汲極連接該輸入／輸出鉚墊，閘極則連接一 VDD 電壓源；以及
 - 一下層 NMOS，其汲極連接該上層 NMOS 之源極，閘極則連接一預驅動電路，另該下層 NMOS 之源極接地；
 - 一觸發電路，其包括：
 - 一第一電容，其具有第一與第二連

接端，該第一電容之第一連接端連接該輸入／輸出鉚墊；

一第一二極體，其順向連接於該第一電容之第二連接端與該上層 NMOS 之閘極間；

一第二電容，其具有第一與第二連接端，該第二電容之第一連接端連接該輸入／輸出鉚墊；

一第二二極體，其順向連接於該第一及第二電容之第二連接端與該下層 NMOS 之閘極間；以及

一放電電路，其一端連接該第一及第二電容之第二連接端，另一端則接地。

5. 7.如申請專利範圍第6項所述之靜電放電防護電路，其中該放電電路係一 NMOS，其汲極連接該第一與第二電容之第二連接端、閘極連接該 VDD 電壓源、源極則接地。
10. 8.如申請專利範圍第6項所述之靜電放電防護電路，其中該放電電路係一電阻。
15. 9.如申請專利範圍第6項所述之靜電放電防護電路，其中該放電電路係並聯之一電阻與一 NMOS，該電阻兩端分別連接該電容之第二連接端與接地，該 NMOS 之汲極與源極亦分別連接該電容之第二連接端與接地，且該 NMOS 之閘極連接該 VDD 電壓源。
20. 10.如申請專利範圍第6項所述之靜電放電防護電路，更可根據同樣的該疊接 NMOS 之電路連接關係，增設至少一該疊接 NMOS，以增強該靜電放電防護電路之靜電放電防護等級。
25. 35. 11.一種靜電放電防護電路，其係應用在一高低壓混合介面電路上，該靜電放電防護電路包括：
 - 一輸入／輸出鉚墊；
30. 40.

至少一疊接 NMOS，其包括：

一上層 NMOS，其汲極連接該輸入／輸出鉚墊，閘極則連接一 VDD 電壓源；以及

一下層 NMOS，其汲極連接該上層 NMOS 之源極，閘極則連接一預驅動電路，另該下層 NMOS 之源極接地；

一觸發電路，其包括：

一第一電容，其具有第一與第二連接端，該第一電容之第一連接端連接該輸入／輸出鉚墊；

一第一二極體，其順向連接於該第一電容之第二連接端與該上層 NMOS 之閘極間；

一第一放電電路，其一端連接該第一及第二電容之第二連接端，另一端則接地；

一第二電容，其具有第一與第二連接端，該第二電容之第一連接端連接該輸入／輸出鉚墊；

一第二二極體，其順向連接於該第二電容之第二連接端與該下層 NMOS 之閘極間；以及

一第二放電電路，其一端連接該第一及第二電容之第二連接端，另一端則接地。

12.如申請專利範圍第 11 項所述之靜電放電防護電路，其中該第一／第二放電電路為一 NMOS，其汲極連接該第一／第二電容之第二連接端、閘極連接該 VDD 電壓源、源極則接地。

13.如申請專利範圍第 11 項所述之靜電放電防護電路，其中該第一／第二放電電路係一電阻。

14.如申請專利範圍第 11 項所述之靜電放電防護電路，其中該第一／第二放電電路係並聯之一電阻與一 NMOS，該電阻兩端分別連接該第

一／第二電容之第二連接端與接地，該 NMOS 之汲極與源極亦分別連接該第一／第二電容之第二連接端與接地，且該 NMOS 之閘極連接該 VDD 電壓源。

15.如申請專利範圍第 11 項所述之靜電放電防護電路，更可根據同樣的該疊接 NMOS 之電路連接關係，增設至少一該疊接 NMOS，以增強該靜電放電防護電路之靜電放電防護等級。

16.一種靜電放電防護電路，其係應用在一高低壓混合介面電路上，該靜電放電防護電路包括：

一輸入／輸出鉚墊；

至少一疊接 NMOS，其包括：

一上層 NMOS，其汲極連接該輸入／輸出鉚墊，閘極則連接一 VDD 電壓源；以及

一下層 NMOS，其汲極連接該上層 NMOS 之源極，閘極則連接一預驅動電路，另該下層 NMOS 之源極接地；

一觸發電路，其包括：

一第一電容，其具有第一與第二連接端，該第一電容之第一與第二連接端分別連接該輸入／輸出鉚墊與該上層 NMOS 之閘極；

一第一放電電路，其一端連接該第一電容之第二連接端及該上層 NMOS 之閘極，另一端則接地；

一第二電容，其具有第一與第二連接端，該第二電容之第一與第二連接端分別連接該輸入／輸出鉚墊與該下層 NMOS 之閘極；以及

一第二放電電路，其一端連接該第二電容之第二連接端及該下層 NMOS 之閘極，另一端則接地。

17.如申請專利範圍第 16 項所述之靜電放電防護電路，更可根據同樣的該

疊接 NMOS 之電路連接關係，增設至少一該疊接 NMOS，以增強該靜電放電防護電路之靜電放電防護等級。

18.如申請專利範圍第 16 項所述之靜電放電防護電路，其中該第一放電電路包含：

一第一 PMOS，其源極連接該第一電容之第二連接端與該上層 NMOS 之閘極，閘極則與該 VDD 電壓源相連；以及

一第一 NMOS，其汲極連接該第一 PMOS 之汲極，閘極與源極則分別連接該 VDD 電壓源以及接地。

19.如申請專利範圍第 16 項所述之靜電放電防護電路，其中該第二放電電路包含：

一第二 NMOS，其汲極連接該第二電容之第二連接端與該下層 NMOS

之閘極，閘極則與該 VDD 電壓源相連；以及

一第二 PMOS，其源極連接該第二 NMOS 之源極，閘極連接該第二電容之第二連接端與該下層 NMOS 之閘極，汲極則接地。

圖式簡單說明：

第一圖為習知利用疊接 NMOS 結構之靜電放電防護電路示意圖。

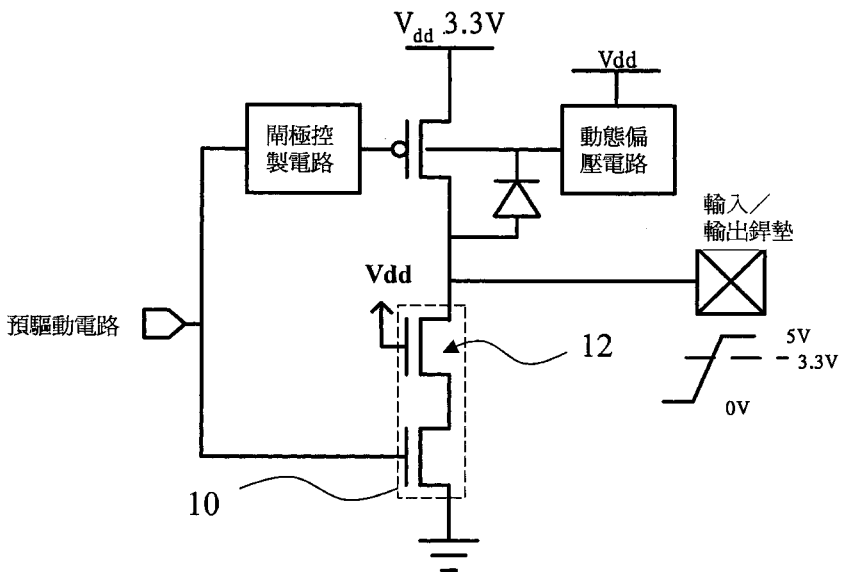
10. 第二圖為本發明實施例示意圖。

第三(a)圖與第三(b)圖為替換第二圖中放電電路元件之實施例示意圖。

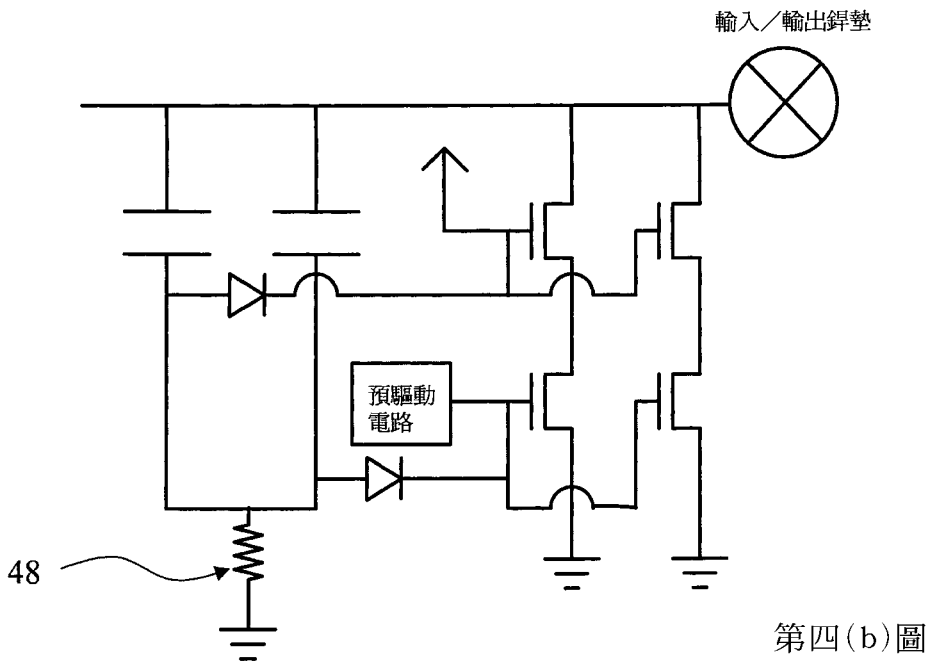
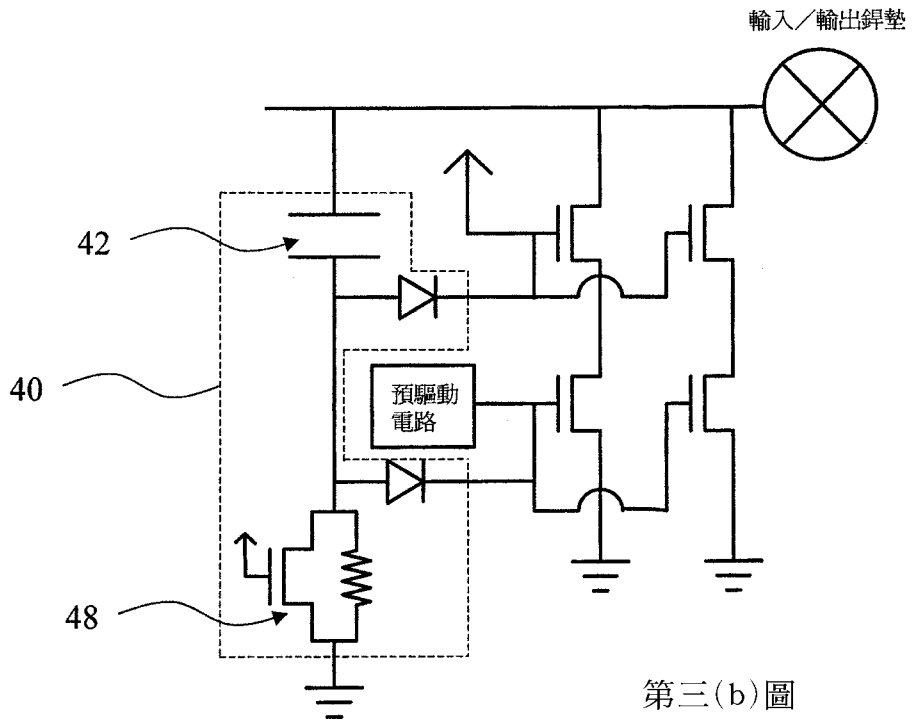
第四(a)圖為本發明另一實施例示意圖。

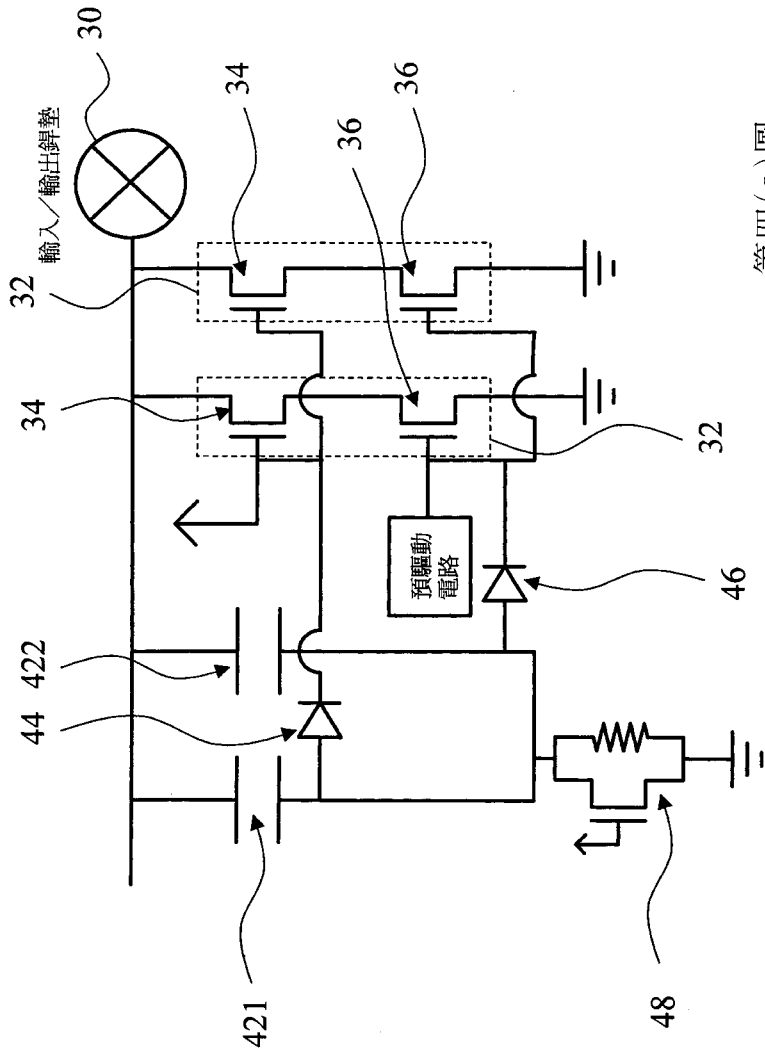
15. 第四(b)圖與第四(c)圖為替換第二圖中放電電路元件之實施例示意圖。

第五圖為本發明另一實施例示意圖。

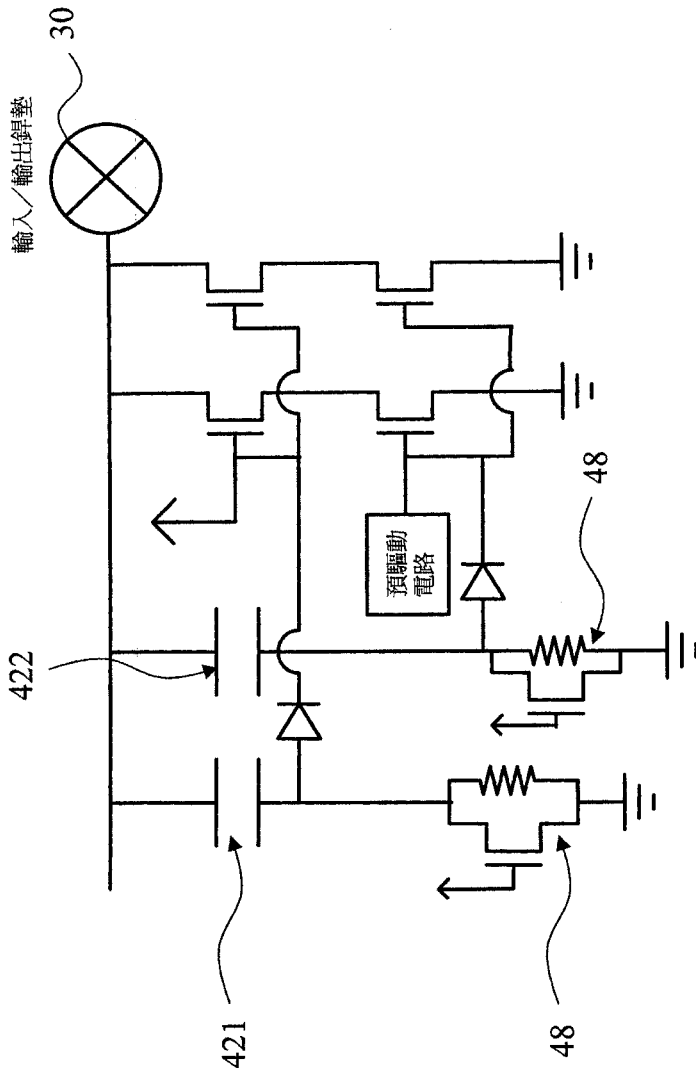


第一圖

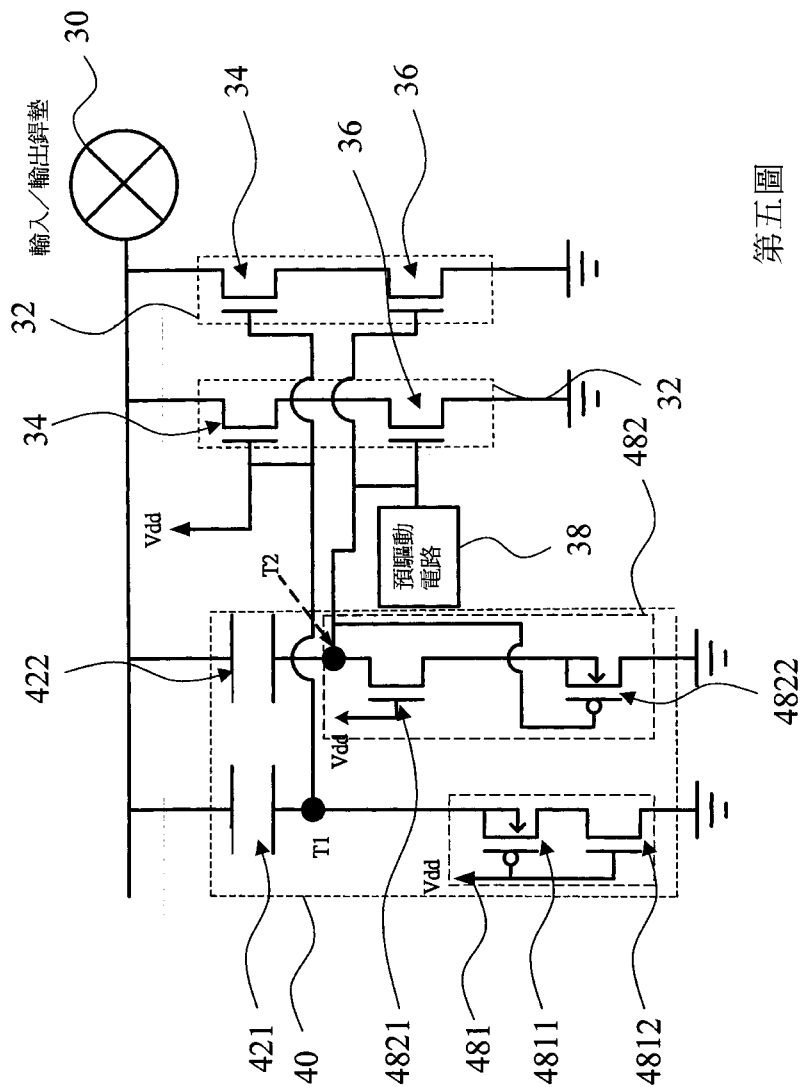




第四(a)圖



第四(c)圖



第五圖

