

【11】證書號數： I232637
【45】公告日： 中華民國 94 (2005) 年 05 月 11 日
【51】Int. Cl.⁷： H03M1/06

發明 全 13 頁

【54】名 稱： 能隙參考電路
BANDGAP REFERENCE CIRCUIT

【21】申請案號： 093108089 【22】申請日期： 中華民國 93 (2004) 年03 月25 日

【72】發 明 人：
柯明道 KER, MING DOU
儲青雲 CHU, CHING YUN
羅文裕 LO, WEN YU

【71】申請人：
矽統科技股份有限公司 SILICON INTEGRATED SYSTEMS
 CORP.
新竹市新竹科學工業園區研
新一路16號

【74】代理人：許鍾迪 先生

1

2

[57]申請專利範圍：

1. 一種能隙參考電路，其包含：
- 一第一能隙參考單元(bandgap reference unit)，其包含一輸出端係連接於一第一節點(n1)；
 - 一第二能隙參考單元，其包含一輸出端係連接於一第二節點(n2)；以及
 - 一減法器(subtractor)，其包含：
 - 一第一電晶體(M4)，其包含一源極(source)係連接於一第一電壓，一汲極(drain)以及一閘極(gate)，其二者
5. 係連接於該第二節點(n2)；
- 一第二電晶體(M5)，其包含一源極係連接於該第一電壓，一汲極係連接於一第三節點(n3)，以及一閘極係連接於該第一電晶體(M4)之閘極；
 - 一第三電晶體(M6)，其包含一源極係連接於一第二電壓，一汲極以及一閘極，其二者係連接於該第一節點(n1)；
10. 一第四電晶體(M7)，其包含一源極

係連接於該第二電壓，一汲極係連接於該第三節點(n3)，以及一閘極係連接於該第三電晶體(M6)之閘極；以及

一輸出電阻(RREF)係連接於該第三節點(n3)以及該第二電壓之間。

2.如申請專利範圍第1項所述之能隙參考電路，其中該第一電晶體(M4)以及該第二電晶體(M5)係為PNP型電晶體，該第三電晶體(M6)以及該第四電晶體(M7)係為NPN型電晶體，該第二電壓係為接地端，以及該第一電壓實質上係高於接地端。

3.如申請專利範圍第2項所述之能隙參考電路，其中該第一能隙參考單元係為一CMOS P通道能隙參考(CMOS p-channel bandgap reference)，以及該第二能隙參考單元係為一CMOS N通道能隙參考(CMOS n-channel bandgap reference)。

4.如申請專利範圍第3項所述之能隙參考電路，其中該第一能隙參考單元以及該第二能隙參考單元係分別產生一低於1伏特之輸出參考電壓並分別輸入於該第一節點(n1)以及該第二節點(n2)。

5.如申請專利範圍第1項所述之能隙參考電路，其中當第二電壓係為接地端時，該第一電壓係近似為0.9伏特，以使一第三節點之輸出參考電壓介於550至570毫伏特之間。

6.如申請專利範圍第1項所述之能隙參考電路，其中該第一能隙參考單元包含：

一第一運算放大器(operational amplifier, 112)，其包含一正輸入端、一負輸入端以及一輸出端；

一第五電晶體(M1)，其包含一源極係連接於該第一電壓，一汲極係連接於該正輸入端，以及一閘極係連

接於該輸出端；

一第六電晶體(M2)，其包含一源極係連接於該第一電壓，一汲極係連接於該負輸入端，以及一閘極係連接於該輸出端；

一第一電阻(R1)係連接於該第二電壓以及該正輸入端之間；

一第二電阻(R2)係連接於該第二電壓以及該負輸入端之間；

10. 一第一二極體(Q1)，其包含一集極、一基極，其二者係連接於該第二電壓，以及一射極係藉由一第三電阻(R3)連接於該正輸入端；

15. 一第二二極體(Q2)，其包含一集極、一基極，其二者係連接於該第二電壓，以及一射極係連接於該正輸入端；以及

20. 一第七電晶體(M3)，其包含一其包含一源極係連接於該第一電壓，一閘極係連接於該輸出端，以及一汲極係連接於該第一節點(n1)。

7.如申請專利範圍第6項所述之能隙參考電路，其中該第二電壓係為接地端，該第一電壓實質上係高於接地端，該第三電晶體(M6)以及該第四電晶體(M7)係為NPN型電晶體，該第五電晶體(M1)、該第六電晶體(M2)以及該第七電晶體(M3)係為PNP型電晶體，以及該第一二極體(Q1)以及該第二二極體(Q2)係為PNP型二極體。

8.如申請專利範圍第1項所述之能隙參考電路，其中該第二能隙參考單元包含：

35. 一第二運算放大器(114)，其包含一正輸入端、一負輸入端以及一輸出端；

40. 一第八電晶體(M1')，其包含一源極係連接於該第二電壓，一汲極係連接於該正輸入端，以及一閘極係連

接於該輸出端；

一第九電晶體(M2')，其包含一源極係連接於該第二電壓，一汲極係連接於該負輸入端，以及一閘極係連接於該輸出端；

一第四電阻(R1')係連接於該第一電壓以及該正輸入端之間；

一第五電阻(R2')係連接於該第一電壓以及該負輸入端之間；

一第三二極體(Q1')，其包含一集極、一基極，其二者係連接於該第一電壓，以及一射極係藉由一第六電阻(R3')連接於該正輸入端；

一第四二極體(Q2')，其包含一集極、一基極，其二者係連接於該第一電壓，以及一射極係連接於該正輸入端；以及

一第十電晶體(M3')，其包含一其包含一源極係連接於該第二電壓，一閘極係連接於該輸出端，以及一汲極係連接於該第二節點(n2)。

9.如申請專利範圍第8項所述之能隙參考電路，其中該第二電壓係為接地端，該第一電壓實質上係高於接地端，該第一電晶體(M4)以及該第二電晶體(M5)係為PNP型電晶體，該第八電晶體(M1')、該第九電晶體(M2')以及該第十電晶體(M3')係為NPN型電晶體，以及該第三二極體(Q1')以及該第四二極體(Q2')係為NPN型二極體。

10.如申請專利範圍第1項所述之能隙參考電路，其中該第一能隙參考單元包含：

一第一運算放大器(112)，其包含一正輸入端、一負輸入端以及一輸出端；

一第五電晶體(M1)，其包含一源極係連接於該第一電壓，一汲極係藉由一第七電阻(R1a)連接於該正輸入

端，以及一閘極係連接於該輸出端；

一第六電晶體(M2)，其包含一源極係連接於該第一電壓，一汲極係藉由一第八電阻(R2a)連接於該負輸入端，以及一閘極係連接於該輸出端；

一第九電阻(R1b)係連接於該第二電壓以及該正輸入端之間；

10. 一第十電阻(R2b)係連接於該第二電壓以及該負輸入端之間；

一第一二極體(Q1)，其包含一集極、一基極，其二者係連接於該第二電壓，以及一射極係藉由一第三電阻(R3)連接於該第五電晶體(M1)之汲極；

15. 一第二二極體(Q2)，其包含一集極、一基極，其二者係連接於該第二電壓，以及一射極係連接於該第六電晶體(M2)之汲極；以及

20. 一第七電晶體(M3)，其包含一其包含一源極係連接於該第一電壓，一閘極係連接於該輸出端，以及一汲極係連接於該第一節點(n1)。

25. 11.如申請專利範圍第10項所述之能隙參考電路，其中該第二電壓係為接地端，該第一電壓實質上係高於接地端，該第三電晶體(M6)以及該第四電晶體(M7)係為NPN型電晶體，該第五電晶體(M1)、該第六電晶體(M2)以及該第七電晶體(M3)係為PNP型電晶體，以及該第一二極體(Q1)以及該第二二極體(Q2)係為PNP型二極體。

30. 35. 12.如申請專利範圍第1項所述之能隙參考電路，該第二能隙參考單元包含：

一第二運算放大器(114)，其包含一正輸入端、一負輸入端以及一輸出端；

40.

- 一第八電晶體(M1')，其包含一源極係連接於該第二電壓，一汲極係藉由一第十一電阻(R1a')連接於該正輸入端，以及一閘極係連接於該輸出端；
- 一第九電晶體(M2')，其包含一源極係連接於該第二電壓，一汲極係藉由一第十二電阻(R2a')連接於該負輸入端，以及一閘極係連接於該輸出端；
- 一第十三電阻(R1' b)係連接於該第一電壓以及該正輸入端之間；
- 一第十四電阻(R2' b)係連接於該第一電壓以及該負輸入端之間；
- 一第三二極體(Q1')，其包含一集極、一基極，其二者係連接於該第一電壓，以及一射極係藉由一第六電阻(R3')連接於該第八電晶體(M1')之汲極；
- 一第四二極體(Q2')，其包含一集極、一基極，其二者係連接於該第一電壓，以及一射極係連接於該第九電晶體(M2')之汲極；以及
- 一第十電晶體(M3')，其包含一其包含一源極係連接於該第二電壓，一閘極係連接於該輸出端，以及一汲極係連接於該第二節點(n2)。
- 13.如申請專利範圍第12項所述之能隙參考電路，該第二電壓係為接地端，該第一電壓實質上係高於接地端，該第一電晶體(M4)以及該第二電晶體(M5)係為PNP型電晶體，該第八電晶體(M1')、該第九電晶體(M2')以及該第十電晶體(M3')係為NPN型電晶體，以及該第三二極體(Q1')以及該第四二極體(Q2')係為NPN型二極體。
- 14.一種能隙參考電路，其包含：
- 一CMOS P通道電路，用以提供一第一參考電壓於一第一節點(n1)；

- 一CMOS N通道電路，用以提供一第二參考電壓於一第二節點(n2)；以及
- 一減法器，其包含：
5. 一第一電晶體(M4)，其包含一源極係連接於一第一電壓，一汲極以及一閘極，其二者係連接於該第二節點(n2)；
10. 一第二電晶體(M5)，其包含一源極係連接於該第一電壓，一汲極係連接於一第三節點(n3)，以及一閘極係連接於該第一電晶體(M4)之閘極；
- 一第三電晶體(M6)，其包含一源極係連接於一第二電壓，一汲極以及一閘極，其二者係連接於該第一節點(n1)；
15. 一第四電晶體(M7)，其包含一源極係連接於該第二電壓，一汲極係連接於該第三節點(n3)，以及一閘極係連接於該第三電晶體(M6)之閘極；
20. 以及
- 一輸出電阻(RREF)係連接於該第三節點(n3)以及該第二電壓之間。
- 15.如申請專利範圍第14項所述之能隙參考電路，該第一電晶體(M4)以及該第二電晶體(M5)係為PNP型電晶體，該第三電晶體(M6)以及該第四電晶體(M7)係為NPN型電晶體，該第二電壓係為接地端，以及該第一電壓實質上係高於接地端。
25. 30.
- 16.如申請專利範圍第15項所述之能隙參考電路，其中該CMOS P通道電路以及該CMOS N通道電路係分別產生一低於1伏特之輸出參考電壓並分別輸入於該第一節點(n1)以及該第二節點(n2)。
35. 40.
- 17.如申請專利範圍第14項所述之能隙參考電路，其中當第二電壓係為接地端時，該第一電壓係近似為0.9伏特，以使一第三節點之輸出參考電

壓介於 550 至 570 毫伏特之間。

圖式簡單說明：

圖一為傳統能隙參考電路之示意圖。

圖二為傳統低電壓能隙參考電路之示意圖。

圖三為傳統低電壓能隙參考電路之示意圖。

圖四為兩個二極體之基極 - 射極電壓相對於溫度之示意圖。

圖五為圖四中兩個二極體之基極-射極電壓差異相對於溫度之示意圖。

圖六為輸出參考電壓曲線圖。

圖七為第一實施例之低電壓曲率

補償參考電路之示意圖。

圖八為圖七電路之電流與參考電壓之示意圖。

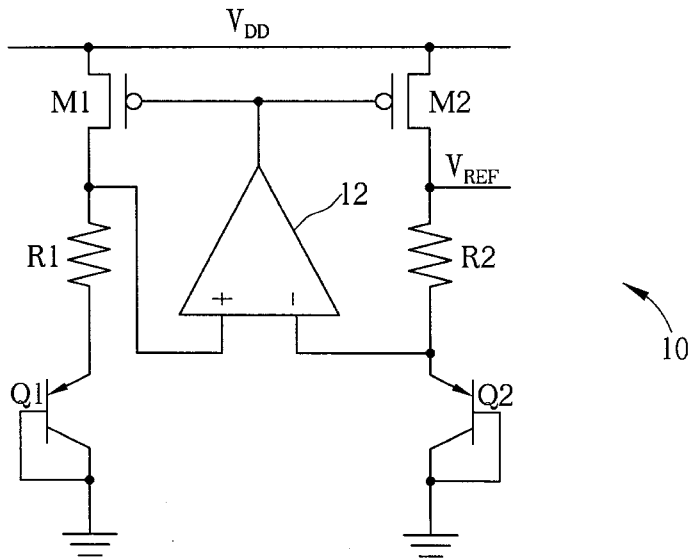
圖九為 NPN 型 CMOS BJT 之示意圖。

圖十為第二實施例之低電壓曲率補償參考電路之示意圖。

圖十一為第三實施例之低電壓曲率補償參考電路之示意圖。

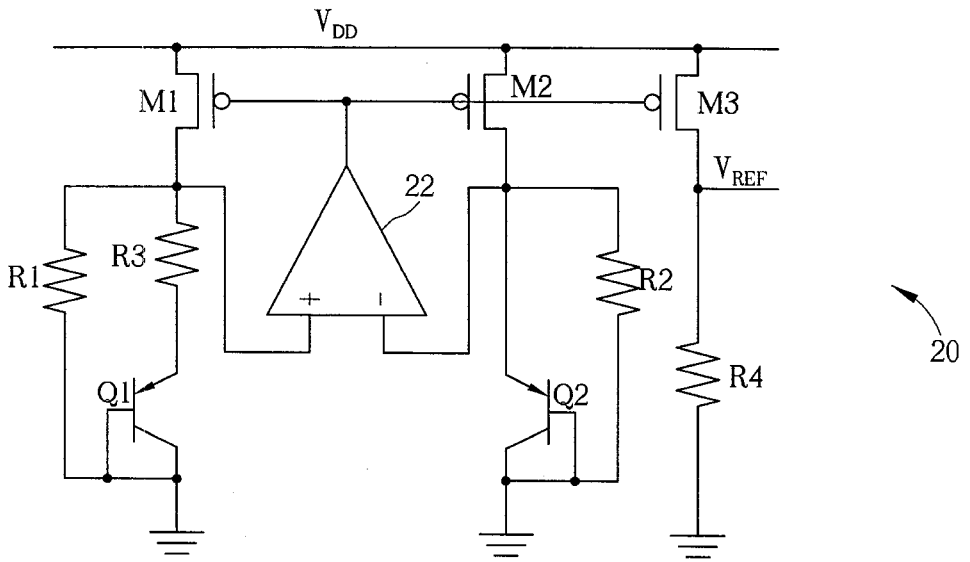
10. 圖十二為圖十一電路之參考電壓相對於溫度之示意圖。

圖十三為圖十一電路之最小供應電壓之示意圖。

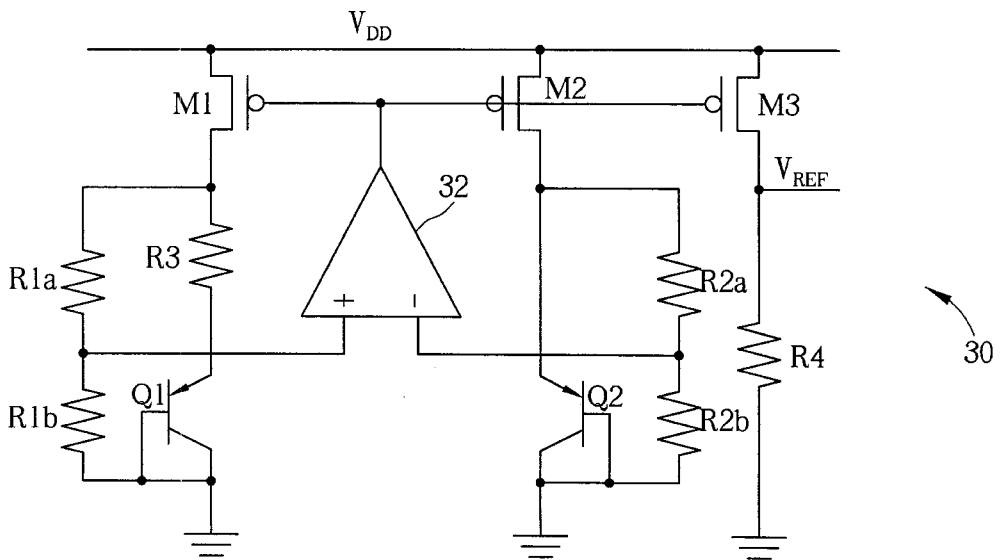


圖一

(6)

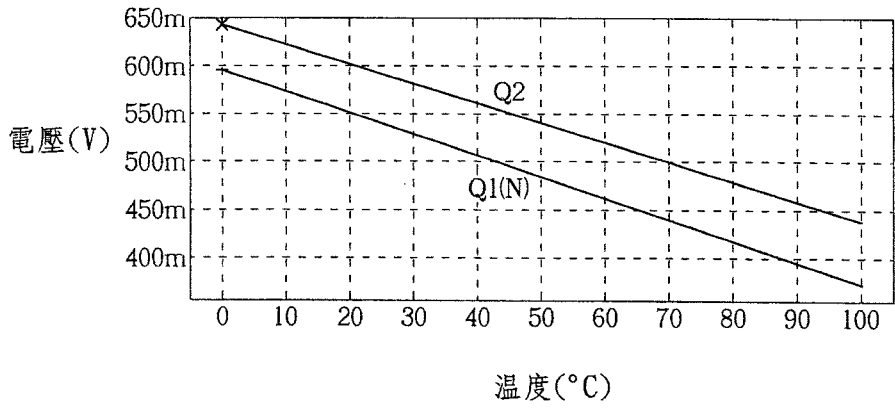


圖二

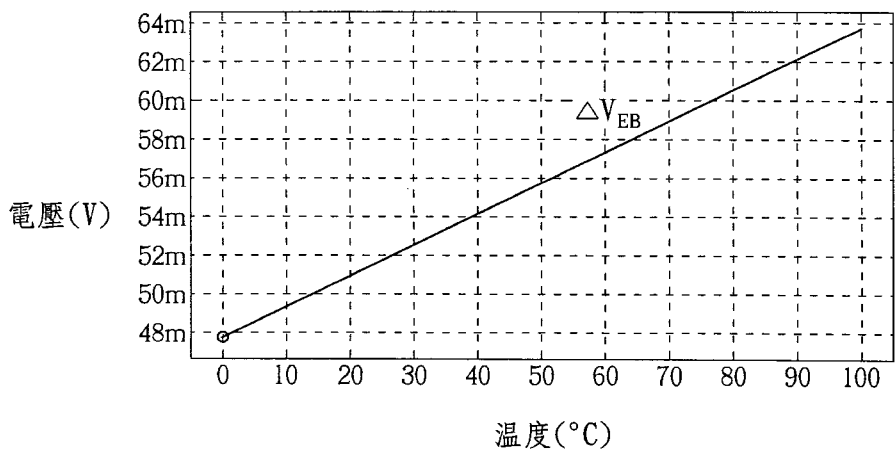


圖三

(7)

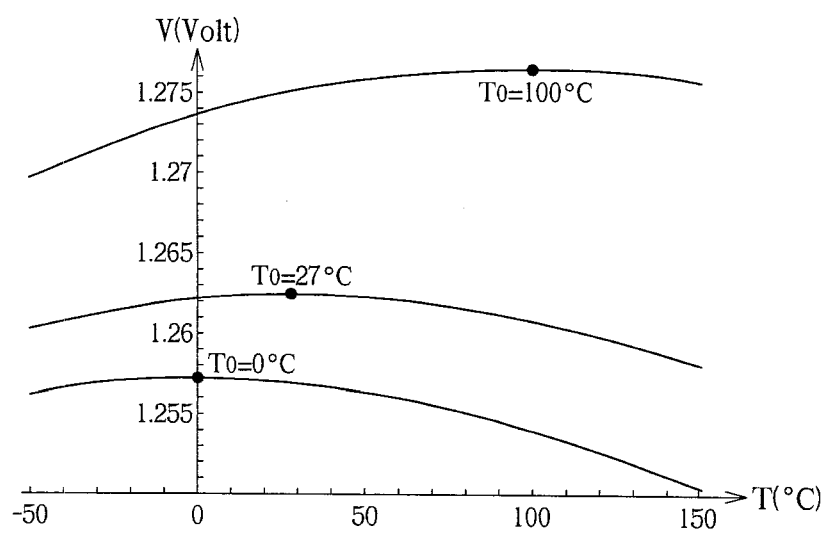


圖四

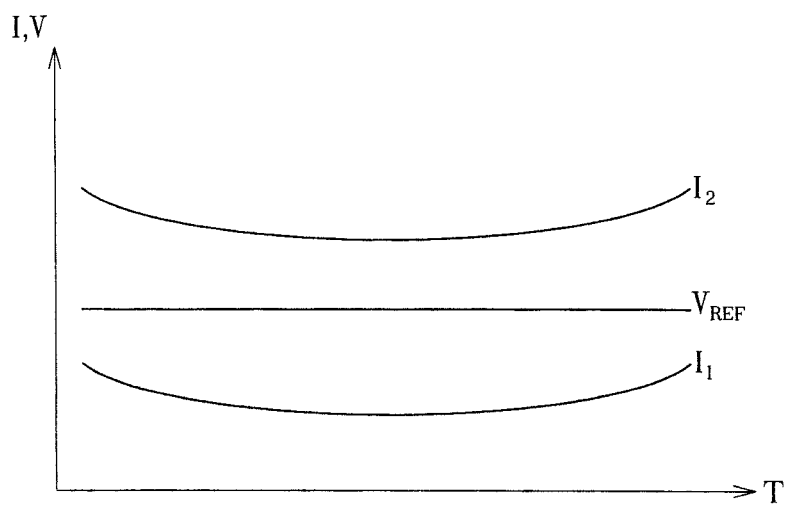


圖五

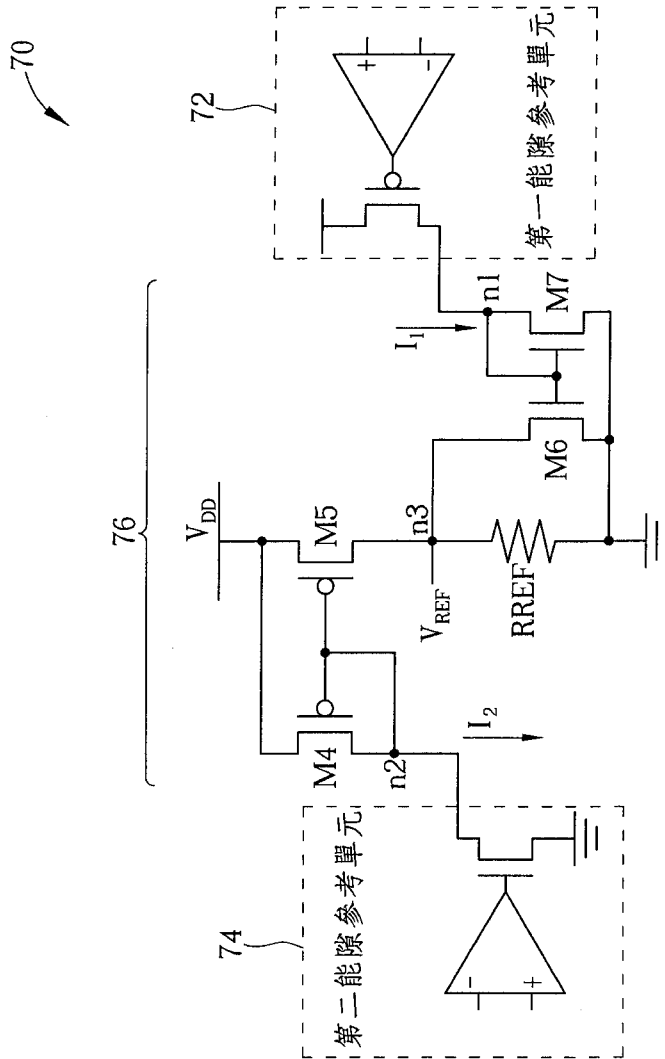
(8)



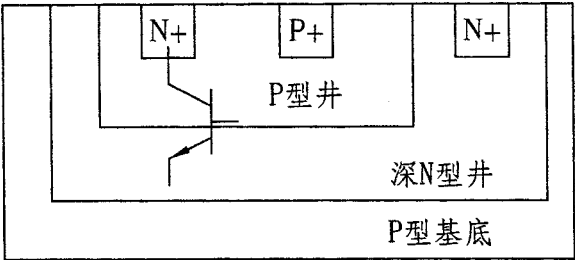
圖六



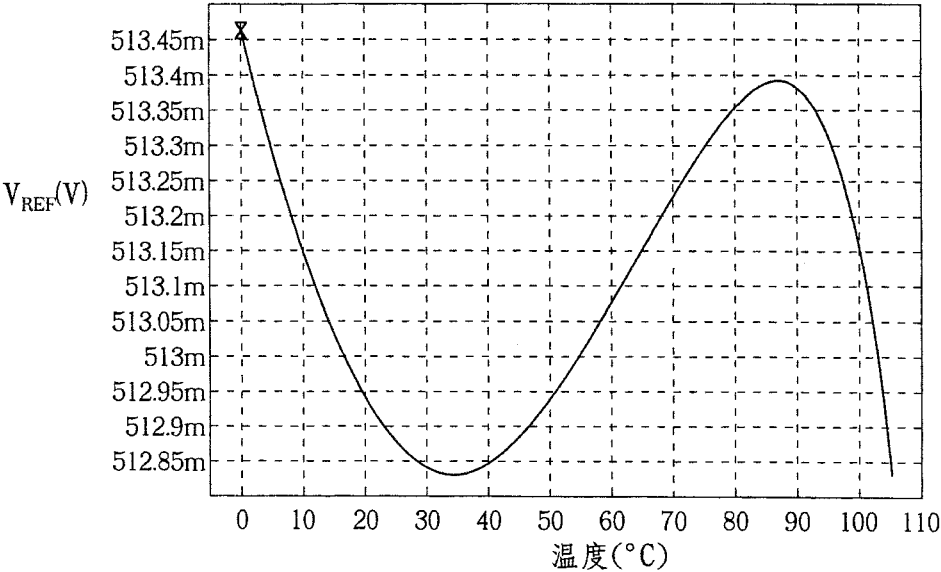
圖八



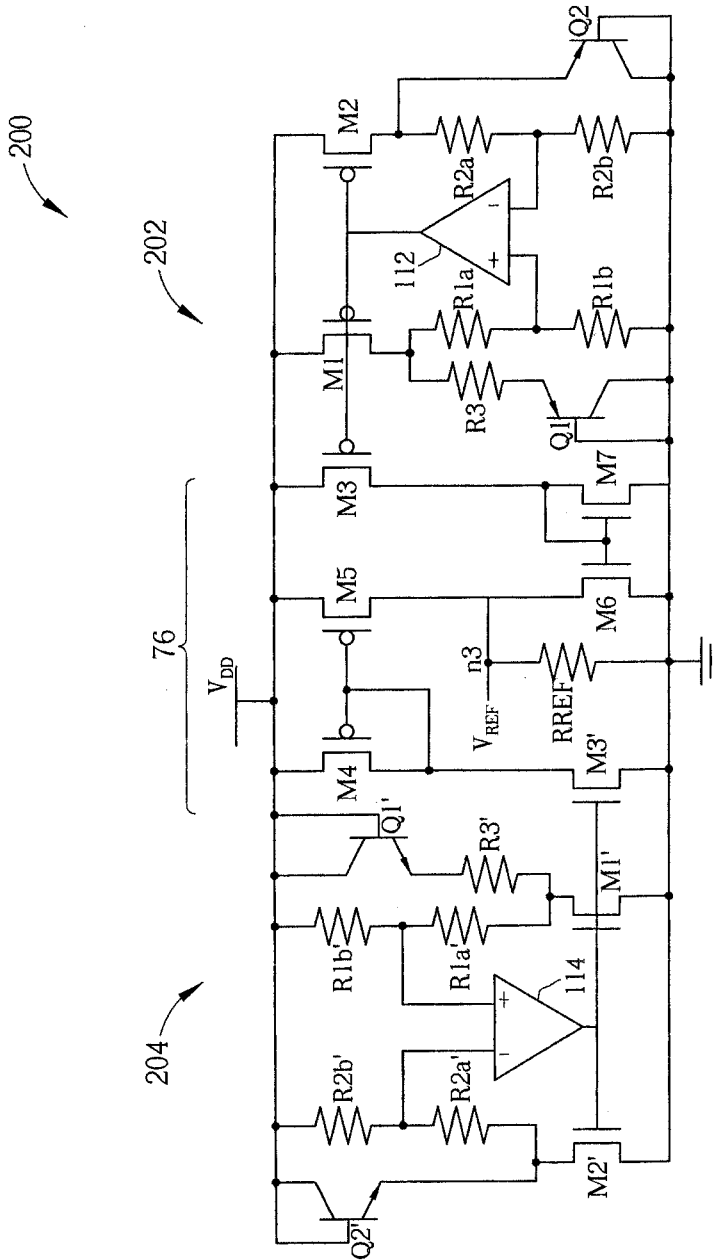
圖七



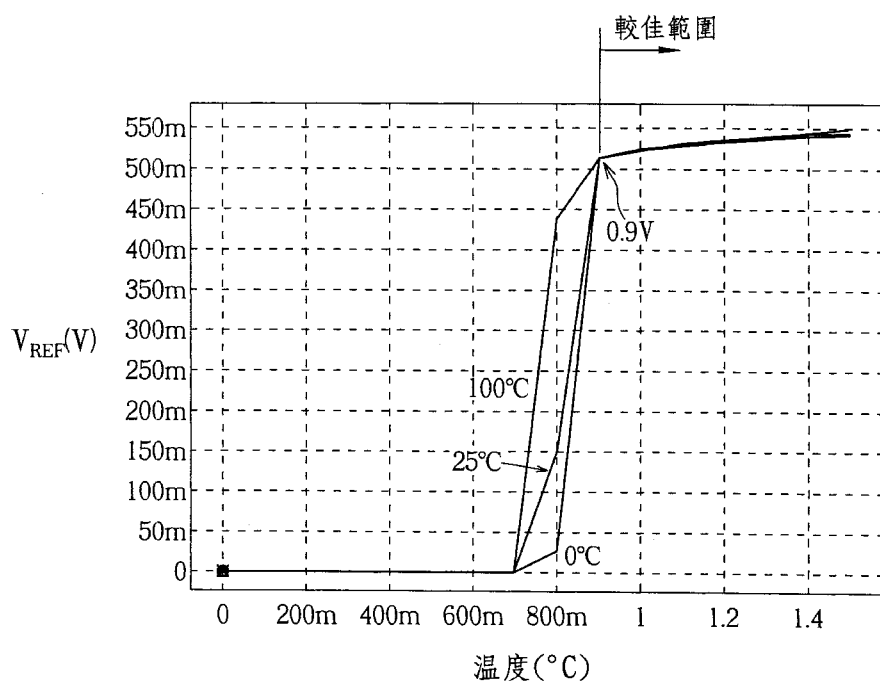
圖九



圖十二



圖十一



圖十三

