

【19】中華民國

【12】專利公報 (B)

【11】證書號數： I233617

【45】公告日： 中華民國 94 (2005) 年 06 月 01 日

【51】Int. Cl.⁷： G11C16/06

發明

全 7 頁

【54】名 稱： 適用於低電壓製程之電荷幫浦電路

【21】申請案號： 093100084

【22】申請日期： 中華民國 93 (2004) 年 01 月 02 日

【72】發明人：

柯明道

蔡佳昇

【71】申請人：

國立交通大學
新竹市大學路1001號

NATIONAL CHIAO TUNG UNIVERSITY

【74】代理人：林火泉 先生

1

2

[57]申請專利範圍：

1.一種適用於低電壓製程之電荷幫浦電路，其係可產生一高於積體電路電壓源之電壓，該電荷幫浦電路係具有n級電壓放大電路，且每一級該電壓放大電路包括：

一對相耦接之第一互補式 MOS 電晶體與第二互補式 MOS 電晶體，該第一互補式 MOS 電晶體連接對應之一第一電容器，以根據輸入該第一電容器之時序信號進行開關操作，且

該第二互補式 MOS 電晶體係連接對應之一第二電容器，以根據輸入該第二電容器之反相時序信號進行開關操作；以及

5. 二個二極體元件，分別連接至該第一與第二互補式 MOS 電晶體之閘極，以便引導電荷流至下一層級或輸出。

2.如申請專利範圍第1項所述之電荷幫浦電路，其中該第一互補式 MOS 電

晶體係由一 NMOS 電晶體及一 PMOS 電晶體所組成者。

- 3.如申請專利範圍第1項所述之電荷幫浦電路，其中該第二互補式 MOS 電晶體係由一 NMOS 電晶體及一 PMOS 電晶體所組成者。
- 4.如申請專利範圍第2或第3項所述之電荷幫浦電路，其中每一該互補式 MOS 電晶體之 NMOS 電晶體的源極係連接至電壓輸入端點，而該 PMOS 電晶體的源極則接至下一級的電壓輸入端點，且該 NMOS 電晶體與該 PMOS 電晶體之汲極則連接於耦合電容器上。
- 5.如申請專利範圍第1項所述之電荷幫浦電路，其中該二極體元件係用來使累積於該互補式 MOS 電晶體閘極之電荷只能沿著單一方向流動。
- 6.如申請專利範圍第1項所述之電荷幫浦電路，其中該時序信號與該反相時序信號係由一時序產生器所產生者。
- 7.一種適用於低電壓製程之電荷幫浦電路，其係可產生一高於積體電路電壓源之電壓，該電荷幫浦電路係至少包括：

複數級彼此串接之電壓放大電路，每一級該電壓放大電路係具有一對相耦接之第一互補式 MOS 電晶體與第二互補式 MOS 電晶體，該第一互補式 MOS 電晶體連接對應之一第一電容器，以根據輸入該第一電容器之時序信號進行開關操作，且該第二互補式 MOS 電晶體係連接對應之一第二電容器，以根據輸入該第二電容器之反相時序信號進行開關操作；以及

複數個二極體元件，分別連接至複數級該放大電路中之該第一與第二互補式 MOS 電晶體之閘極，以便引

導電荷流至下一層級或輸出。

- 8.如申請專利範圍第7項所述之電荷幫浦電路，其中每一該第一互補式 MOS 電晶體係由一 NMOS 電晶體及一 PMOS 電晶體所組成者。
5. 9.如申請專利範圍第7項所述之電荷幫浦電路，其中每一該第二互補式 MOS 電晶體係由一 NMOS 電晶體及一 PMOS 電晶體所組成者。
10. 10.如申請專利範圍第8或第9項所述之電荷幫浦電路，其中每一該互補式 MOS 電晶體之 NMOS 電晶體的源極係連接至電壓輸入端點，而該 PMOS 電晶體的源極則接至下一級的電壓輸入端點，且該 NMOS 電晶體與該 PMOS 電晶體之汲極則連接於耦合電容器上。
15. 11.如申請專利範圍第7項所述之電荷幫浦電路，其中該二極體元件係用來使累積於該互補式 MOS 電晶體閘極之電荷只能沿著單一方向流動。
20. 12.如申請專利範圍第7項所述之電荷幫浦電路，其中該時序信號與該反相時序信號係由一時序產生器所產生者。
25. 13.如申請專利範圍第7項所述之電荷幫浦電路，其中相鄰二級該電壓放大電路的操作係藉由二組相反之時序信號來控制之。
30. 圖式簡單說明：

第一圖為習知電荷幫浦電路之一實施例示意圖。

第二(a)圖及第二(b)圖分別為習知電荷幫浦電路之另一實施例示意圖及其電壓信號示意圖。

第三(a)圖及第三(b)圖分別為本發明之電荷幫浦電路示意圖及其電壓信號示意圖。

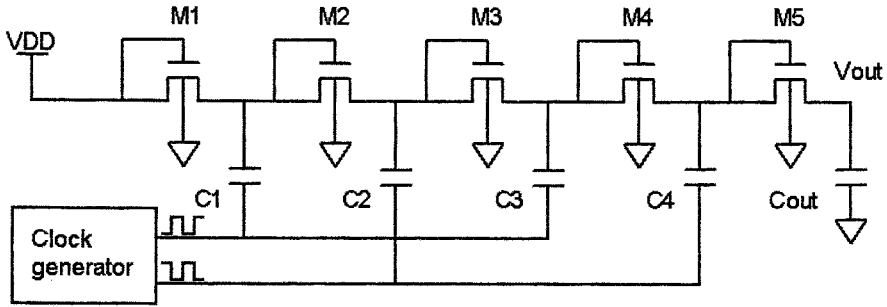
第四(a)圖及第四(b)圖為本發明在
40. 電荷幫浦電路中之各節點的波形示意

圖。

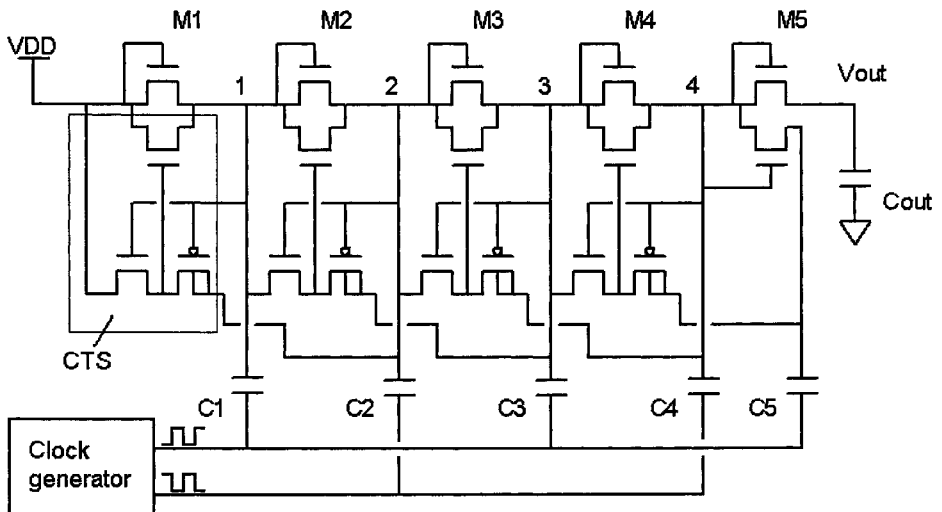
第五圖為本發明與先前技術在不同輸出電流下之輸出電壓的曲線示意

圖。

第六圖為本發明與先前技術的時間與輸出電壓的曲線示意圖。

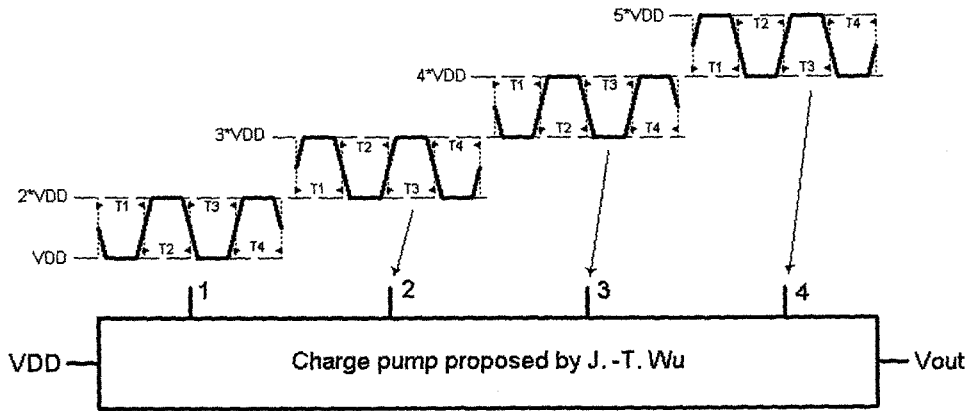


第一圖

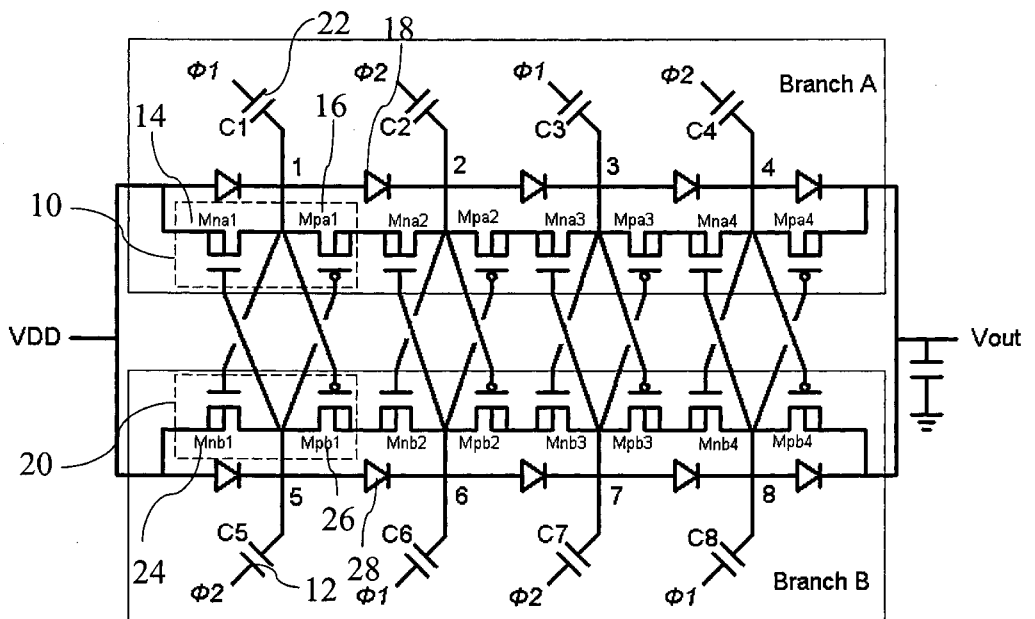


第二(a)圖

(4)

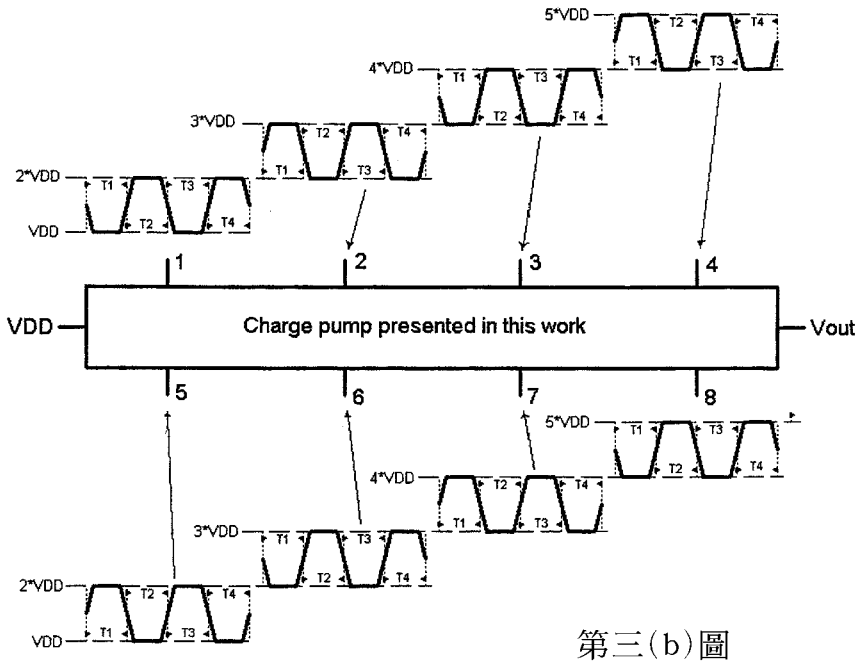


第二(b)圖

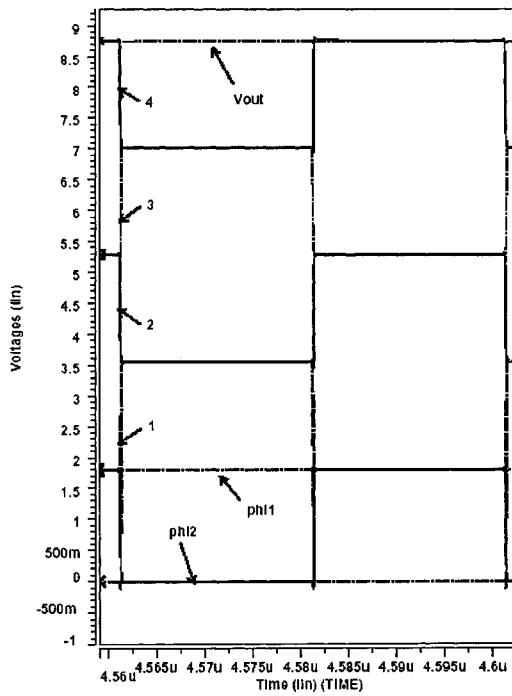


第三(a)圖

(5)

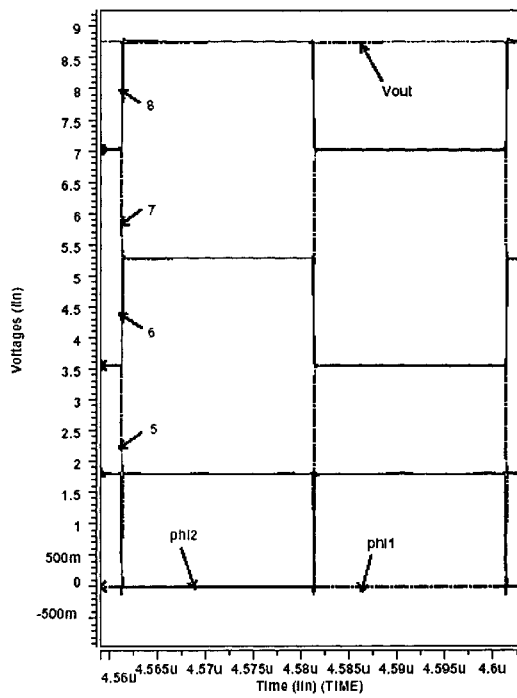


第三(b)圖

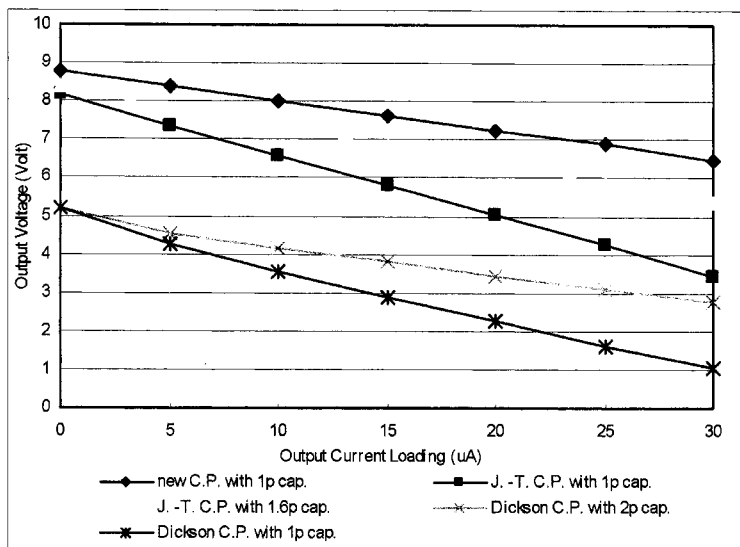


第四(a)圖

(6)

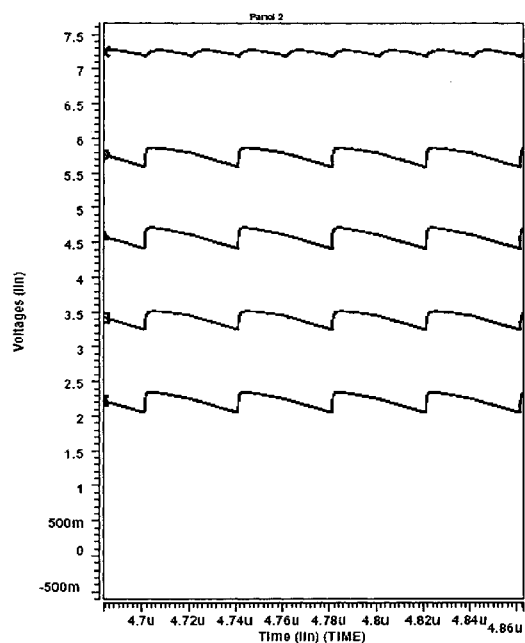


第四(b)圖



第五圖

(7)



第六圖

