

【19】中華民國

【12】專利公報 (B)

【11】證書號數： I233688

【45】公告日： 中華民國 94 (2005) 年 06 月 01 日

【51】Int. Cl.⁷: H01L27/02

發明

全 18 頁

【54】名 稱： 具有低基座漏電特性之二極體結構以及其應用

DIODE STRUCTURE WITH LOW SUBSTRATE LEAKAGE CURRENT
AND APPLICATIONS THEREOF

【21】申請案號： 093126050

【22】申請日期： 中華民國 93 (2004) 年 08 月 30 日

【72】發 明 人：

陳子平

CHEN, ZI PING

柯明道

KER, MING DOU

【71】申請人：

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH
INSTITUTE

新竹縣竹東鎮中興路4段195
號

【74】代理人：

1

2

[57]申請專利範圍：

1.一種具有低基座漏電(substrate leakage current)特性之二極體(diode)結構，包含有：

一半導體基底，為一第一導電型；

一埋藏摻雜層，為與該第一導電型相反之一第二導電型，設於該半導體基底上；

一井區，為該第一導電型，設於該埋藏摻雜層上；

一埋藏連接區，為該第二導電型，

設於該埋藏摻雜層上，接觸且連接該埋藏摻雜層；

二絕緣隔絕區，分別設於該埋藏摻雜層之兩側，各具有一底部，低於該埋藏摻雜層，其中，該等絕緣隔絕區與該埋藏摻雜層將該井區以及該埋藏連接區與該半導體基底隔絕；以及

一第一表面摻雜區，為該第二導電型，設於該井區上，以作為該二極

體之一第一電極；

其中，該埋藏連接區與該井區係電連接在一起，做為該二極體之一第二電極。

- 2.如申請專利範圍第1項所述之二極體結構，其中，每一絕緣隔絕區包含有：
 - 一深溝(deep trench)，具有該底部；
 - 以及
 - 一淺溝(Shallow trench)，疊設於該深溝上，其底部比該深溝之底部淺。
- 3.如申請專利範圍第1項所述之二極體結構，該二極體結構另包含有一第二表面摻雜區，為該第一導電型，設於該井區上，與該第一表面摻雜區隔絕，作為該井區之一電接觸點。
- 4.如申請專利範圍第3項所述之二極體結構，該二極體結構另包含有一淺溝，設於該第一表面摻雜區與該第二表面摻雜區之間。
- 5.如申請專利範圍第3項所述之二極體結構，該二極體結構另包含有一擬置(dummy)閘結構(gate)，設於該第一表面摻雜區與該第二表面摻雜區之間，其中，該擬置閘結構具有一閘導電物，該閘導電物具有一第一導電型部分以及一第二導電型部分。
- 6.如申請專利範圍第1項所述之二極體結構，該二極體結構另包含有一第三表面摻雜區，為該第二導電型，設於該埋藏連接區上，與該第一表面摻雜區隔絕，作為該埋藏摻雜層以及該埋藏連接區之一電接觸點。
- 7.如申請專利範圍第6項所述之二極體結構，該二極體另包含有一淺溝，設於該第二表面摻雜區與該第三表面摻雜區之間。
- 8.如申請專利範圍第6項所述之二極體結構，該二極體結構另包含有一擬

置(dummy)閘結構(gate)，設於該第二表面摻雜區與該第三表面摻雜區之間，其中，該擬置閘結構具有一閘導電物，該閘導電物具有一第一導電型部分以及一第二導電型部分。

5. 9.如申請專利範圍第6項所述之二極體結構，其中，該二極體結構另包含有一第二表面摻雜區，為該第一導電型，設於該井區上，與該第一表面摻雜區隔絕，該第二表面摻雜區係與該第三表面摻雜區直接接觸。
10. 10.如申請專利範圍第1項所述之二極體結構，其中，該埋藏連接區係為一沉接區(sinker)。
15. 11.一種靜電放電防護電路，包含有：
 - 至少一低基座漏電流之二極體，其結構包含有：
 - 一半導體基底，為一第一導電型；
 - 一埋藏摻雜層，為與該第一導電型相反之一第二導電型，設於該半導體基底上；
 - 一井區，為該第一導電型，設於該埋藏摻雜層上；
 - 一埋藏連接區，為該第二導電型，設於該埋藏摻雜層上，接觸該埋藏摻雜層；
 - 二絕緣隔絕區，分別設於該埋藏摻雜層之兩側，各具有一底部，低於該埋藏摻雜層，其中，該等絕緣隔絕區與該埋藏摻雜層將該井區以及該埋藏連接區與該半導體基底隔絕；以及
 - 一第一表面摻雜區，為該第二導電型，設於該井區上，以作為該二極體之一第一電極；
 - 其中，該埋藏連接區與該井區係電連接在一起，做為該二極體之一第二電極；
 - 一第一金屬線，電耦接至該第一電極；以及
- 40.

一第二金屬線，電耦接至該第二電極；

其中，該第一金屬線與該第二金屬線其中之一係為一第一電源線。

12.如申請專利範圍第11項所述之靜電放電防護電路，其中，該第一金屬線與該第二金屬線其中之另一係為一第二電源線。

13.如申請專利範圍第11項所述之靜電放電防護電路，其中，該第一金屬線與該第二金屬線其中之另一係電連接至一輸出焊墊(Input/output pad)。

14.如申請專利範圍第11項所述之靜電放電防護電路，其中，該靜電放電防護電路具有複數低基座漏電流二極體，順向串接成一二極體串(diode string)，具有一第一主電極以及一第二主電極，該第一金屬線係電耦接至該第一主電極，該第二金屬線係電耦接至該第二主電極，且於正常操作時，該等低基座漏電流二極體係為順向偏壓。

15.如申請專利範圍第14項所述之靜電放電防護電路，其中，該靜電放電防護電路具有另一低基座漏電流二極體，耦接於該第一金屬線以及該第二金屬線之間，且於正常操作時，係為逆向偏壓。

16.如申請專利範圍第14項所述之靜電放電防護電路，其中，該靜電放電防護電路另包含有：

一主靜電放電元件，電連接於該第一金屬線以及該第二金屬線之間，具有一觸發端；以及

一電阻，透過一連接點與該二極體串連接，該二極體串與該電阻係串接於該第一金屬線以及該第二金屬線之間，該連接點係連接至該主靜電放電元件之該觸發端。

17.如申請專利範圍第16項所述之靜電放電防護電路，其中，該主靜電放電元件係為一場氧化層金氧半電晶體(field oxide MOS transistor)，該觸發端係為寄生於該場氧化層電晶體中之一雙極性接面電晶體(BJT)之一基極(base)，該電阻係為該基極至該半導體基底之一接觸點的一展阻(spread resistor)。

10. 圖式簡單說明：

第1圖是一傳統P重摻雜/N型井(P+/NW)二極體的側面結構。

第2圖顯示一傳統的二極體串。

15. 第3圖是一種習知解決二極體串之基座漏電的電路架構。

第4圖是一種已知的改良式二極體結構所構成的二極體串。

第5圖是另一種已知的改良式二極體結構所構成的二極體串。

20. 第6圖為一習知的適用於BiCOMS製程的二極體結構。

第7圖為依據本發明實施的一二極體結構。

25. 第8圖為依據本發明實施之另一二極體結構。

第9圖為依據本發明實施之另一二極體結構。

第10圖為運用第7圖的二極體結構之一二極體串。

30. 第11圖以及第12圖為分別運用第8圖以及第9圖的二極體結構之二極體串。

第13A圖以及第13B圖分別顯示依據本發明所實施的二極體結構以及二極體串之代表圖案。

35. 第14圖為一依據本發明的輸出入埠靜電放電防護電路。

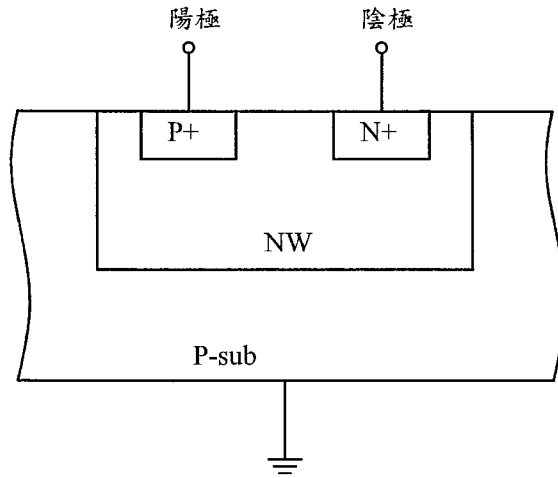
第15圖為另一依據本發明的輸出入埠靜電放電防護電路。

40. 第16圖為一依據本發明的電源線

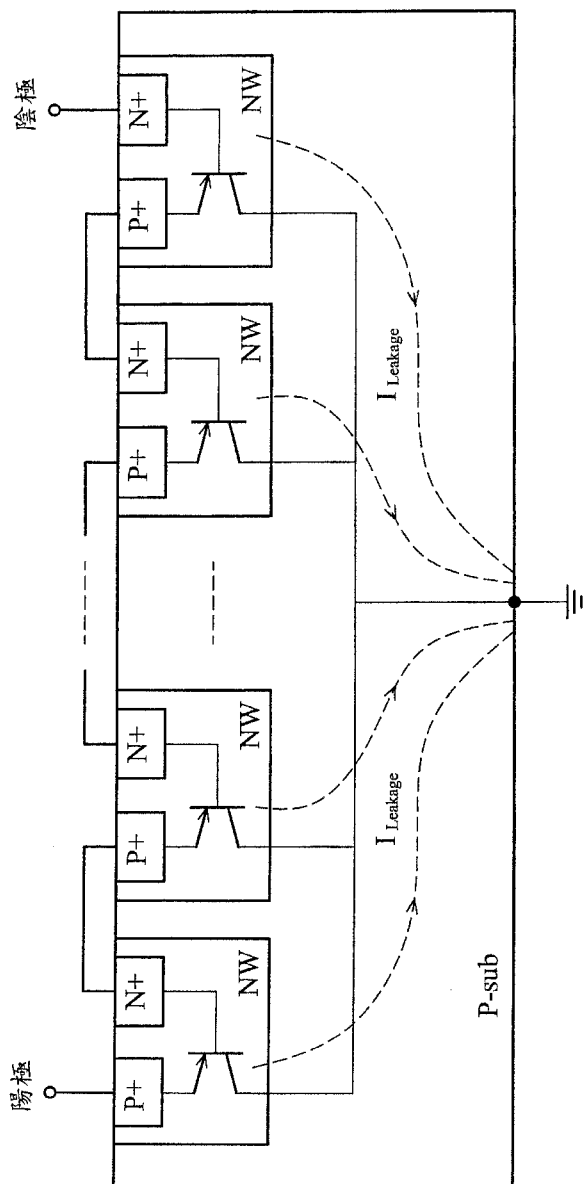
間之靜電放電防護電路。

第 17 圖為另一依據本發明的電源線間之靜電放電防護電路。

第 18 圖為第 17 圖實作於晶片上的一實施例。

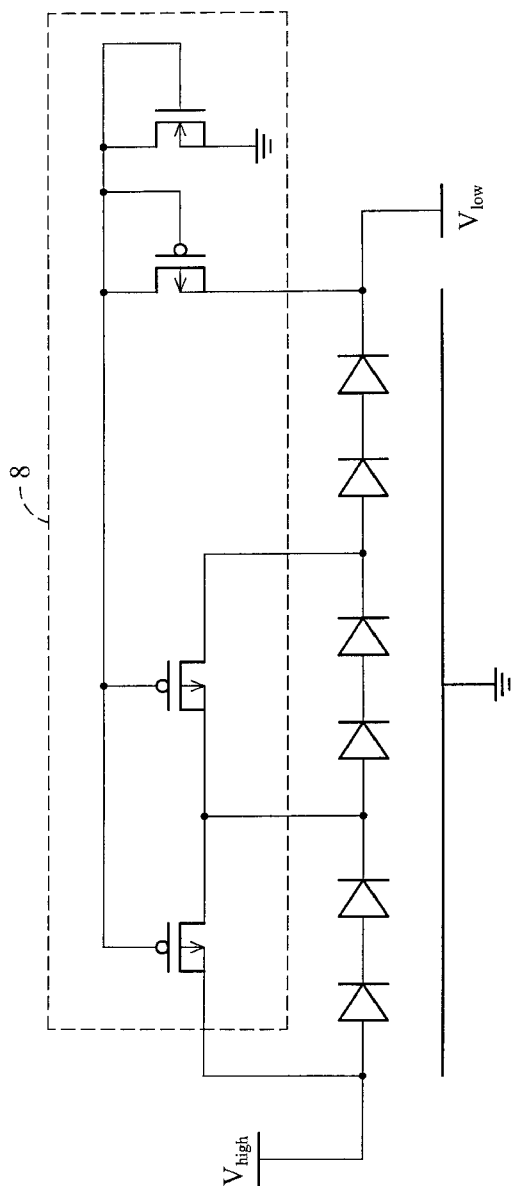


第 1 圖

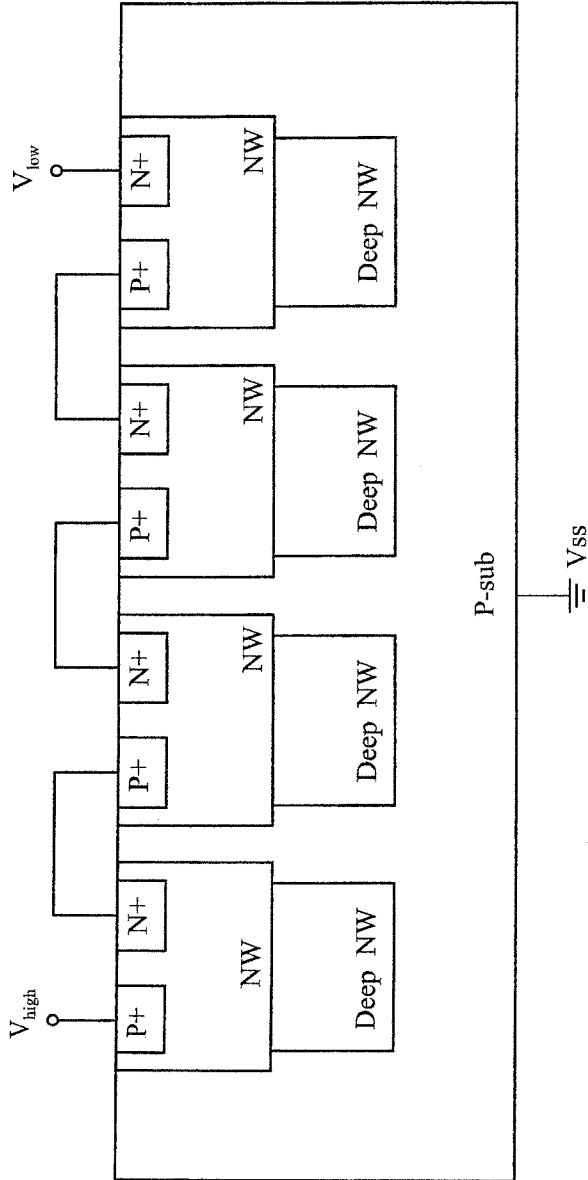


第 2 圖

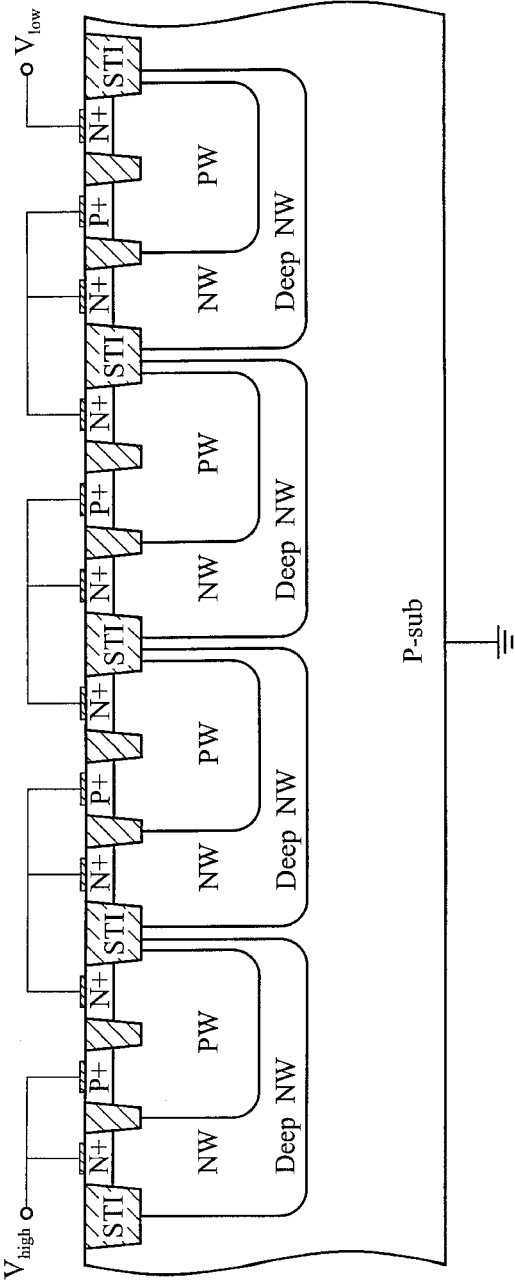
(6)



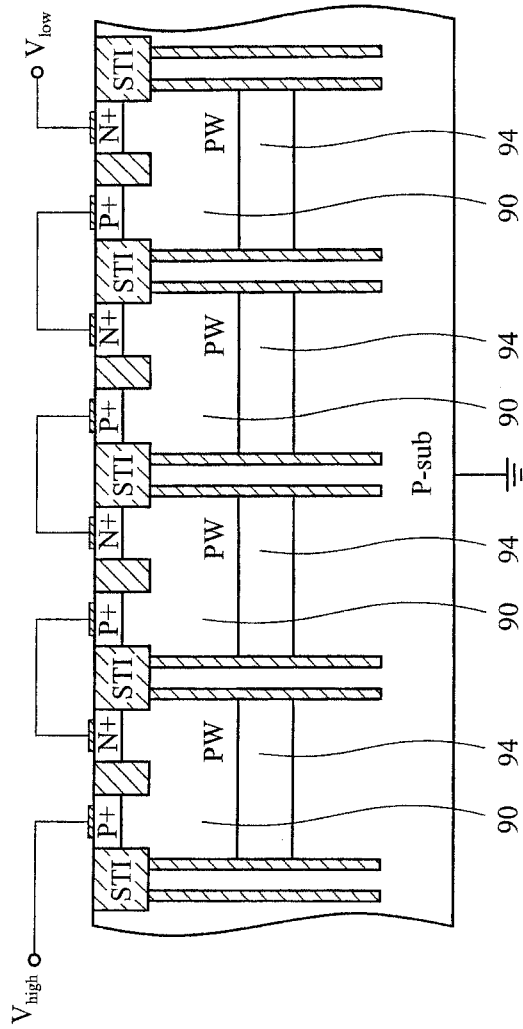
第3圖



第 4 圖



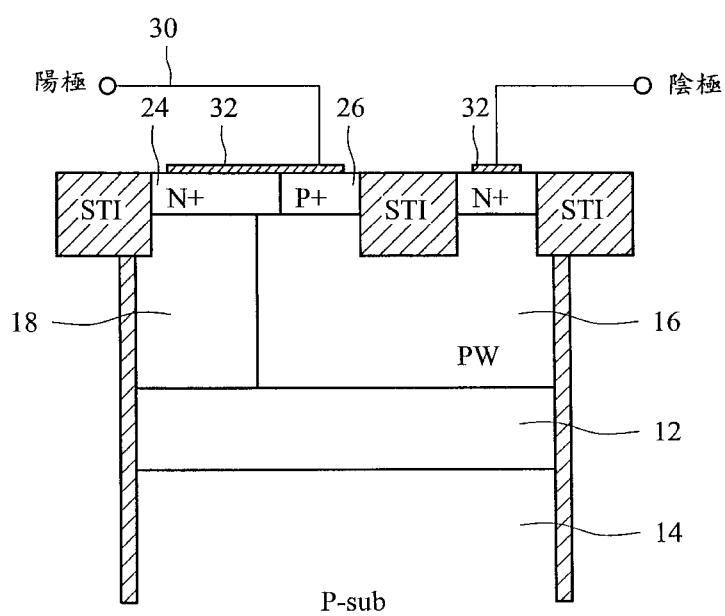
第 5 圖



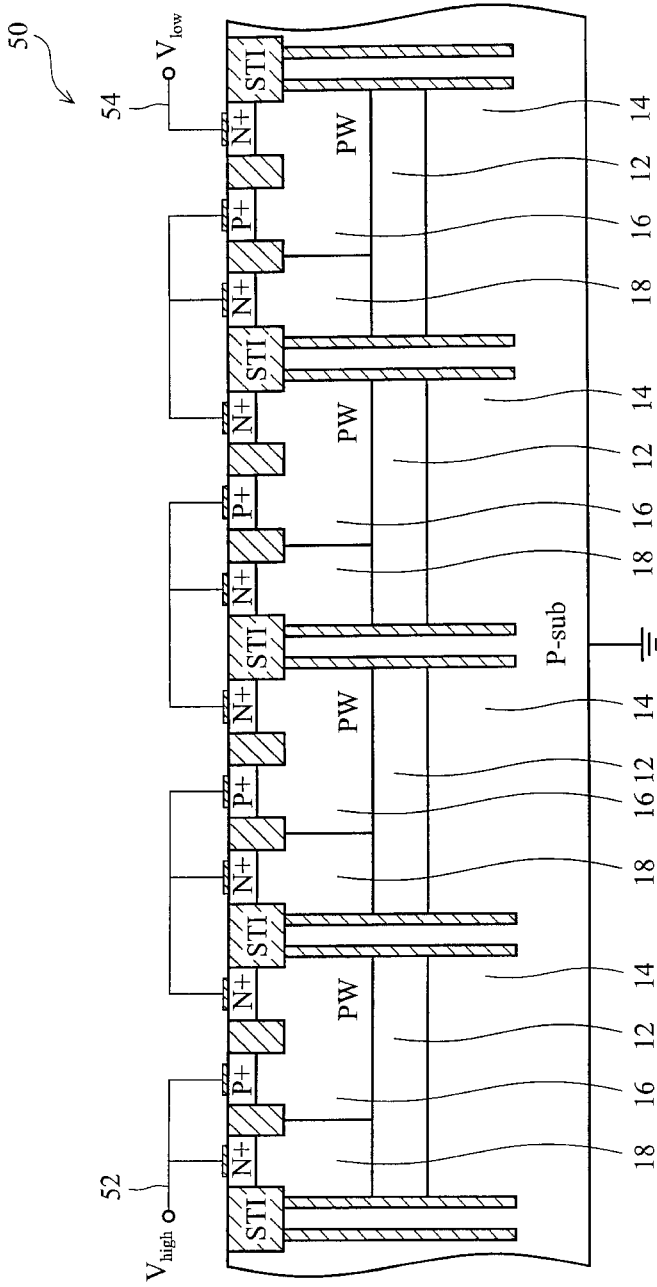
第 6 圖

[illegible]

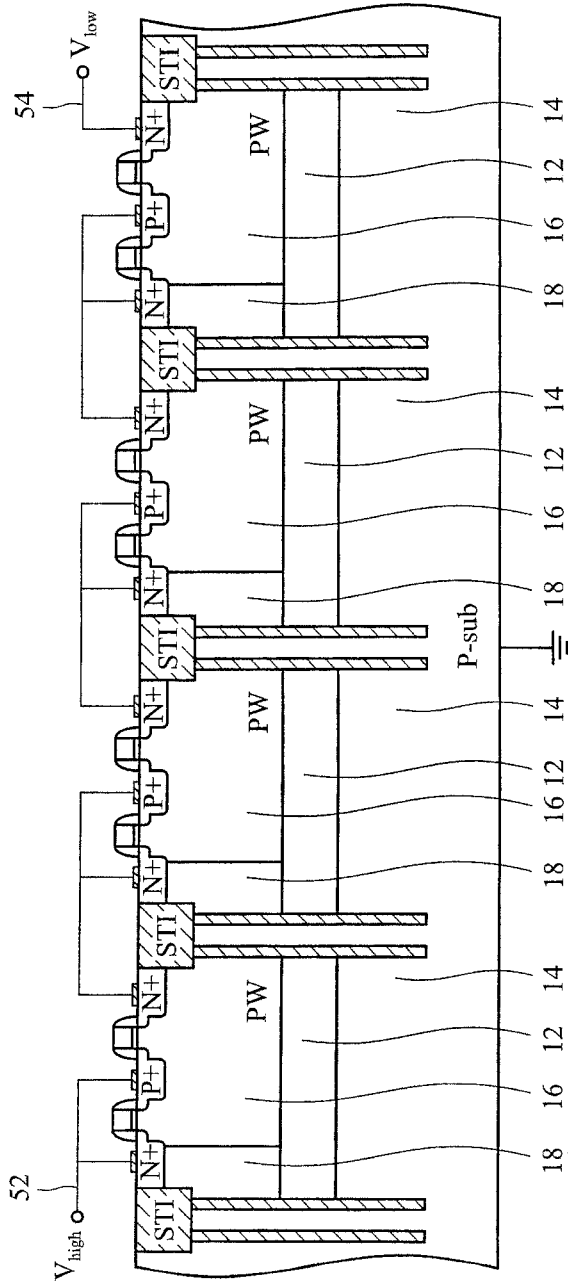
– 3184 –



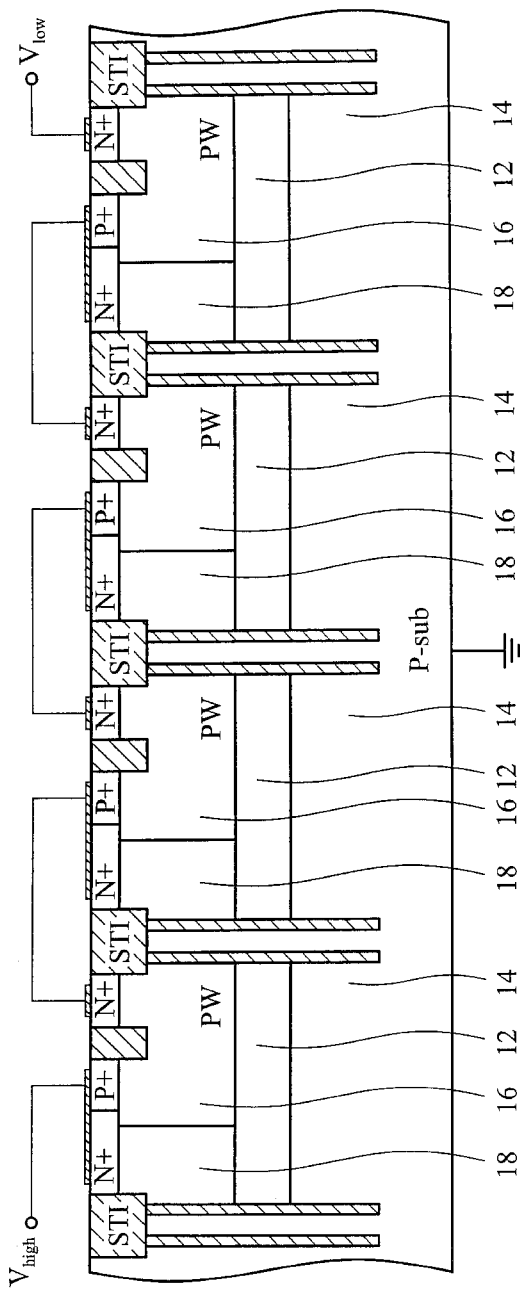
第 9 圖



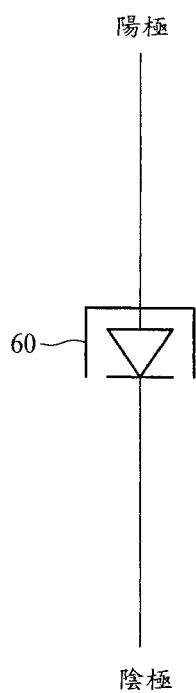
第 10 圖



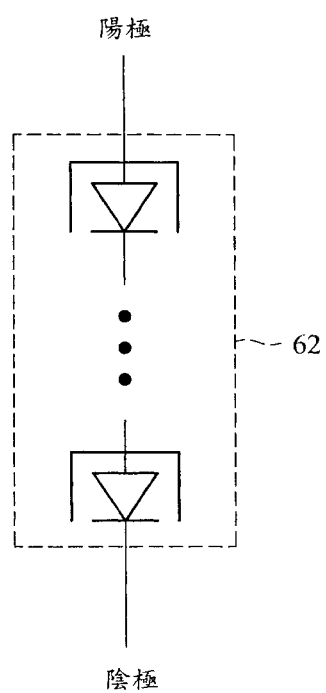
第 11 圖



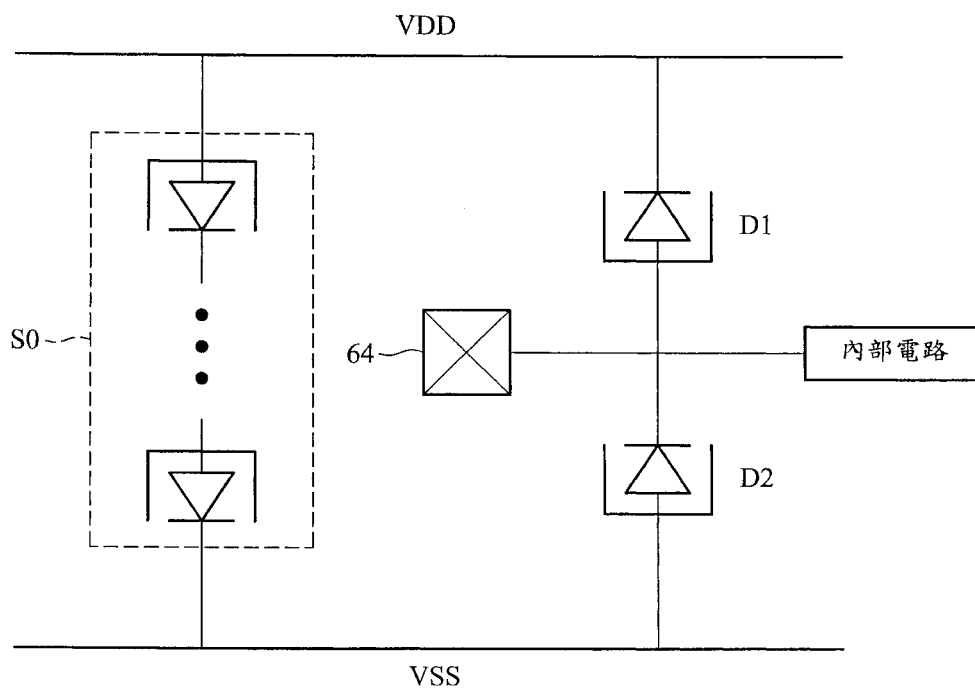
第12圖



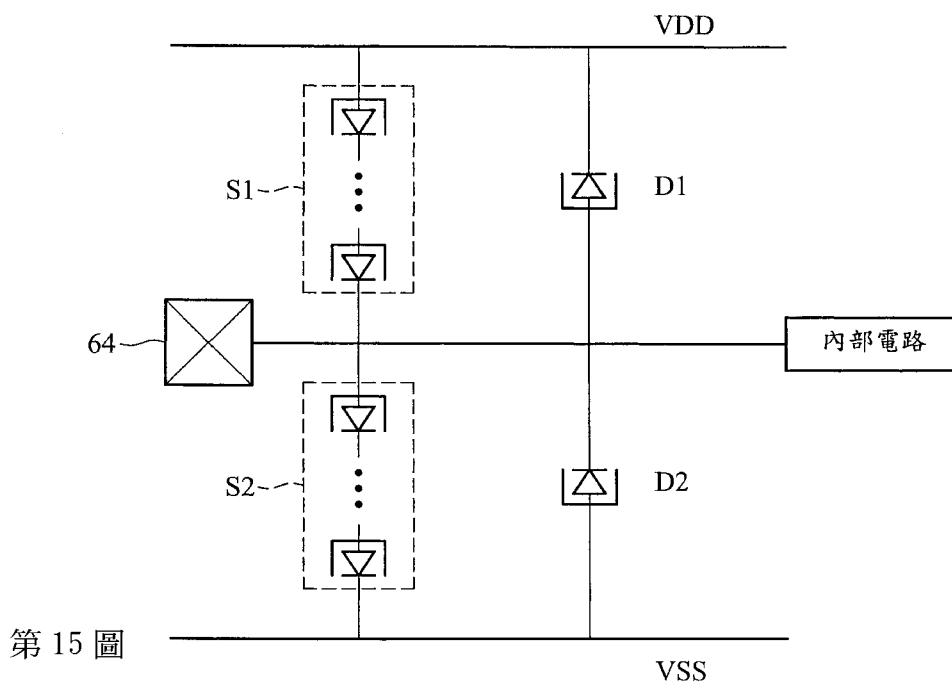
第 13A 圖



第 13B 圖

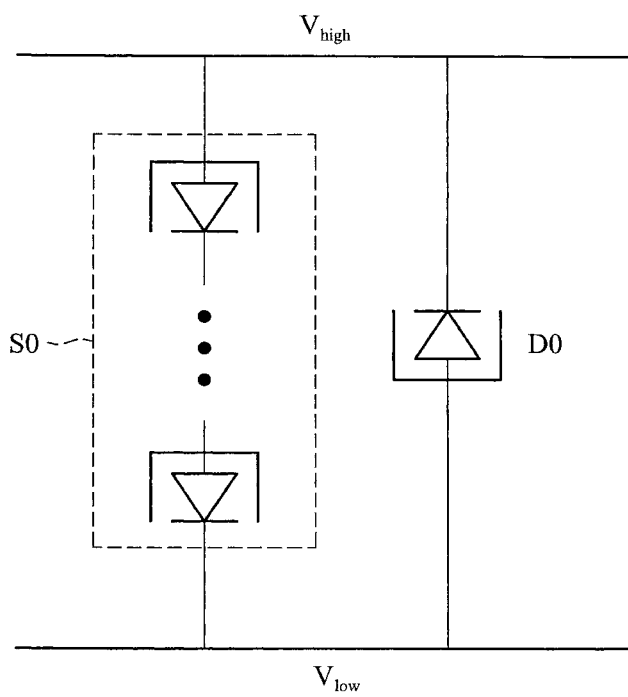


第 14 圖

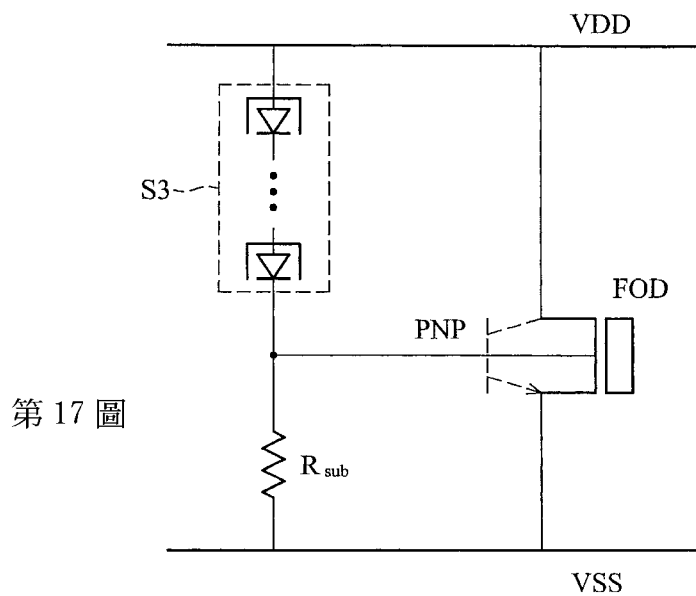


第 15 圖

(17)



第 16 圖



第 17 圖

