

【19】中華民國

【12】專利公報 (B)

【11】證書號數： I234926

【45】公告日： 中華民國 94 (2005) 年 06 月 21 日

【51】Int. Cl.⁷： H03K17/14

發明

全 11 頁

【54】名稱： 低電壓能隙電壓參考源

LOW-VOLTAGE BANDGAP REFERENCE

【21】申請案號： 093112066

【22】申請日期： 中華民國 93 (2004) 年 04 月 29 日

【72】發明人：

柯明道

KER, MING DOU

儲青雲

CHU, CHING YUN

羅文裕

LO, WEN YU

【71】申請人：

矽統科技股份有限公司

SILICON INTEGRATED SYSTEMS
CORP.

新竹市新竹科學工業園區研
新一路16號

【74】代理人：許鍾迪 先生

1

2

[57]申請專利範圍：

1. 一種能隙電壓參考源電路，其包含：
一運算放大器(62，82)，其具有一
正輸入端，一負輸入端，以及一輸
出端；

一第一電晶體(M1，M1')，其具有
一源極，連接至一第一電壓，以及
一汲極，連接至該正輸入端且該汲
極與該正輸入端分別經由一第一電
阻(R3)連接至一第一節點(n1)；

一第二電晶體(M2，M2')，其具有

一源極，連接至該第一電壓，以及
一汲極經由一第二電阻(R4)連接至一
第二節點(n2)，該第二節點(n2)係連
接至該負輸入端，該第二電晶體
(M2，M2')之一閘極係連接至該第
一電晶體(M1，M1')之一閘極以及
該運算放大器(62，82)之該輸出
端；

一第三電阻(R1a)與一第四電阻
(R1b)，該第三電阻與該第四電阻係

串聯連接於該第一節點(n1)，該第三與第四電阻(R1a，R1b)在一第一電流源(I1)與一第二電壓之間與一第一二極體(Q1，Q1')做並聯連接；以及

一第五電阻(R2a)與一第六電阻(R2b)於該第二節點(n2)做串聯連接，該第五與第六電阻(R2a，R2b)在一第二電流源(I2)與該第二電壓之間與一第二二極體(Q2，Q2')做並聯連接。

2.如申請專利範圍第1項所述之能隙電壓參考源電路，其中該第一與第二電晶體(M1，M2)為PNP電晶體，該第一與第二二極體(Q1，Q2)為雙載子PNP電晶體，其集極與基極係連接至該第二電壓，即接地端，且其射極分別被連接至該第一與第二電流源(I1，I2)，且該第一電壓係高於接地端。

3.如申請專利範圍第2項所述之能隙電壓參考源電路，其中該運算放大器(62)包含一第三PNP電晶體(M4)，該第三PNP電晶體之源極係連接至該第一電壓，該第三PNP電晶體之汲極係連接至一第四與一第五PNP電晶體(M5，M6)之源極，該第四與第五PNP電晶體(M5，M6)之汲極分別被連接至一第六與一第七NPN電晶體(M7，M8)之汲極，該第六與第七NPN電晶體(M7，M8)其源極接地且其閘極彼此連接並被連接至該第六NPN電晶體(M7)之汲極。

4.如申請專利範圍第3項所述之能隙電壓參考源電路，其中該第一電壓係在0.85與1.2伏特之間，使得一位於該第二電晶體汲極之輸出參考源電壓介於198與214微伏特(millivolt)之間。

5.如申請專利範圍第1項所述之能隙電壓參考源電路，其中該第一與第二

電晶體(M1'，M2')為NPN電晶體，該第一與第二二極體(Q1'，Q2')為雙載子NPN電晶體，該第一與該第二二極體之集極與基極係連接至該第二電壓，且該第二電壓係設定為高於接地端，該第一與該第二二極體之射極係分別連接至該第一與第二電流源(I1，I2)，且該第一電壓為接地。

5. 6.如申請專利範圍第5項所述之能隙電壓參考源電路，其中該運算放大器(82)包含一第三NPN電晶體(M4')，該第三NPN電晶體之源極係接地，該第三NPN電晶體之汲極係連接至一第四與一第五NPN電晶體(M5'，M6')之源極，該第四與第五NPN電晶體(M5'，M6')之汲極分別連接至一第六與一第七PNP電晶體(M7'，M8')之汲極，該第六與第七PNP電晶體(M7'，M8')之源極係連接至該第二電壓且其閘極彼此連接並被連接至該第六PNP電晶體(M7')之汲極。

20. 7.如申請專利範圍第6項所述之能隙電壓參考源電路，其中該第二電壓係在0.85與1.2伏特之間，使得一位於該第二電晶體汲極之輸出參考源電壓介於198與214微伏特之間。

25. 8.一能隙電壓參考源電路，其包含：
30. 一運算放大器(62)，其具有一正輸入端，一負輸入端，以及一輸出端；
一第一PNP電晶體(M)，其具有一源極與一汲極，該源極係連接至一第一電壓，該第一電壓係高於接地端，該汲極係連接至該正輸入端，且該汲極與該正輸入端分別經由一第一電阻(R3)連接至一第一節點(n1)；

35. 一第二PNP電晶體(M2)，其具有一源極與一汲極，該源極係連接至該
40.

第一電壓，該汲極經由一第二電阻(R4)被連接至一第二節點(n2)，該第二節點(n2)係連接至該負輸入端，該第二電晶體(M2)之一閘極係連接至該第一電晶體(M1)之一閘極與該運算放大器(82)之該輸出端；

一第三電阻(R1a)與一第四電阻(R1b)於該第一節點(n1)做串聯連接，該第三與第四電阻(R1a, R1b)在一第一電流源(I1)與一接地端之間與一第一二極體(Q1)做並聯連接；以及
一第五電阻(R2a)與一第六電阻(R2b)於該第二節點(n2)做串聯連接，該第五與第六電阻(R2a, R2b)在一第二電流源(I2)與該接地端之間與一第二二極體(Q2)做並聯連接。

9.如申請專利範圍第8項所述之能隙電壓參考源電路，其中該第一與第二二極體(Q1, Q2)為雙載子PNP電晶體，其集極與基極係連接至接地端，且其射極係分別連接至該第一與第二電流源(I1, I2)。

10.如申請專利範圍第9項所述之能隙電壓參考源電路，其中該運算放大器(62)包含一第三PNP電晶體(M4)，其具有一源極以及一汲極，該源極係連接至該第一電壓，該汲極係連接至一第四與一第五PNP電晶體(M5, M6)之源極，該第四與第五PNP電晶體(M5, M6)之汲極係分別連接至一第六與一第七NPN電晶體(M7, M8)之汲極，該第六與第七NPN電晶體(M7, M8)之源極接地，且該第六與第七NPN電晶體之閘極彼此連接並被連接至該第六NPN電晶體(M7)之汲極。

11.如申請專利範圍第10項所述之能隙電壓參考源電路，其中該第二電壓係在0.85與1.2伏特之間，使得一位於該第二電晶體汲極之輸出參考源

電壓介於198與214微伏特之間。

12.一能隙電壓參考源電路，其包含：
一運算放大器(82)具有一正輸入端，一負輸入端，以及一輸出端；

5. 一第一NPN電晶體(M1')，其具有一接地之源極以及一汲極，該汲極係連接至該正輸入端，且該汲極與該正輸入端分別經由一第一電阻(R3)連接至一第一節點(n1)；

10. 一第二NPN電晶體(M2')，其具有一接地之源極以及一汲極，該汲極係經由一第二電阻(R4)以連接至一第二節點(n2)，該第二節點(n2)係連接至該負輸入端，該第二電晶體(M2')之一閘極係連接至該第一電晶體(M1')之一閘極與該運算放大器(82)之輸出端；

一第三電阻(R1a)與一第四電阻(R1b)於該第一節點(n1)做串聯連接，該第三與第四電阻(R1a, R1b)在一第一電流源(I1)與一第二電壓之間與一第一二極體(Q1')做並聯連接，該第二電壓係設定大致高於接地端；以及
一第五電阻(R2a)與一第六電阻(R2b)於該第二節點(n2)做串聯連接，該第五與第六電阻(R2a, R2b)在一第二電流源(I2)與該第二電壓之間與一第二二極體(Q2')做並聯連接。

13.如申請專利範圍第12項所述之能隙電壓參考源電路，其中該第一與第二二極體(Q1', Q2')為雙載子NPN電晶體，該第一與該第二二極體之集極與基極係連接至該第二電壓，且該第一與該第二二極體之射極分別被連接至該第一與第二電流源(I1, I2)。

14.如申請專利範圍第13項所述之能隙電壓參考源電路，其中該運算放大器(82)包含一第三NPN電晶體(M4')，該第三NPN電晶體具有一接

地之源極與一汲極，該汲極係連接至一第四與一第五 NPN 電晶體 (M5'，M6') 之源極，該第四與第五 NPN 電晶體 (M5'，M6') 之汲極係分別連接至一第六與一第七 PNP 電晶體 (M7'，M8') 之汲極，該第六與第七 PNP 電晶體 (M7'，M8') 之源極係連接至該第二電壓，且該第六與第七 PNP 電晶體閘極彼此連接並被連接至該第六 PNP 電晶體 (M7') 之汲極。

15. 如申請專利範圍第 14 項所述之能隙電壓參考源電路，其中該第二電壓係在 0.85 與 1.2 伏特之間，使得一位於該第二電晶體汲極之輸出參考源電壓介於 198 與 214 微伏特之間。

圖式簡單說明：

圖一為習知之 A 型能隙電壓參考源電路之電路圖。

圖二為習知 B 型能隙電壓參考源

電路之電路圖。

圖三為可在 1V 以下運作之習知 B 型能隙電壓參考源電路之電路圖

圖四為二極體 Q1、Q2 之基極-射極電壓相對於溫度之圖示。

圖五為二極體 Q1、Q2 之基極-射極電壓差相對於溫度之圖示。

圖六為本發明第一實施例之電壓參考源電路之電路圖。

10. 圖七為用於圖六之運算放大器之電路圖。

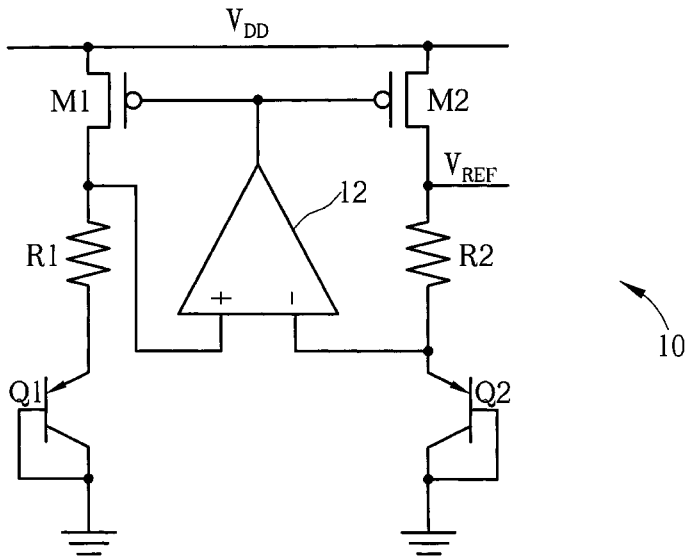
圖八為本發明之一第二實施例之電路圖。

15. 圖九為用於圖八之運算放大器之電路圖。

圖十為固定供應電壓 V_{DD} 下參考源電壓 V_{REF} 對溫度之圖示。

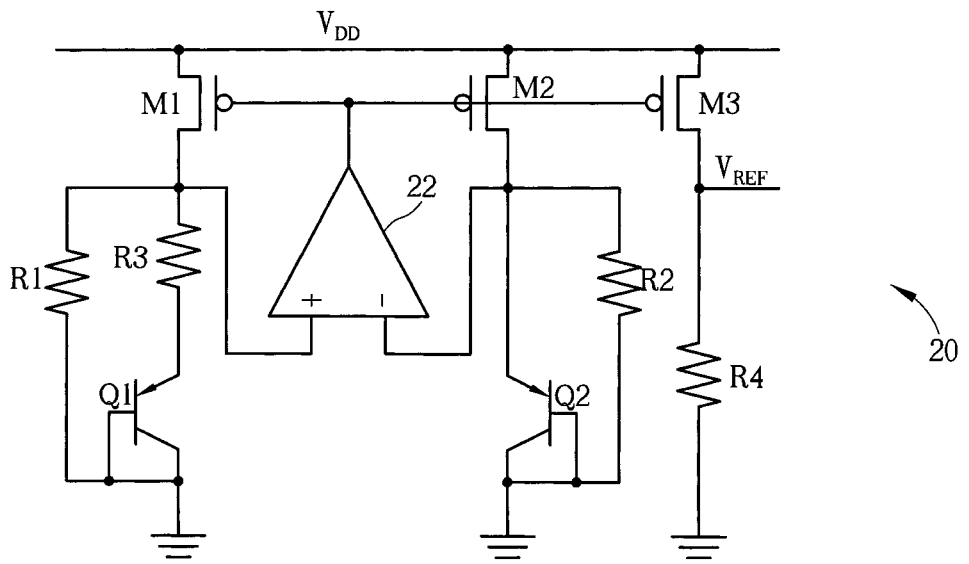
圖十一為固定溫度下參考源電壓 V_{REF} 對供應電壓 V_{DD} 之圖示。

20.

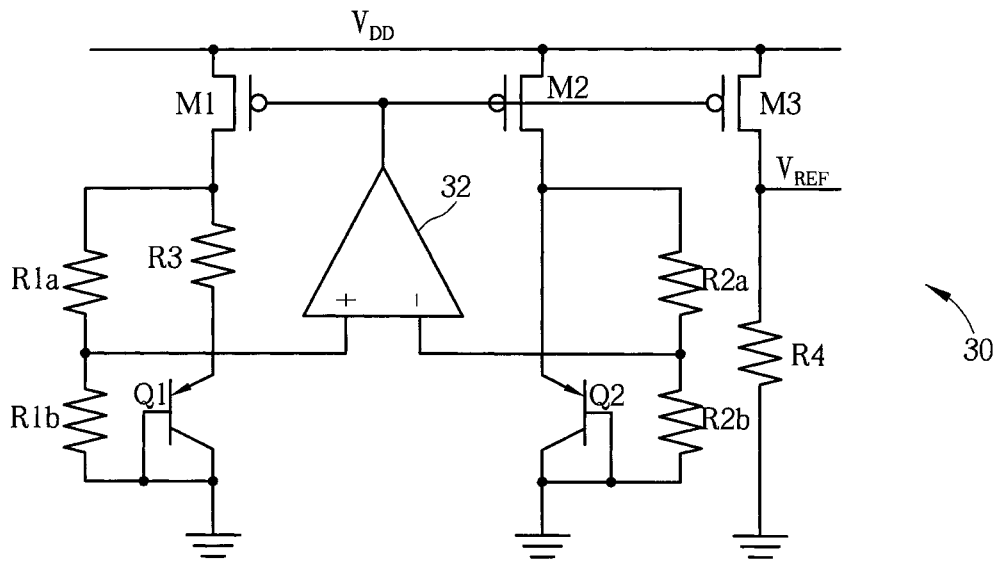


圖一

(5)

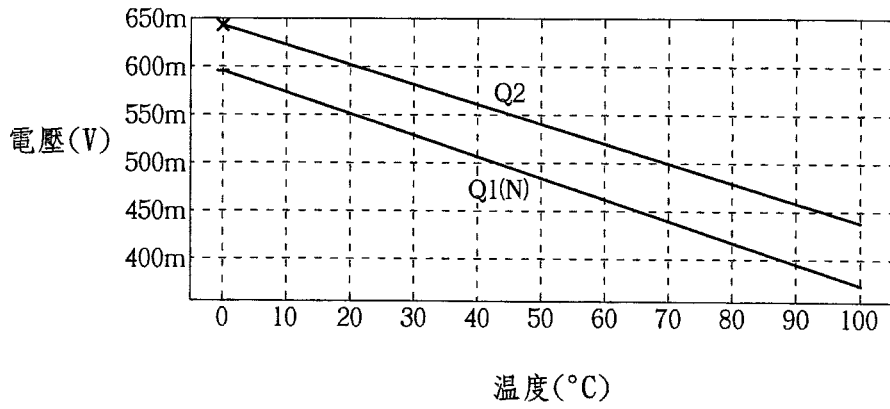


圖二

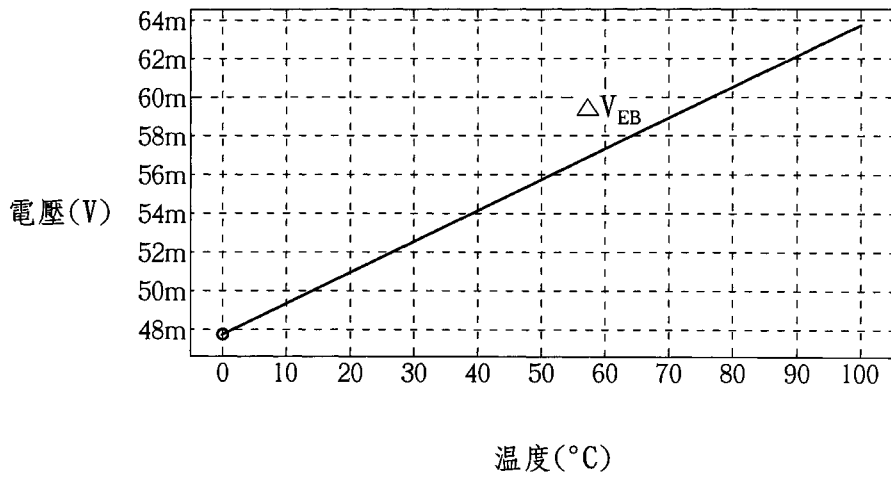


圖三

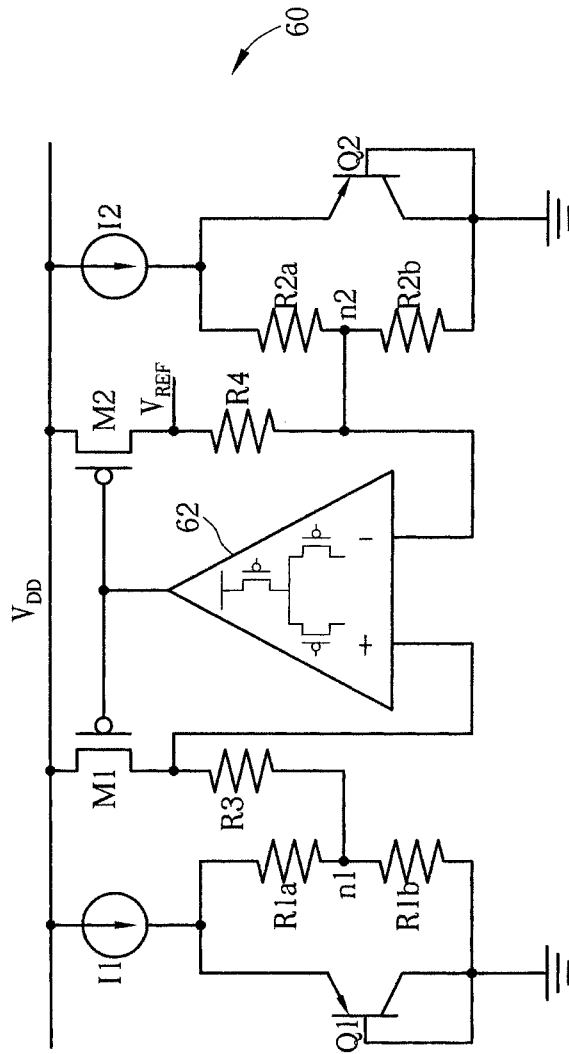
(6)



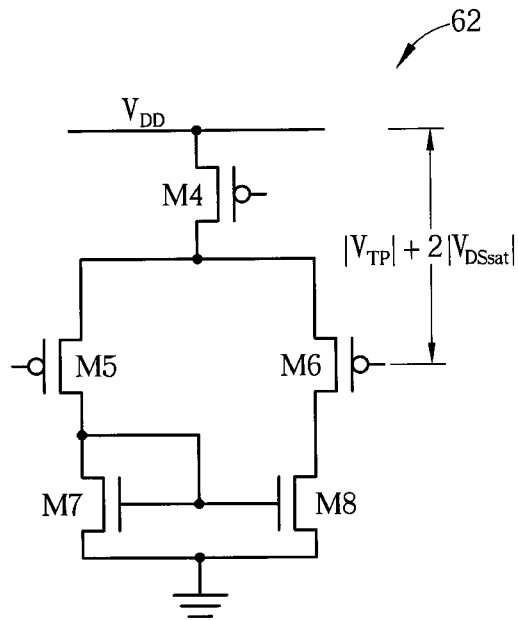
圖四



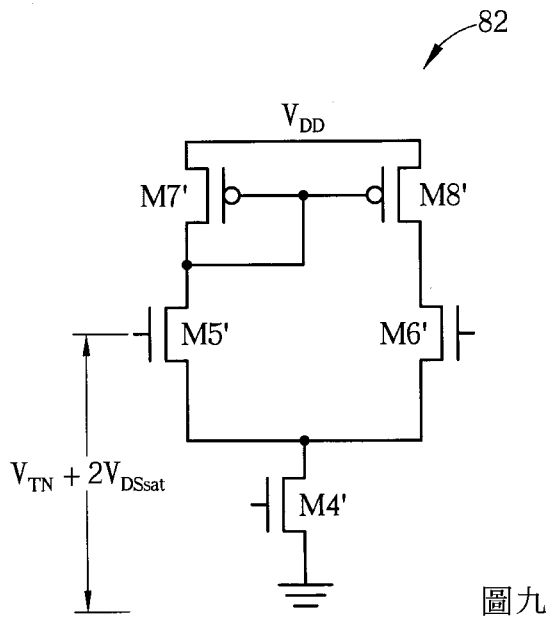
圖五



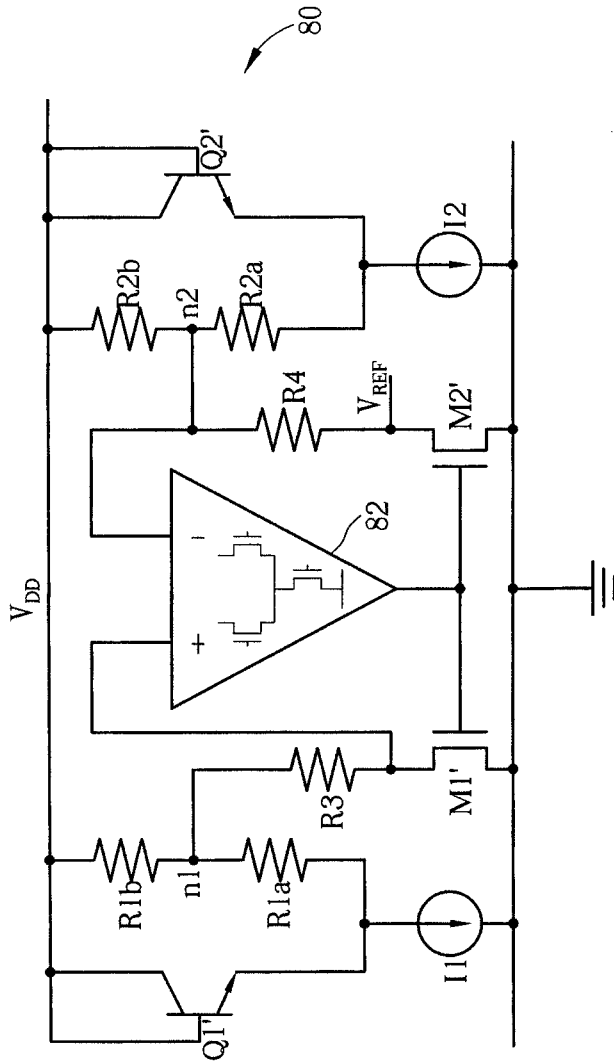
圖六



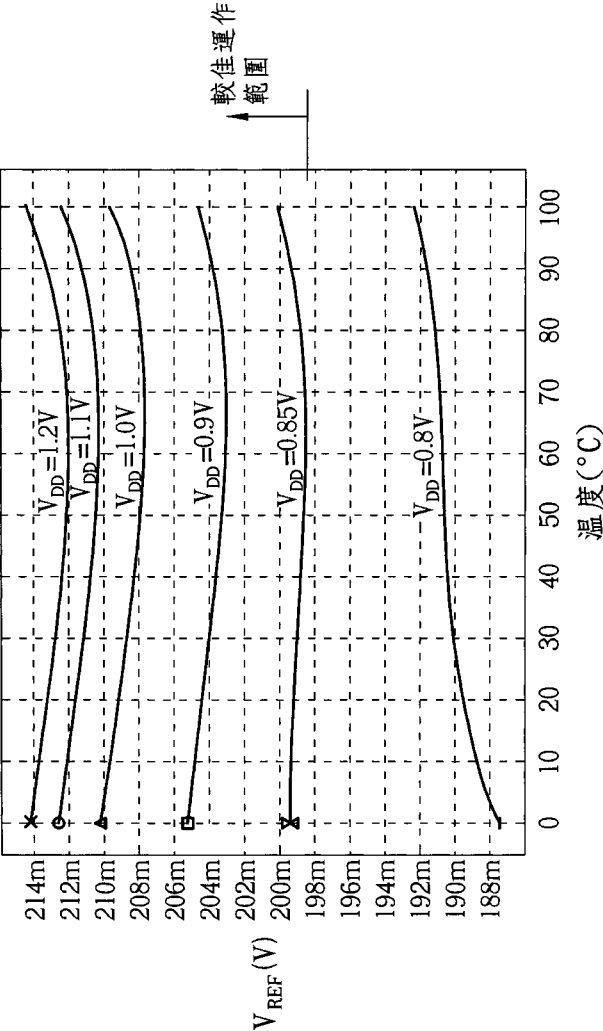
圖七



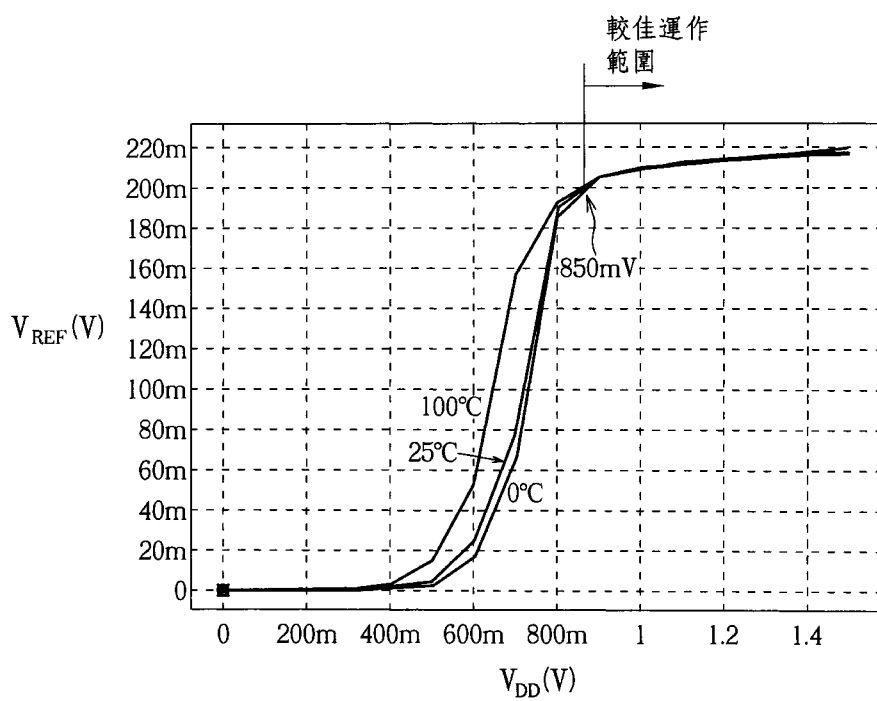
圖九



圖八



圖十



圖十一

