

【11】證書號數： I239627

【45】公告日： 中華民國 94 (2005) 年 09 月 11 日

【51】Int. Cl.⁷: H01L23/60
H01L29/70

發明

全 14 頁

【54】名 稱： 用於晶片上 ESD 防護的具有深 N 型井之有效開啓雙極結構

TURN-ON EFFICIENT BIPOLAR STRUCTURE WITH DEEP
N-WELL FOR ON-CHIP ESD PROTECTION DESIGN

【21】申請案號： 093119188

【22】申請日期： 中華民國 93 (2004) 年 06 月 29 日

【11】公開編號： 200504994

【43】公開日期： 中華民國 94 (2005) 年 02 月 01 日

【30】優先權： 2003/07/17

美國

60/487,581

2003/12/05

美國

10/727,550

【72】發 明 人：

柯明道

KER, MING DOU

莊哲豪

CHUANG, CHE HAO

【71】申請人：

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH
INSTITUTE新竹縣竹東鎮中興路4段195
號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種適合應用於一靜電放電
(electrostatic discharge; ESD)防護電
路之半導體裝置，其包含：

一半導體基板；

一第一井，其形成於該基板內；

一第二井，其形成於該基板內；以
及；一第一摻雜區域，其形成於該第二
井內，

其中該第一井、該第二井以及該第

一摻雜區域共同形成一寄生雙極接
面電晶體(bipolar junction transistor;
BJT)，以及其中該第一井係該 BJT 之集極，該
第二井係該 BJT 之基極，而該第一
摻雜區域係該 BJT 之射極。2. 如申請專利範圍第 1 項之半導體裝
置，其中該第一井係 n 型，該第二井
係 p 型，該第一摻雜區域係 n 型，而
該寄生 BJT 係一 NPN BJT。

- 3.如申請專利範圍第1項之半導體裝置，其中該第一井係P型，該第二井係n型，該第一摻雜區域係n型，而該寄生BJT係一PNP BJT。
- 4.如申請專利範圍第1項之半導體裝置，其進一步包含：
 - 一第二摻雜區域，其形成於該第一井內；以及；
 - 一第三摻雜區域，其形成於該基板內，
 其中該第二摻雜區域與該第一井具有一相同類型之導電性，而該第二摻雜區域係與該第一井之一接點，以及
 - 其中該第三摻雜區域與該第二井具有一相同類型之導電性，而該第三摻雜區域係與該第二井之一接點。
- 5.如申請專利範圍第4項之半導體裝置，其進一步包含一ESD偵測電路，
 - 其中該第一摻雜區域可連接至一電源供應，
 - 其中該第二摻雜區域可連接至一接觸墊以用於接收一ESD，以及
 - 其中該第三摻雜區域可連接至耦合於該接觸墊以用於偵測該ESD之該ESD偵測電路。
- 6.如申請專利範圍第5項之半導體裝置，其中該ESD偵測電路在一ESD事件中將一觸發電流提供給該第三摻雜區域，而且其中該觸發電流觸發該寄生BJT以將該ESD電流從該第二摻雜區域傳導給該第一摻雜區域或從該第一摻雜區域傳導給該第二摻雜區域。
- 7.如申請專利範圍第5項之半導體裝置，其中該BJT係一NPN BJT，而該電源供應為接地。
- 8.如申請專利範圍第5項之半導體裝置，其中該BJT係一PNP BJT，而該

- 電源供應係一正供應電壓。
- 9.如申請專利範圍第5項之半導體裝置，其進一步包含形成於該第二井內之一第四摻雜區域，其中該第四摻雜區域與該第二井具有一相同類型之導電性，其中該第四摻雜區域亦係與該第二井之一接點，其中該第三摻雜區域與該第四摻雜區域係彼此間隔開，而且其中該第四摻雜區域可連接至該電源供應。
 - 10.如申請專利範圍第1項之半導體裝置，其進一步包含：
 - 一第二摻雜區域，其形成於該第一井內；
 - 一第三摻雜區域，其形成於該基板內；以及
 - 一第四摻雜區域，其形成於該第二井內，
 其中該等第一、第二、第三及第四摻雜區域藉由複數個隔離區域而彼此電性隔離。
 - 11.如申請專利範圍第10項之半導體裝置，其中該等絕緣區域係淺溝渠隔離(shallow trench isolation；STI)。
 - 12.如申請專利範圍第10項之半導體裝置，其中該等隔離區域係矽局部氧化(local oxidation of silicon；LOCOS)區域。
 - 13.如申請專利範圍第1項之半導體裝置，其進一步包含：
 - 一第二摻雜區域，其形成於該第一井內；
 - 一第三摻雜區域，其形成於該基板內；以及；
 - 一第四摻雜區域，其形成於該第二井內，
 其中該等第一、第二、第三及第四摻雜區域係藉由複數個虛設閘極結構而彼此電性隔離。
 - 14.如申請專利範圍第13項之半導體裝置

置，其中該等虛設閘極結構之該等閘極摻雜有 P^+ 與 N^+ 摻雜物二者，其中，該等閘極最靠近一 p 型摻雜區域之一部分摻雜有 P^+ 摻雜物，而該等閘極最靠近一 n 型摻雜區域之一部分摻雜有 N^+ 摻雜物。

15. 如申請專利範圍第 1 項之半導體裝置，其進一步包含用於在一 ESD 事件中接收一觸發電流或一觸發電壓之一第二摻雜區域，其中該第二摻雜區域之一部分形成於該第一井內，而該第二摻雜區域之另一部分形成於該第二井內，而且其中該觸發電流或該觸發電壓觸發該 BJT 以在該 ESD 事件中釋放該 ESD。

16. 一種適合應用於一靜電放電 (electrostatic discharge; ESD) 防護電路之半導體裝置，其包含：

- 一半導體基板；
- 一第一井，其形成於該基板內；
- 一第二井，其形成於該基板內；
- 一第三井，其形成於該基板內；以及
- 一第一摻雜區域，其形成於該第二井內，
- 其中該第一井、該第二井以及該第一摻雜區域共同形成一第一寄生雙極接面電晶體 (bipolar junction transistor; BJT)，而其中該第二井、該第三井以及該第一摻雜區域共同形成一第二寄生 BJT，以及
- 其中，該第一井係該第一 BJT 之集極，該第三井係該第二 BJT 之集極，該第二井係該第一與該第二 BJT 二者之基極，而該第一摻雜區域係該第一與該第二 BJT 二者之射極。

17. 如申請專利範圍第 16 項之半導體裝置，其中該第一 BJT 與該第二 BJT 均為 NPN BJT。

18. 如申請專利範圍第 16 項之半導體裝

置，其中該第一 BJT 與該第二 BJT 均為 PNP BJT。

19. 如申請專利範圍第 16 項之半導體裝置，其進一步包含：

- 5. 一第二摻雜區域，其形成於該第一井內；
- 一第三摻雜區域，其形成於該第三井內；
- 一第四摻雜區域，其形成於該基板內；以及；
- 10. 一第五摻雜區域，其形成於該基板內，
- 其中該第二摻雜區域與該第一井具有一相同類型之導電性，而該第二摻雜區域係與該第一井之一接點，以及
- 15. 其中該第三摻雜區域與該第三井具有一相同類型之導電性，而該第三摻雜區域係與該第三井之一接點，以及
- 20. 其中該第四摻雜區域、該第五摻雜區域以及該第二井具有一相同類型之導電性，其中該第四摻雜區域與該第五摻雜區域均係與該第二井之接點，而且其中該第四摻雜區域與該第五摻雜區域係彼此間隔開。
- 25. 20. 如申請專利範圍第 19 項之半導體裝置，
- 其中該第一摻雜區域可連接至一電源供應，
- 30. 其中該第二與該第三摻雜區域可連接至一接觸墊以用於接收一 ESD，以及
- 其中該第四與第五摻雜區域可連接至一 ESD 偵測電路，其中該 ESD 偵測電路耦合於該接觸墊以用於偵測該 ESD。
- 35. 21. 如申請專利範圍第 20 項之半導體裝置，其中該 ESD 偵測電路在一 ESD
- 40. 事件中將一觸發電流或一觸發電壓

提供給該等第四及第五摻雜區域，其中提供給該第四摻雜區域之該觸發電流或觸發電壓觸發該第一BJT，以將該ESD電流從該第二摻雜區域傳導給該第一摻雜區域或從該第一摻雜區域傳導給該第二摻雜區域，而提供給該第五摻雜區域之該觸發電流或觸發電壓觸發該第二BJT，以將該ESD電流從該第三摻雜區域傳導給該第一摻雜區域或從該第一摻雜區域傳導給該第三摻雜區域。

22.如申請專利範圍第19項之半導體裝置，其中該等第一、第二、第三、第四及第五摻雜區域係彼此電性隔離。

23.如申請專利範圍第16項之半導體裝置，其進一步包含複數個虛設閘極結構以電性隔離該等第一、第二、第三、第四及第五摻雜區域之至少二區域。

24.如申請專利範圍第23項之半導體裝置，其中該等虛設閘極結構之該等閘極摻雜有 P^+ 與 N^+ 摻雜物二者，其中，該等閘極最靠近一p型摻雜區域之一部分摻雜有 P^+ 摻雜物，而該等閘極最靠近一n型摻雜區域之一部分摻雜有 N^+ 摻雜物。

25.如申請專利範圍第19項之半導體裝置，其中該第四摻雜區域之一部分形成於該第一井內，而該第四摻雜區域之另一部分形成於該第二井內，而且其中該第五摻雜區域之一部分形成於該第二井內，而該第五摻雜區域之另一部分形成於該第三井內。

26.一種適合應用於一靜電放電(electrostatic discharge; ESD)防護電路之半導體裝置，其包含：
一半導體基板；

一第一井，其形成於該基板內；

一第二井，其形成於該基板內；

一第三井，其形成於該基板內；

一第一摻雜區域，其形成於該第二井內；以及；

一第二摻雜區域，其形成於該第二井內，

其中該第一井、該第二井以及該第一摻雜區域共同形成一第一寄生雙極界面電晶體(bipolar junction transistor; BJT)，而該第二井、該第三井以及該第二摻雜區域共同形成一第二寄生BJT，以及

其中，該第一井係該第一BJT之射極，該第三井係該第二BJT之射極，該第二井係該第一與該第二BJT二者之基極，該第一摻雜區域係該第一BJT之集極，而該第二摻雜區域係該第二BJT之集極。

27.如申請專利範圍第26項之半導體裝置，其進一步包含：

一第三摻雜區域，其形成於該基板內，其中該第三摻雜區域係與該第一井之一接點；

一第四摻雜區域，其形成於該第二井內；以及；

一第五摻雜區域，其形成於該基板內，其中該第五摻雜區域係與該第三井之一接點，

其中該等第一與第二摻雜區域可連接至一接觸墊以用於在一ESD事件中接收一ESD，該等第三與第五摻雜區域可連接至一電源供應，而該第四摻雜區域可連接至一ESD偵測電路，其中該ESD偵測電路耦合於該接觸墊以用於偵測該ESD。

28.如申請專利範圍第27項之半導體裝置，其中該第三摻雜區域之一部分形成於該第一井內，而該第三摻雜區域之另一部分形成於該第二井

內，而且其中該第五摻雜區域之一部分形成於該第二井內，而該第五摻雜區域之另一部分形成於該第三井內。

29.如申請專利範圍第27項之半導體裝置，其中該ESD偵測電路觸發該等第一與第二BJT以將該ESD電流分別從該等第一與第二摻雜區域傳導給該等第三與第五摻雜區域，或分別從該等第三與第五摻雜區域傳導給該等第一與第二摻雜區域。

30.如申請專利範圍第27項之半導體裝置，其中該第一摻雜區域、該第二摻雜區域、該第三摻雜區域、該第四摻雜區域及該第五摻雜區域係藉由複數個閘極結構而彼此隔離，其中一第一閘極結構形成於該等第一與第三摻雜區域之間，而且該第一閘極結構、該第一摻雜區域、該第三摻雜區域以及該第二井形成一第一MOS電晶體，其中一第二閘極結構形成於該等第二與第五摻雜區域之間，而該第二閘極結構、該第二摻雜區域、該第五摻雜區域以及該第二井形成一第二MOS電晶體。

31.如申請專利範圍第30項之半導體裝置，其中該第一閘極與該第二閘極均可連接至該ESD偵測電路以觸發該等第一與第二BJT以在一ESD事件中釋放該ESD電流。

32.一種提供靜電放電(electrostatic discharge；ESD)防護之方法，其包含：

提供一半導體基板；

在該基板內提供一第一井；

在該基板內提供一第二井；

在該第二井內提供一第一摻雜區域；

在該基板內提供一第二摻雜區域以用於在一ESD事件中接收一ESD，

其中該第二摻雜區域係與該第一井之一接點；

在該基板內提供一第三摻雜區域；以及；

5. 提供用於偵測該ESD之一ESD偵測電路，

其中該第一井、該第二井以及該第一摻雜區域經配置以形成一寄生雙極接面電晶體(bipolar junction transistor；BJT)，而且其中該ESD偵測電路將一觸發電流或觸發電壓提供給該第三摻雜區域，該觸發電流或觸發電壓觸發該BJT以釋放該ESD。

10. 33.如申請專利範圍第32項之方法，其中該第一井係該BJT之集極，該第二井係該BJT之基極，而該第一摻雜區域係該BJT之射極。

15. 34.如申請專利範圍第33項之方法，其中該第二摻雜區域形成於該第一井內，而該第三摻雜區域形成於該第一井與該第二井二者內。

20. 35.如申請專利範圍第32項之方法，其進一步包含在該第一摻雜區域與該第二摻雜區域之間提供一閘極結構，其中該第一摻雜區域、該第二摻雜區域、該閘極結構以及該第二井共同形成一MOS電晶體。

25. 36.一種提供靜電放電(electrostatic discharge；ESD)防護之方法，其包含：

提供一半導體基板；

在該基板內提供一第一寄生雙極接面電晶體(bipolar junction transistor；

35. BJT)，其中該第一BJT具有一射極、一集極以及一基極，其中耦合該第一BJT之該集極以在一ESD事件中接收一ESD；

40. 在該基板內提供一第二BJT，其中該第二BJT具有一射極、一集極以

及一基極，其中耦合該第一 BJT 之該集極以接收該 ESD；以及提供用於偵測該 ESD 之一 ESD 偵測電路，其中該 ESD 偵測電路在該 ESD 事件中提供一觸發電流或觸發電壓以開敵該第一 BJT 與該第二 BJT 來釋放該 ESD，其中形成於該基板內之一井係該第一 BJT 與該第二 BJT 二者之基極，並在該 ESD 事件中藉由流經該井之該觸發電流來觸發該第一 BJT 與該第二 BJT。

圖式簡單說明：

圖 1 係一傳統靜電放電 (electrostatic discharge；ESD) 防護電路之電路圖；

圖 2 係圖 1 所示之 ESD 防護電路之斷面圖；

圖 3 係依據本發明之一項具體實施例適用於提供 ESD 防護之雙極裝置之斷面圖；

圖 4 係依據本發明之另一項具體實施例適用於提供 ESD 防護之雙極裝置之斷面圖；

圖 5 係亦依據圖 3 所示之具體實施例適用於提供 ESD 防護之另一雙極裝置之斷面圖；

圖 6 係亦依據圖 4 所示之具體實施例適用於提供 ESD 防護之另一雙極裝置之斷面圖；

5. 圖 7 係依據本發明之另一項具體實施例適用於提供 ESD 防護之雙極裝置之斷面圖；

圖 8 係依據本發明之另一項具體實施例適用於提供 ESD 防護之雙極裝置之斷面圖；

10. 圖 9 係亦依據圖 7 所示之具體實施例適用於提供 ESD 防護之另一雙極裝置之斷面圖；

圖 10 係亦依據圖 8 所示之具體實施例適用於提供 ESD 防護之另一雙極裝置之斷面圖；

15. 圖 11 係依據本發明之另一項具體實施例適用於提供 ESD 防護之雙極裝置之斷面圖；

圖 12 係依據本發明之另一項具體實施例適用於提供 ESD 防護之雙極裝置之斷面圖；

圖 13 係亦依據圖 11 所示之具體實施例適用於提供 ESD 防護之另一雙極裝置之斷面圖；以及

25. 圖 14 係亦依據圖 12 所示之具體實施例適用於提供 ESD 防護之另一雙極裝置之斷面圖。

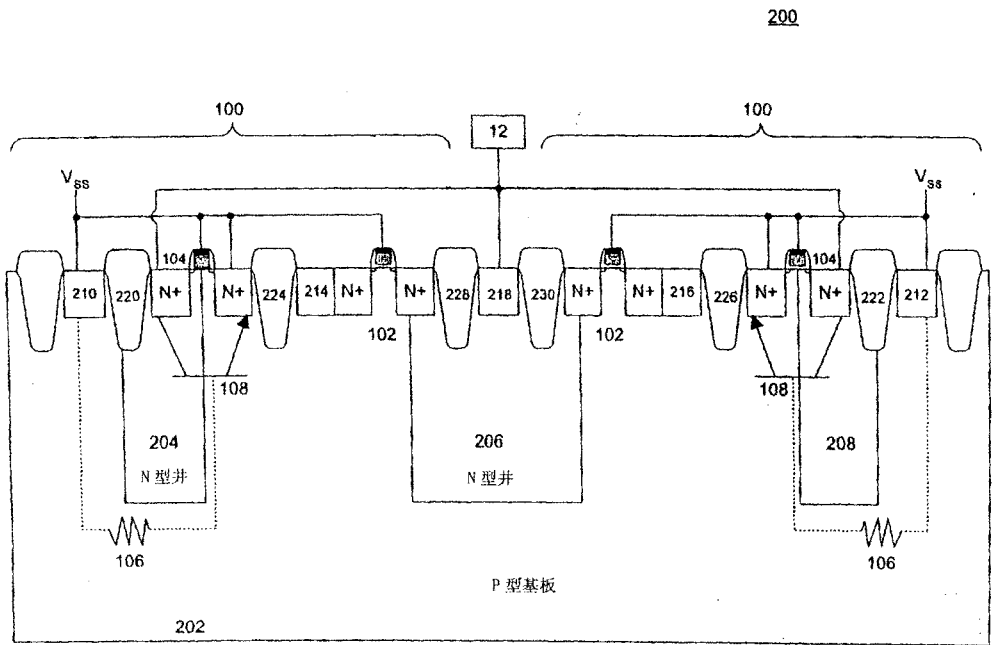


圖 2

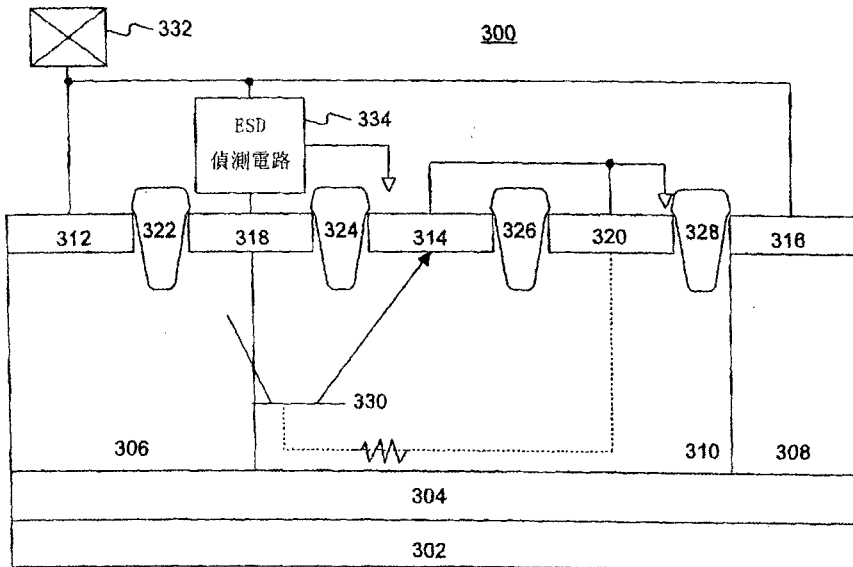


圖 3

(9)

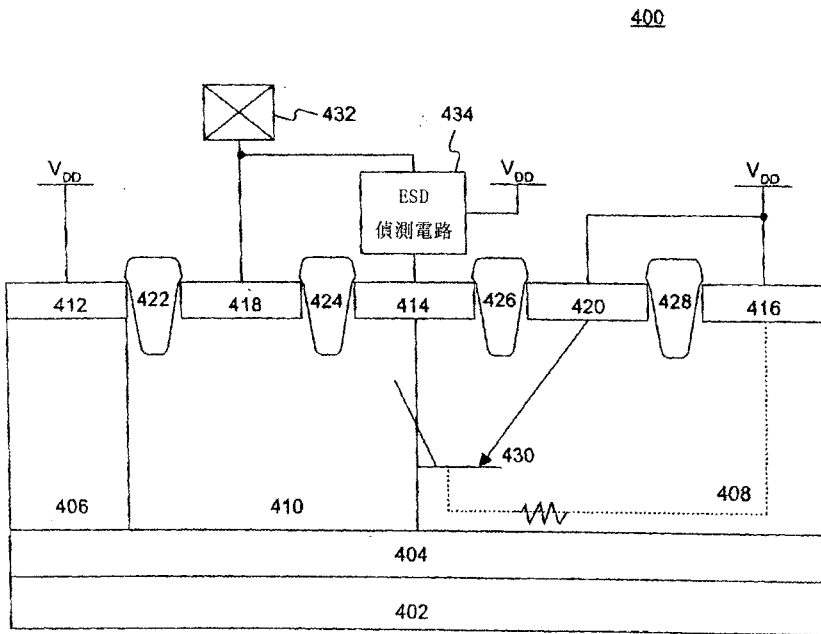


圖 4

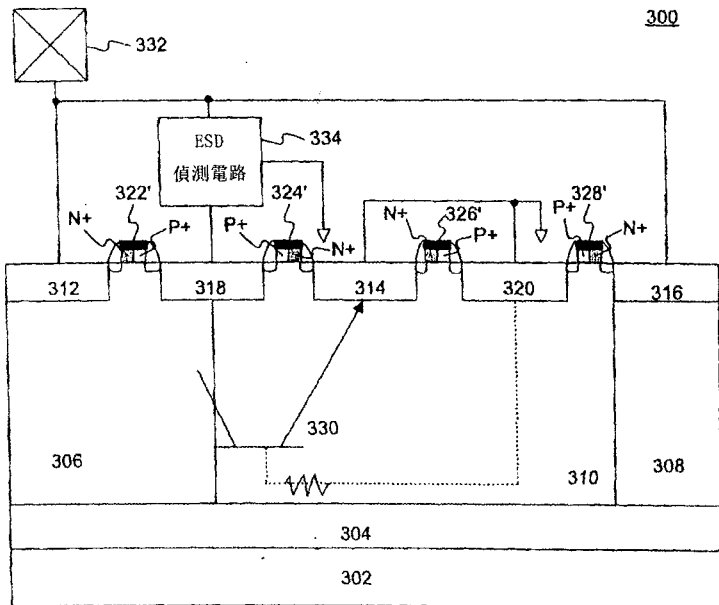


圖 5

(10)

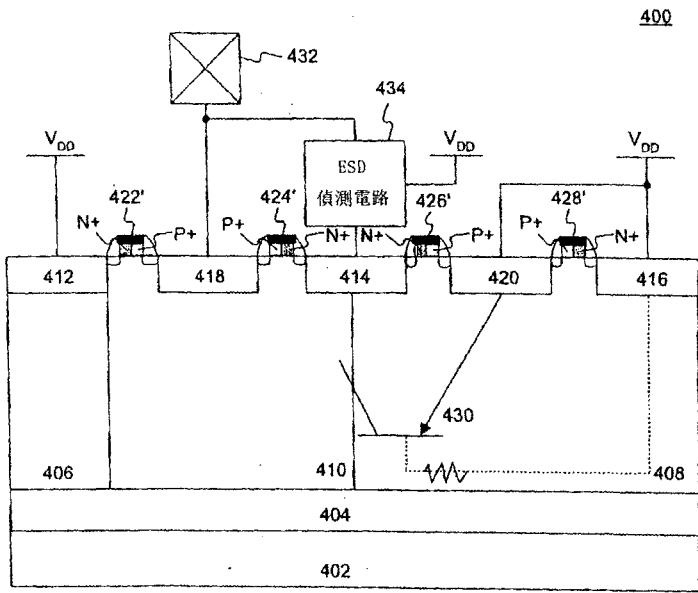


圖 6

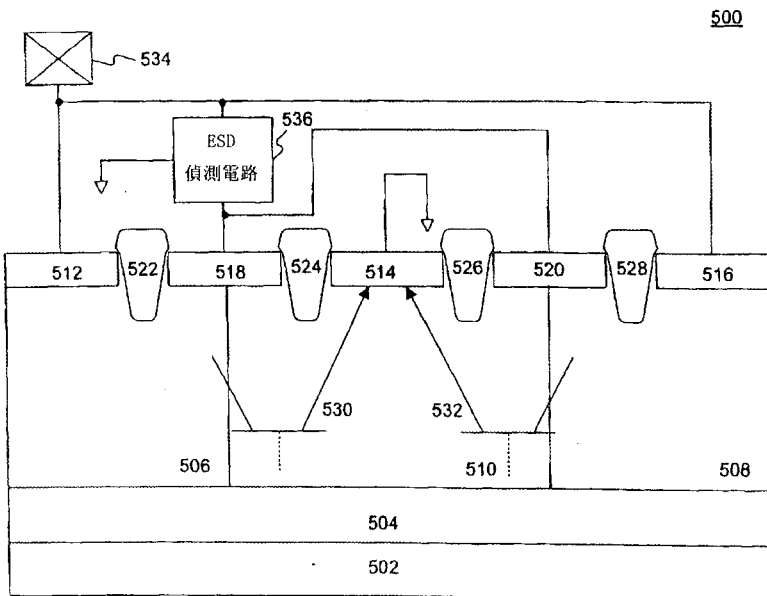


圖 7

(11)

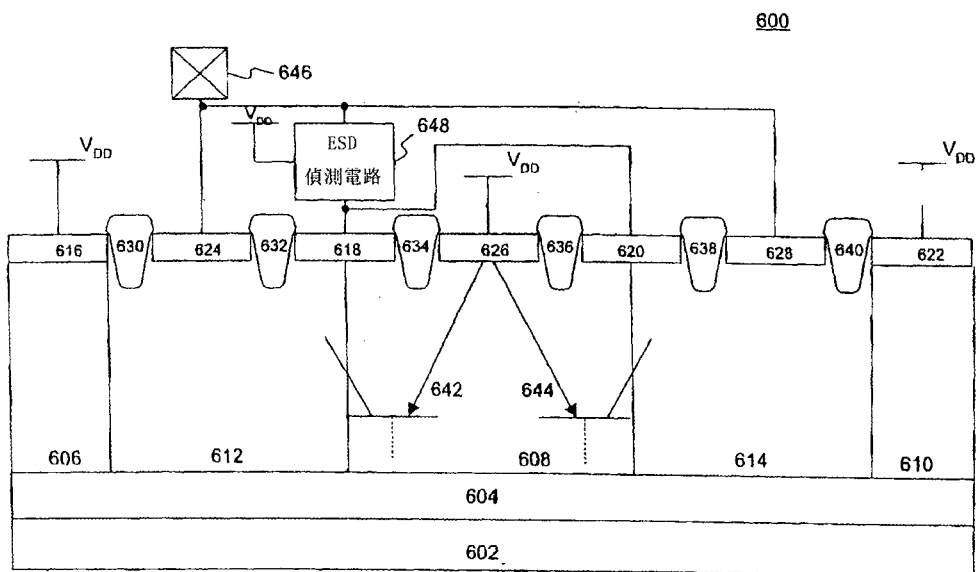


圖 8

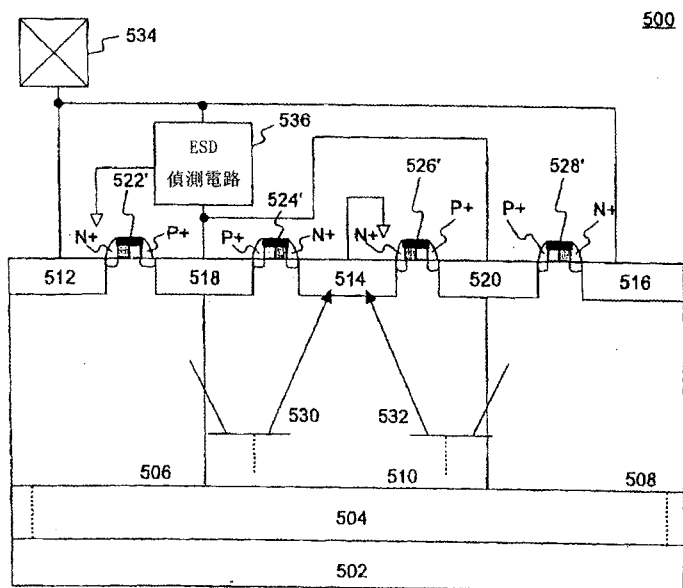


圖 9

(12)

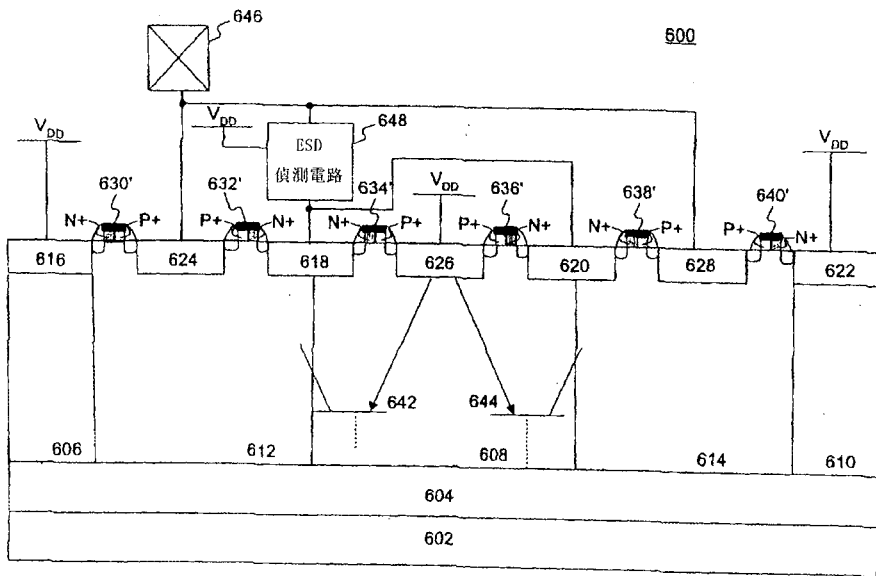


圖 10

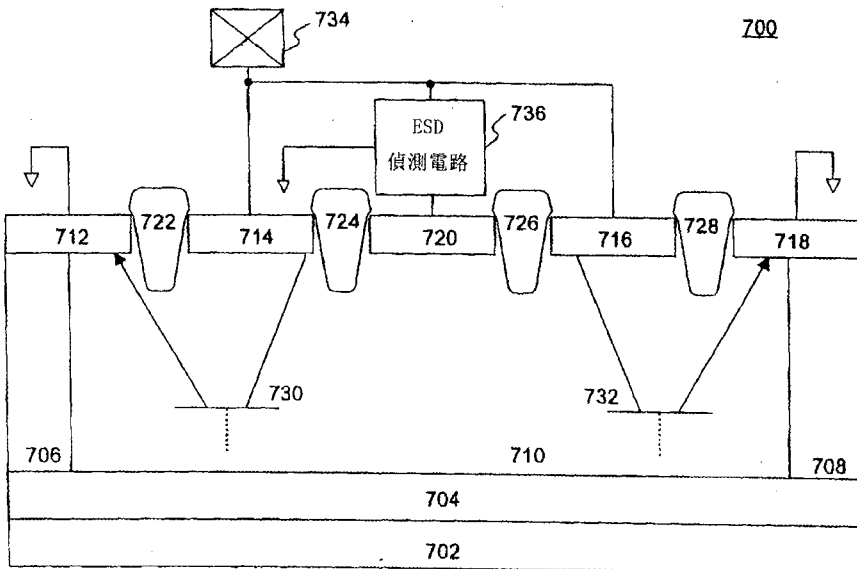


圖 11

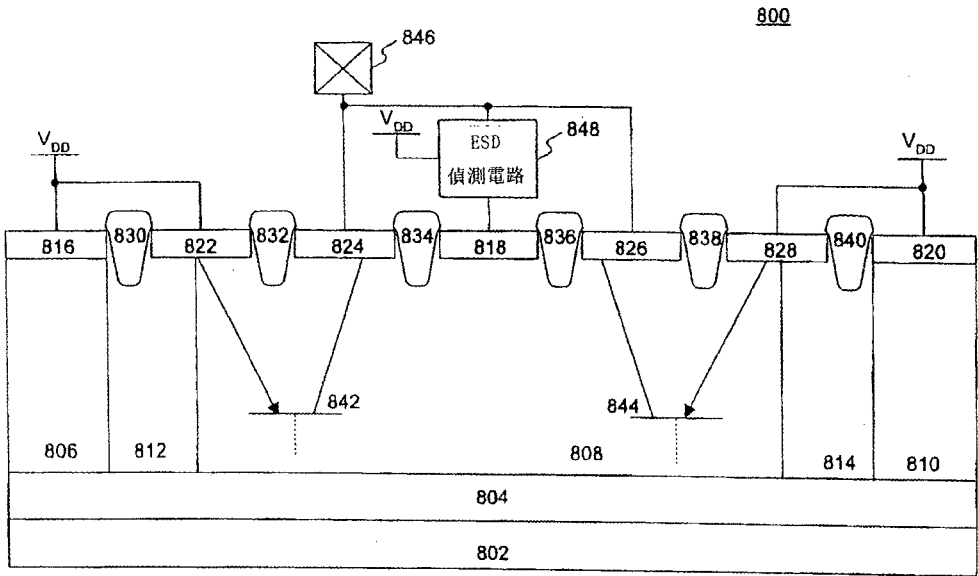


圖 12

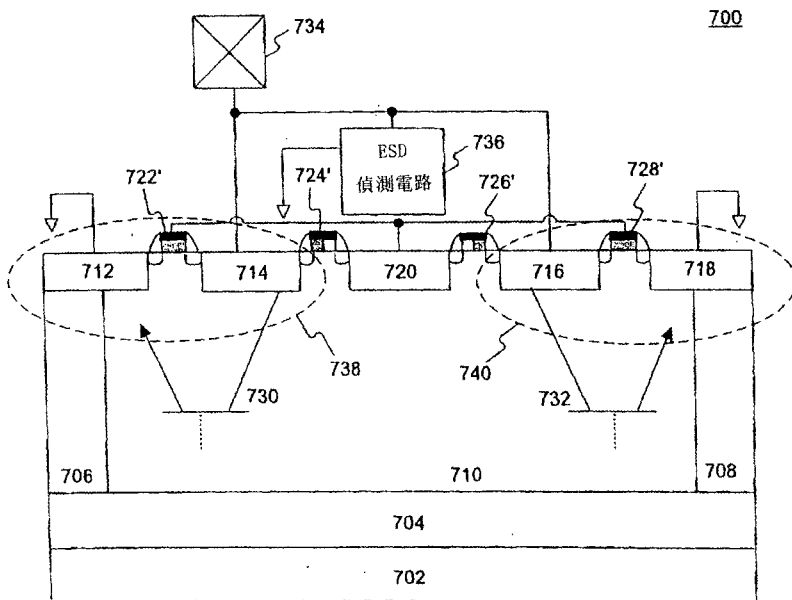


圖 13

(14)

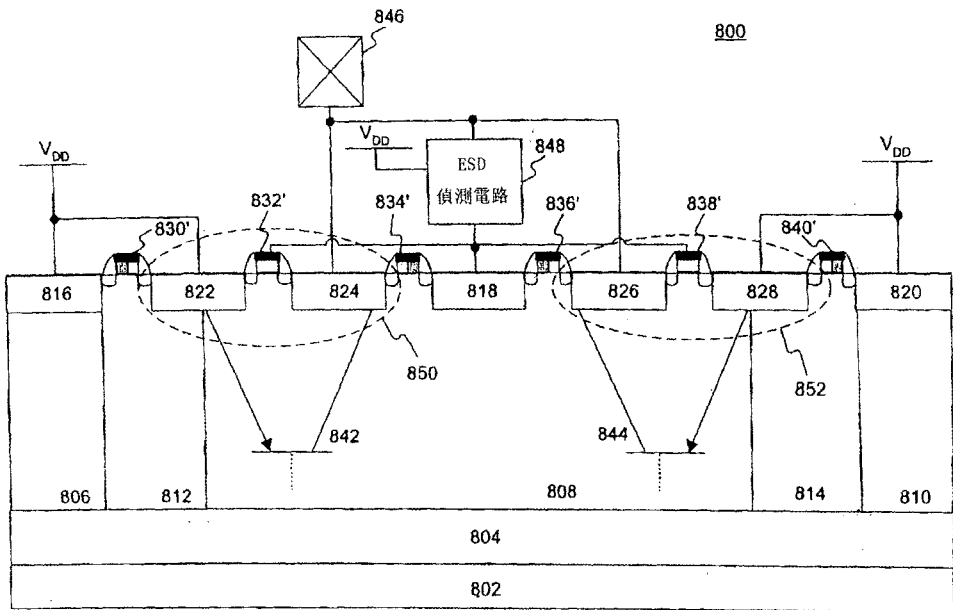


圖 14