

【11】證書號數： I239628

【45】公告日： 中華民國 94 (2005) 年 09 月 11 日

【51】Int. Cl.⁷: H01L23/60

發明

全 9 頁

【54】名稱： 帶電元件模式之靜電放電防護設計

ESD PROTECTION DESIGN ON CONNECTOR / INTERFACE
AGAINST CHARGE-DEVICE MODEL ESD EVENTS

【21】申請案號： 093119190

【22】申請日期： 中華民國 93 (2004) 年 06 月 29 日

【11】公開編號： 200520198

【43】公開日期： 中華民國 94 (2005) 年 06 月 16 日

【30】優先權： 2003/12/04

美國

10/726,641

【72】發明人：

柯明道

KER, MING DOU

林昆賢

LIN, KUN HSIEN

【71】申請人：

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH
INSTITUTE新竹縣竹東鎮中興路4段195
號

【74】代理人：

1

2

[57]申請專利範圍：

1.一種連接至積體電路之電路板以對該等積體電路提供靜電放電防護之介面裝置，包括：

多個第一接觸構件，每個第一接觸構件之一端連接至電路板，另一端則可連接至一外部元件；以及連接至一條電壓線路之至少一個第二接觸構件，該電壓線路具有一電壓位準；

其中該至少一個第二接觸構件之長

度大於每一個第一接觸構件之長度。

2.如申請專利範圍第1項之裝置，第一及第二接觸構件另包括接腳及插槽。

3.如申請專利範圍第1項之裝置，其中累積在電路板上之電荷於電路板經由該介面裝置連接至該外部元件時，係經由該至少一個第二接觸構件予以排放。

4.一種連接至積體電路之電路板以對該等積體電路提供靜電放電防護之介面裝置，包括：

多個具有第一長度之第一接觸構件，每一第一接觸構件之一端連接至電路板，另一端則可連接至一外部元件；

至少兩個具有第二長度之第二接觸構件，每一第二接觸構件連接至具有一電壓位準之電壓線路；

其中第二長度大於第一長度，以使電路板以一方向經由介面裝置連接至該外部元件時，第二接觸構件比第一接觸構件先接觸該外部元件。

5.如申請專利範圍第4項之裝置，其中每一個第一及第二接觸構件包括接腳。

6.如申請專利範圍第4項之裝置，其中每一個第一及第二接觸構件包括插槽。

7.如申請專利範圍第5項之裝置，其中該外部元件包括另一介面裝置，該另一介面裝置之每一接觸構件包括相對應於該接腳之插槽。

8.如申請專利範圍第6項之裝置，其中該外部元件包括另一介面裝置，該另一介面裝置之每一接觸構件包括相對應於該插槽之接腳。

9.如申請專利範圍第4項之裝置，另包括 VDD 或 VSS 電壓線路。

10.如申請專利範圍第4項之裝置，其中該至少兩個第二接觸構件之其中之一係連接至第一電壓位準之第一電壓線路，而另一則連接至第二電壓位準之第二電壓線路，該第二電壓位準小於第一電壓位準。

11.一種連接至積體電路之電路板以對該等積體電路提供靜電放電防護之介面裝置，包括：

多條具有第一長度之第一接觸線

路，每一條第一接觸線路之一端連接至電路板，而另一端則可連接至一外部元件，該等第一接觸線路之一端與一對齊線相對齊；

5. 至少一條具有第二長度之第二接觸線路，其相對應於具有第一電壓位準之至少一條電壓線路，該等積體電路則連接至該至少一條電壓線路，每一條第二接觸線路之一端與該對齊線相對齊且連接至一條相對應之電壓線路；以及一條連接至第二電壓位準之該第三接觸線路，第三接觸線路具有由其一端至該對齊線量起之第三長度，其中之第二長度與該第三長度大於第一長度。

12.如申請專利範圍第11項之裝置，其中第三長度大於第二長度，以使電路板連接至該外部元件時，累積於電路板上之電荷可經由第三接觸線路予以排放。

13.如申請專利範圍第11項之裝置，其中第三長度與第二長度相同，以使電路板連接至該外部元件時，累積於電路板上之電荷可經由至少第三接觸線路或第二接觸線路予以排放。

14.如申請專利範圍第11項之裝置，其中第一與第二電壓位準包括 VDD 或 VSS。

15.如申請專利範圍第11項之裝置，其中該至少一條電壓線路包括 VDD 線路及 VSS 線路。

16.如申請專利範圍第11項之裝置，其中該至少一條第二接觸線路係連接至 VDD 線路。

17.如申請專利範圍第11項之裝置，其中該至少一條第二接觸線路係連接至 VSS 線路。

18.如申請專利範圍第11項之裝置，其中該至少一條第二接觸線路之其中

一條係連接至 VDD 線路，而另一條則連接至 VSS 線路。

19.一種位於積體電路之電路板上以對該等積體電路提供靜電放電防護之介面裝置，包括：

多條靠近電路板之一側之第一接觸線路，每一條第一接觸線路之一端連接至電路板，而另一端則可連接至一外部元件；以及

至少一條靠近電路板之該側的第二接觸線路，其相對應於具有一電壓位準之至少一條電壓線路，該等積體電路則連接至該至少一條電壓線路，每一條第二接觸線路之一端連接至一條相對應之電壓線路，而另一端則連接至該外部元件。

20.如申請專利範圍第 19 項之裝置，另包括 VDD 及 VSS 線路。

21.如申請專利範圍第 19 項之裝置，其中每一條第一接觸線路之一端與該至少一條第二接觸線路彼此與一對齊線相對齊。

22.如申請專利範圍第 21 項之裝置，其中每一條第二接觸線路由其一端至另一端具有一第二長度，每一條第一接觸線路則具有一第一長度，而第二長度大於第一長度。

23.如申請專利範圍第 19 項之裝置，其中該至少一條第二接觸線路之其中一條係連接至 VDD 線路，而另一條則連接至 VSS 線路。

24.如申請專利範圍第 23 項之裝置，其中連接至 VSS 線路之第二接觸線路比連接至 VDD 線路之第二接觸線路更靠近該側之邊緣。

25.如申請專利範圍第 22 項之裝置，其中該至少一條第二接觸線之其中一條係連接至 VDD 線路，而另一條則連接至 VSS 線路。

26.如申請專利範圍第 25 項之裝置，其

中連接至 VSS 線路之第二接觸線路的長度大於連接至 VDD 線路之第二接觸線路的長度。

27.如申請專利範圍第 25 項之裝置，其中連接至 VSS 線路之第二接觸線路的長度與連接至 VDD 線路之第二接觸線路的長度相同。

28.一種檢測電路板之積體電路的檢測系統，包括：

5. 一個具有一第一電路板之測試裝置；

多個位於第一電路板上之第一接腳；

10. 一個具有一第一表面與一第二表面之第二電路板；

多個位於第二電路板之第一表面上以接通該等第一接腳的第一接觸點；

20. 多個位於第二電路板之第二表面上的第二接腳；以及

多個位於每一個積體電路上以接通該等第二接腳之第二接觸點；

25. 其中累積於積體電路之電路板上之電荷由該等第一與第二接腳中長度較長者予以排放。

29.如申請專利範圍第 28 項之系統，另包括 VDD 及 VSS 線路。

30.如申請專利範圍第 28 項之系統，其中該至少一個較長接腳之其中一接腳係連接至 VDD 線路，而另一接腳則連接至 VSS 線路。

31.一種對電路板上之積體電路提供靜電放電防護之方法，包括：

提供一個介面裝置，其包括：

35. 多個第一接觸構件，每個第一接觸構件之一端連接至電路板，另一端則可連接至一外部元件；以及

連接至一條電壓線路之至少一個第二接觸構件，該電壓線路具有一電壓位準；

40.

使該至少一個第二接觸構件之長度大於每一個第一接觸構件之長度；經由該介面裝置將電路板連接至該外部元件；以及經由該至少一個第二接觸構件將累積於電路板上之電荷予以排放。

32.如申請專利範圍第31項之方法，另包括以接腳或插槽來形成每一個第一與第二接觸構件。

33.如申請專利範圍第31項之方法，另包括將該至少一個第二接觸構件予以連接至一條VDD或VSS線路之一。

34.一種對電路板上之積體電路提供靜電放電防護之方法，包括：
在靠近電路板之一側形成多條第一接觸線路；
使每一條第一接觸線路之一端連接至電路板，另一端則可連接至一外部元件；
在靠近電路板之該側形成至少一條第二接觸線路，其相對應於具有一電壓位準之至少一條電壓線路，該等積體電路則連接至該至少一條電壓線路；
使每一條第二接觸線路之一端連接至一條相對應之電壓線路，而另一端則連接至該外部元件；
使每一條第二接觸線路之另一端比每一條第一接觸線路之另一端更靠近電路板該側之邊緣；
將電路板連接至該外部元件，以及將累積於電路板上之電荷經由該至少一條第二接觸線路予以排放。

35.如申請專利範圍第34項之方法，另包括將該至少一條第二接觸線路予以連接至一條VDD或VSS線路之一。

36.如申請專利範圍第34項之方法，另包括將該至少一條第二接觸線路之

其中一條連接至VDD線路，而將另一條連接至VSS線路。

37.如申請專利範圍第36項之方法，另包括使連接至VSS線路之第二接觸線路比連接至VDD之第二接觸線路更靠近該邊緣。

38.如申請專利範圍第36項之方法，另包括將連接至VSS的第二接觸線路之另一端與連接至VDD的第二接觸線路之另一端予以連接至該邊緣。

39.一種對電路板上之積體電路提供靜電放電防護之方法，包括：
在電路板上形成多條具有第一長度之第一接觸線路；

15. 使每一條第一接觸線路之一端連接至電路板，而另一端則可連接至一外部元件；使該等第一接觸線路之一端與一對齊線相對齊；

20. 在電路板上形成至少一條具有第二長度之第二接觸線路，其相對應於具有第一電壓位準之至少一條電壓線路，第二長度大於第一長度，該等積體電路則連接至該至少一條電壓線路；

25. 使每一條第二接觸線路之一端與一對齊線相對齊；將每一條第二接觸線路之一端予以連接至一條相對應之電壓線路；

30. 形成一條連接至一第二電壓位準之第三接觸線路；使第三接觸線路具有由其一端至該對齊線之第三長度，第三長度大於第一長度；

35. 將電路板連接至該外部元件；以及將累積於電路板之電荷經由至少第三接觸線路或第二接觸線路之一予以排放。

40. 如申請專利範圍第39項之方法，另包括將累積於電路板上之電荷經由

第三接觸線路予以排放，其中第三長度大於第二長度。

- 41.如申請專利範圍第39項之方法，另包括使每一第一及第二電壓位準為VDD或VSS之一。
- 42.如申請專利範圍第39項之方法，另包括將該至少一條第二接觸線路連接至一條VDD或VSS線路之一。
- 43.如申請專利範圍第39項之方法，另包括將該至少一條第二接觸線路之其中一條連接至VDD線路，而將另一條連接至VSS線路。
- 44.一種於檢測電路板上之積體電路的檢測系統中提供靜電放電防護之方法，包括：
 - 提供一個具有一第一電路板之測試裝置；
 - 於第一電路板上形成多個第一接腳；
 - 提供一個具有一第一表面與一第二表面之第二電路板，於第二電路板之第一表面上形成多個第一接觸點來接通該等第一接腳；
 - 於第二電路板之第二表面上形成多個第二接腳；
 - 於每一個積體電路上形成多個第二接觸點來接通該等第二接腳；
 - 使至少一個第一接腳之長度大於其餘第一接腳之長度，或使至少一個第二接腳之長度大於其餘第二接腳之長度；
 - 將該等第一接腳連接至該等第一接

觸點，並且將該等第二接腳連接至該等第二接觸點；以及

將累積於積體電路之電路板上的電荷經由第一或第二接腳中至少一個較長之接腳予以排放。

- 5.
- 45.如申請專利範圍第44項之方法，另包括將該第一或第二接腳中至少一個較長之接腳予以連接至一條VDD或VSS線路。
10. 46.如申請專利範圍第44項之方法，另包括將該至少一較長之第一接腳的其中一接腳予以連接至一條VDD線路，而將另一接腳予以連接至一條VSS線路。
15. 47.如申請專利範圍第44項之方法，另包括將該至少一個較長之第二接腳的其中一接腳予以連接至一條VDD線路，而將另一接腳予以連接至一條VSS線路。
20. 圖式簡單說明：
 - 圖1A及1B分別為本發明實施例之靜電放電(ESD)防護介面裝置之正視圖與側視圖；
 - 圖2A及圖2B分別為本發明另一實施例之ESD防護介面裝置之正視圖與側視圖；
 - 圖3A及圖3B為本發明實施例之ESD防護介面裝置；
 - 圖4A、4B、4C為本發明另一實施例之ESD防護介面裝置；以及
 - 圖5A及圖5B為本發明實施例之具有ESD防護功能的檢測系統。
- 25.
- 30.

(6)

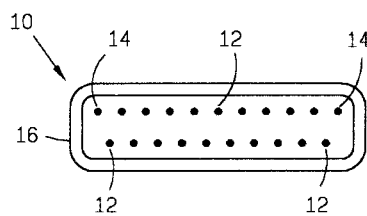


圖 1A

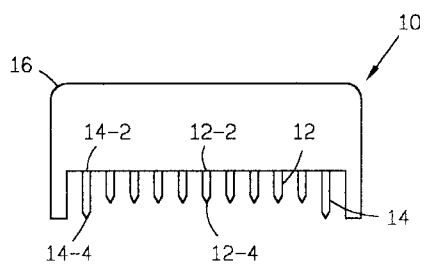


圖 1B

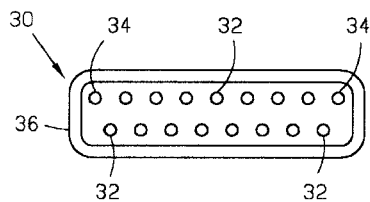


圖 2A

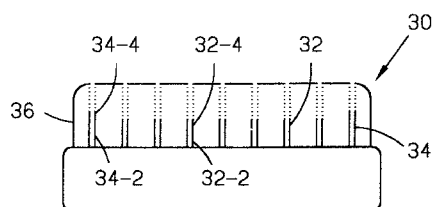


圖 2B

(7)

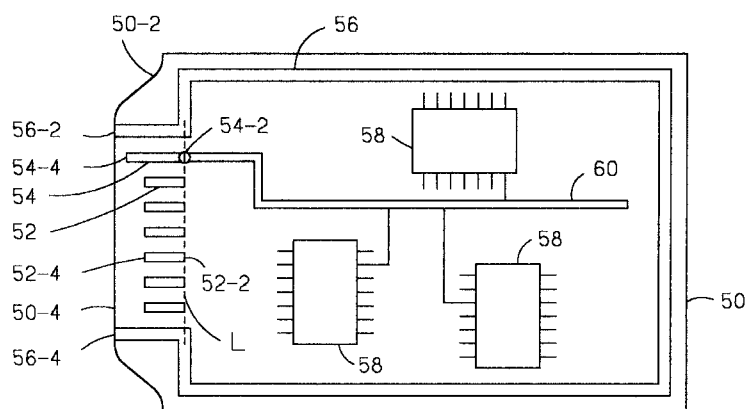


圖 3A

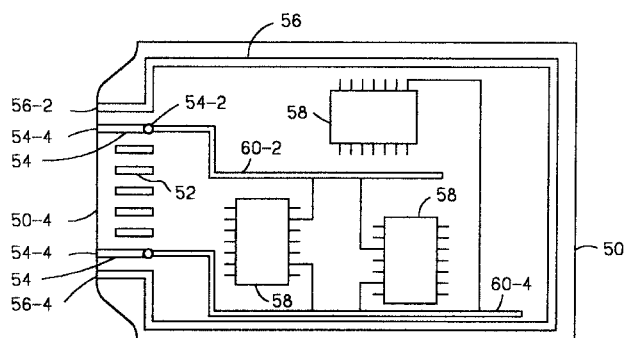


圖 3B

(8)

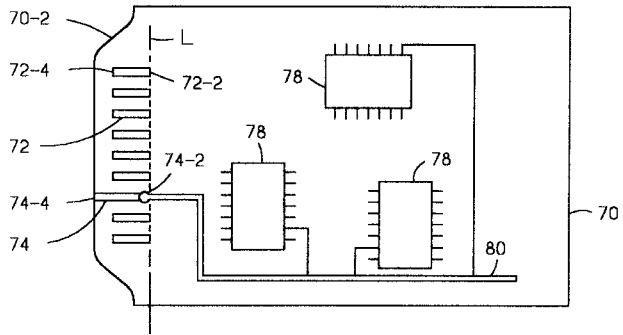


圖 4A

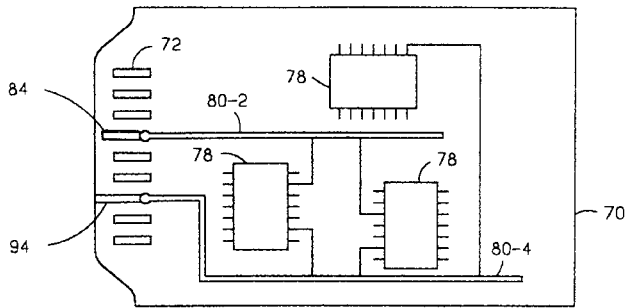


圖 4B

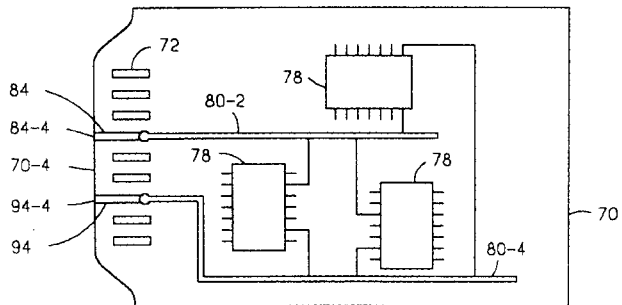


圖 4C

(9)

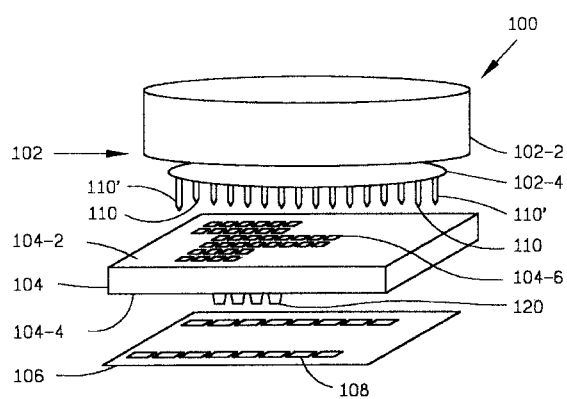


圖 5A

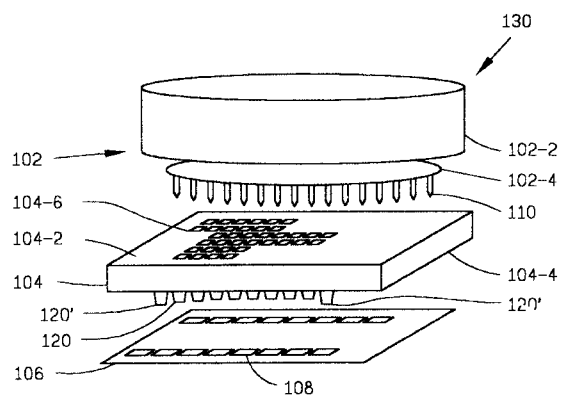


圖 5B

