

【19】中華民國

【12】專利公報 (B)

【11】證書號數：I241010

【45】公告日：中華民國 94 (2005) 年 10 月 01 日

【51】Int. Cl.⁷：H01L23/60

發明

全 10 頁

【54】名稱：一種混合電壓源介面電路之電源線間的靜電放電箝制電路

【21】申請案號：093106585

【22】申請日期：中華民國 93 (2004) 年 03 月 12 日

【11】公開編號：200531254

【43】公開日期：中華民國 94 (2005) 年 09 月 16 日

【72】發明人：

徐國鈞

HSU, KUO CHUN

柯明道

KER, MING DOU

【71】申請人：

上元科技股份有限公司
新竹市科學工業園區力行路
2號2樓

ADMTEK INCORPORATED

【74】代理人：何文淵 先生

1

2

[57]申請專利範圍：

1.一種混合電壓源介面電路之電源線間的靜電放電箝制電路，包括：

一偵測單元，更包括：

一第一電阻，具有第一連接端以及第二連接端，該第一電阻之第一連接端耦接一第一電壓源於一第一節點；

一電容，具有第一連接端以及第二連接端，該電容之第一連接端耦接該第一電阻之第二連接端於一第二

節點；

一第二電阻，具有第一連接端以及第二連接端，該第二電阻之第一連接端耦接一第二電壓源；

5. 一第一 PMOS 電晶體，具有閘極、汲極、源極，該第一 PMOS 電晶體之閘極耦接該第二電阻與一第三節點，該第二 PMOS 電晶體之汲極耦接一接地端於一第四節點，該第一 PMOS 電晶體之源極耦接於該電容之

第二連接端；

一第二 PMOS 電晶體，具有閘極、汲極、源極，該第二 PMOS 電晶體之閘極耦接該第二節點，該第二 PMOS 電晶體之源極耦接該第一節點；

一第三 PMOS 電晶體，具有閘極、汲極、源極，該第三 PMOS 電晶體之閘極耦接該第三節點，該第三 PMOS 電晶體之源極耦接該第二 PMOS 電晶體之汲極；

一第一 NMOS 電晶體，具有閘極、汲極、源極，該第一 NMOS 電晶體之閘極耦接該第三節點，該第一 NMOS 電晶體之汲極耦接該第三 PMOS 電晶體之汲極於一第五節點；以及

一靜電放電保護單元，具有第一連接端、第二連接端以及觸發端，該靜電放電保護單元之第一連接端耦接該第一節點，該靜電放電保護單元之第二連接端耦接該第四節點，該靜電放電保護單元之觸發端耦接該第五節點。

- 2.如申請專利範圍第1項所述之混合電壓源介面電路之電源線間的靜電放電箝制電路，其中在正常情況下，該第一PMOS電晶體、該第二PMOS電晶體以及該第三PMOS電晶體為適用於承受2.5伏特電壓之規格。
- 3.如申請專利範圍第2項所述之混合電壓源介面電路之電源線間的靜電放電箝制電路，其中在正常情況下，該第一NMOS電晶體為適用於承受1伏特電壓之規格。
- 4.如申請專利範圍第1項所述之混合電壓源介面電路之電源線間的靜電放電箝制電路，其中該第一PMOS電晶體、該第二PMOS電晶體以及該第三PMOS電晶體更包括有基底，

且該第一PMOS電晶體、該第二PMOS電晶體以及該第三PMOS電晶體之基底與源極耦接於一點。

- 5.如申請專利範圍第1項所述之混合電壓源介面電路之電源線間的靜電放電箝制電路，其中該偵測單元更包括：一第二NMOS電晶體，具有閘極、汲極、源極，該第二NMOS電晶體之閘極耦接該第五節點，該第二NMOS電晶體之汲極耦接該第三節點，該第二NMOS電晶體之源極耦接該第四節點。
- 6.如申請專利範圍第5項所述之混合電壓源介面電路之電源線間的靜電放電箝制電路，其中在正常情況下，該第一PMOS電晶體、該第二PMOS電晶體、該第三PMOS電晶體以及該第二NMOS電晶體為適用於承受2.5伏特電壓之規格，該第一NMOS電晶體為適用於承受1伏特電壓之規格。
- 7.如申請專利範圍第5項所述之混合電壓源介面電路之電源線間的靜電放電箝制電路，其中在正常情況下，該第一PMOS電晶體、該第二PMOS電晶體以及該第三PMOS電晶體為適用於承受2.5伏特電壓之規格，該第一NMOS電晶體以及該第二NMOS電晶體為適用於承受1伏特電壓之規格。
- 8.如申請專利範圍第1項所述之混合電壓源介面電路之電源線間的靜電放電箝制電路，其中該靜電放電保護單元等效為一NPN雙載子電晶體，且該NPN雙載子電晶體之集極、射極以及基極分別為該靜電放電保護單元之第一連接端、第二連接端以及觸發端。
- 9.如申請專利範圍第8項所述之混合電壓源介面電路之電源線間的靜電放

電箝制電路，其中該靜電放電保護單元為一場氧化層電晶體，具有基體、第一連接端以及第二連接端，該場氧化層電晶體之第一連接端為該靜電放電保護單元之第一連接端，該場氧化層電晶體之第二連接端為該靜電放電保護單元之第二連接端，該場氧化層電晶體之基體為該靜電放電保護單元之觸發端。

10.如申請專利範圍第9項所述之混合電壓源介面電路之電源線間的靜電放電箝制電路，其中在正常情況下，該第一PMOS電晶體、該第二PMOS電晶體、該第三PMOS電晶體以及該場氧化層電晶體為適用於承受2.5伏特電壓之規格，該第一NMOS電晶體為適用於承受1伏特電壓之規格。

11.如申請專利範圍第8項所述之混合電壓源介面電路之電源線間的靜電放電箝制電路，其中該靜電放電保護單元為由一第三NMOS電晶體、一第四NMOS電晶體以及一第三電阻所組成，該第三NMOS電晶體以及該第四NMOS電晶體分別具有閘極、汲極以及源極，該第三電阻則分別具有第一連接端以及第二連接端，而該第三NMOS電晶體以及該第四NMOS電晶體之閘極分別耦接該電壓源以及該接地端，該第三NMOS電晶體之汲極為該靜電放電保護單元之第一連接端，該第四NMOS電晶體之閘極與源極耦接於一點並為該靜電放電保護單元之第二連接端，該第三NMOS電晶體之源極耦接該第四NMOS電晶體之汲極於一點並為該靜電放電保護單元之觸發端，該第三NMOS電晶體之閘極耦接該第三電阻之第二連接端，該第三電阻之第一連接端則耦

接該電壓源。

12.如申請專利範圍第11項所述之混合電壓源介面電路之電源線間的靜電放電箝制電路，其中在正常情況下，該第一PMOS電晶體、該第二PMOS電晶體、該第三PMOS電晶體閘極、該第三NMOS電晶體以及該第四NMOS電晶體為適用於承受2.5伏特電壓之規格，該第一NMOS電晶體閘極之氧化層為適用於承受1伏特電壓之規格。

13.如申請專利範圍第11項所述之混合電壓源介面電路之電源線間的靜電放電箝制電路，其中在正常情況下，該第一PMOS電晶體、該第二PMOS電晶體、該第三PMOS電晶體閘極以及該第三NMOS電晶體為適用於承受2.5伏特電壓之規格，該第一NMOS電晶體以及該第四NMOS電晶體為適用於承受1伏特電壓之規格。

14.如申請專利範圍第8項所述之混合電壓源介面電路之電源線間的靜電放電箝制電路，其中該靜電放電保護單元為一矽控整流器以及以陽極對陰極方式串接之一二極體串所組成，該矽控整流器具有第一連接端、第二連接端以及觸發端，該二極體串則具有第一連接端以及第二連接端，而該矽控整流器之第一連接端為該靜電放電保護單元之第一連接端，該二極體串之第二連接端為該靜電放電保護單元之第二連接端，該矽控整流器之觸發端為該靜電放電保護單元之觸發端，該矽控整流器之第二連接端耦接該二極體串之第一連接端。

15.如申請專利範圍第14項所述之混合電壓源介面電路之電源線間的靜電放電箝制電路，其中該矽控整流器

包括：

一第四電阻，具有第一連接端以及第二連接端；

一 PNP 雙載子電晶體，具有基極、集極以及射極，該 PNP 雙載子電晶體之基極耦接該第四電阻之第二連接端於一第六節點，該 PNP 雙載子電晶體之射極耦接該第四電阻之第一連接端於一點並為該矽控整流器之第一連接端；以及

一 NPN 雙載子電晶體，具有基極、集極以及射極，該 NPN 雙載子電晶體之基極耦接該 PNP 雙載子電晶體之集極於一點並為該矽控整流器之觸發端，該 NPN 雙載子電晶體之集極耦接於該第六節點，該 NPN 雙載子電晶體之射極為該矽控整流器之第二連接端。

圖式簡單說明：

圖一係為習知獨立電壓源系統內部電路間之示意圖；

圖二係為習知混合電壓源介面電路之靜電放電保護電路之示意圖；

圖三係為本發明較佳實施例之混合電壓源介面電路之電源線間的靜電

放電箝制電路之示意圖；

圖四係為本發明另一較佳實施例之使用場氧化層電晶體作為其靜電放電保護單元之混合電壓源介面電路之電源線間的靜電放電箝制電路之示意圖；

圖五係為本發明又一較佳實施例之混合電壓源介面電路之電源線間的靜電放電箝制電路之示意圖；

圖六係為以薄氧化層規格之 NMOS 電晶體取代圖五 NMOS 電晶體之示意圖；

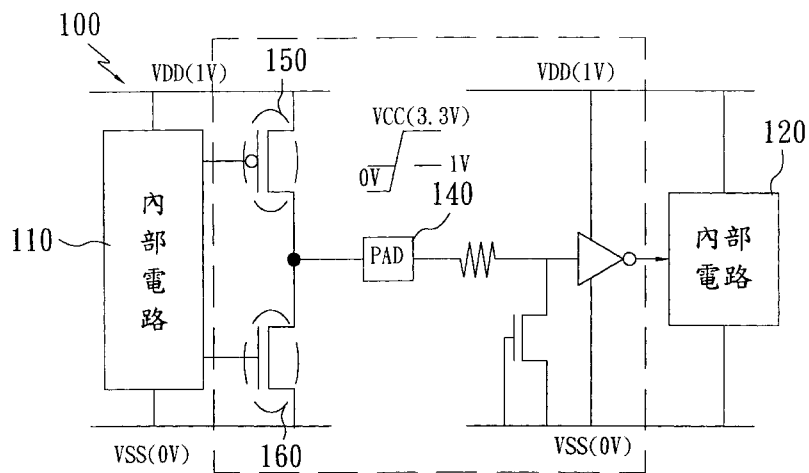
圖七以及圖八分別係為圖四電壓源在正常情況下、靜電放電產生情況下 PMOS 電晶體各汲極與各源極之電壓關係圖；

圖九係為以堆疊之 NMOS 電晶體作為靜電放電保護單元之混合電壓源介面電路之電源線間靜電放電箝制電路之示意圖；

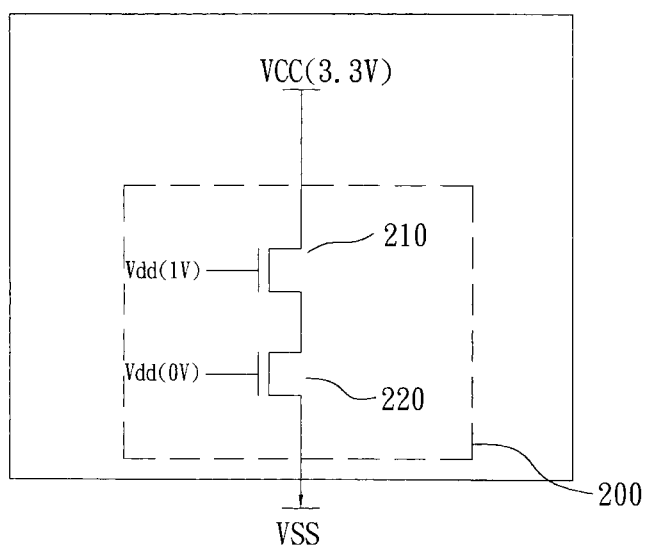
圖十係為使用一厚加一薄閘極氧化層堆疊之電晶體之靜電放電保護單元之示意圖；以及

圖十一係為以矽控整流器作為靜電放電保護單元元件之示意圖。

(5)

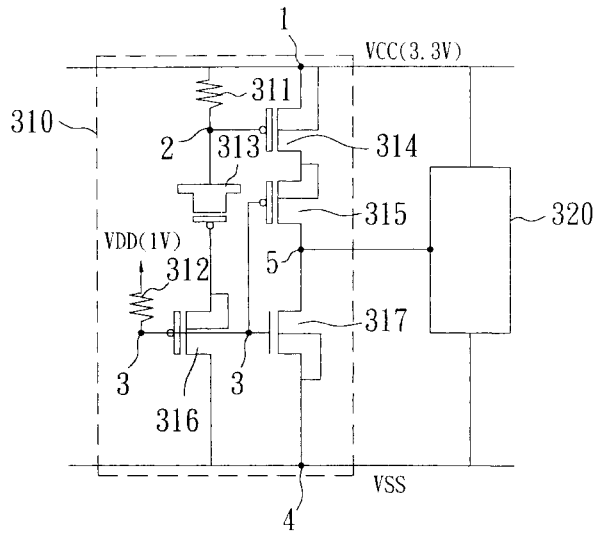


圖一

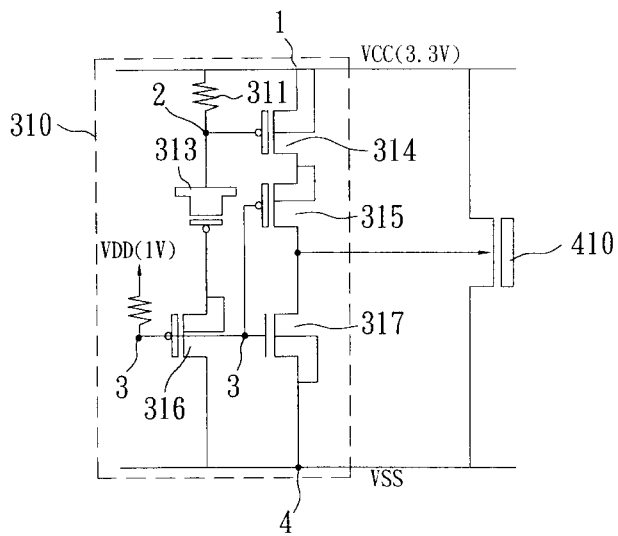


圖二

(6)

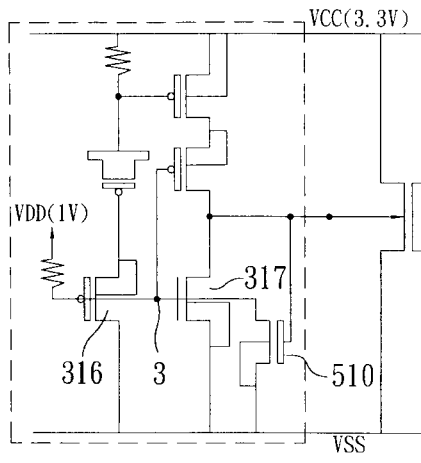


圖三

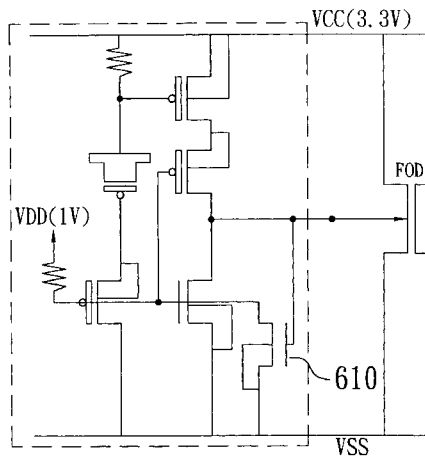


圖四

(7)

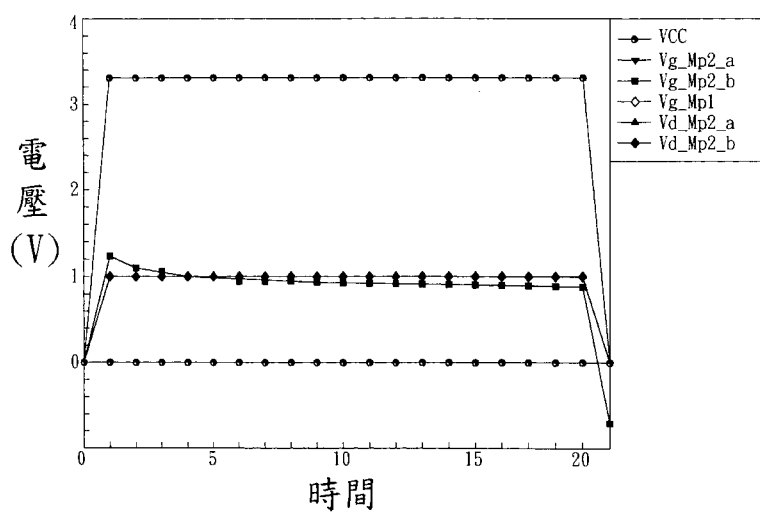


圖五

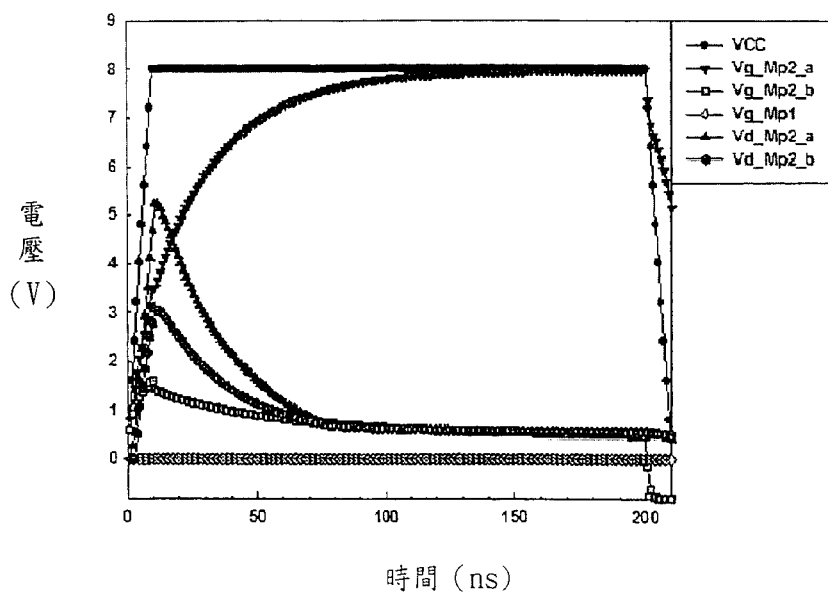


圖六

(8)

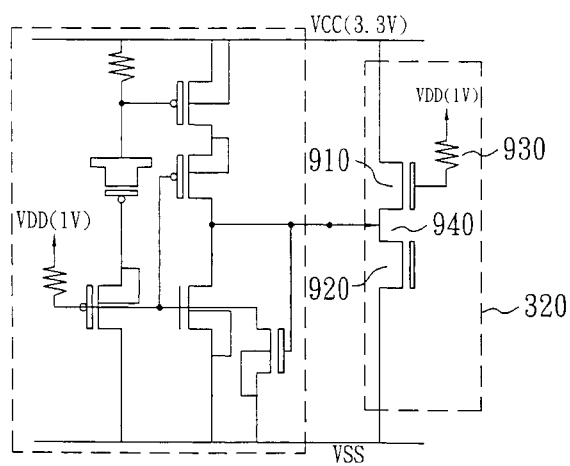


圖七

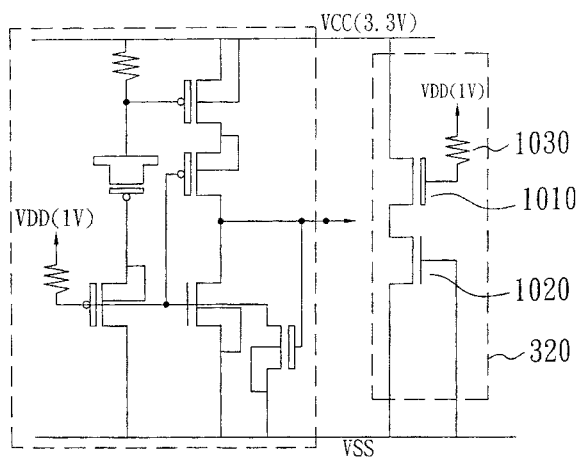


圖八

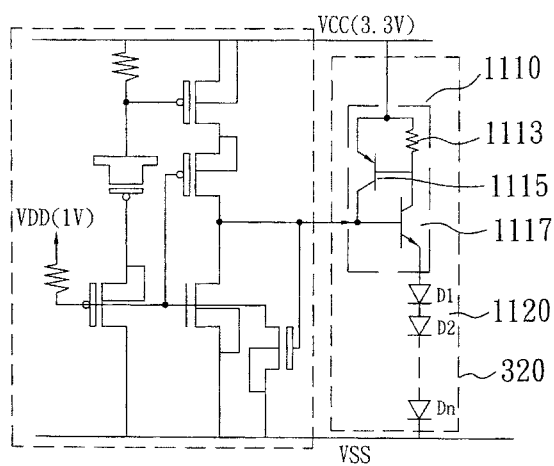
(9)



圖九



圖十



圖十一