

【11】證書號數： I244194

【45】公告日： 中華民國 94 (2005) 年 11 月 21 日

【51】Int. Cl.⁷: H01L23/60

發明

全 13 頁

【54】名稱： 具有主動型電晶體之元件充電模式靜電放電防護

CHARGE-DEVICE MODEL ELECTROSTATIC DISCHARGE
PROTECTION USING ACTIVE DEVICES FOR CMOS CIRCUITS

【21】申請案號： 092135847

【22】申請日期： 中華民國 92 (2003) 年12月17日

【11】公開編號： 200427051

【43】公開日期： 中華民國 93 (2004) 年12月01日

【30】優先權： 2003/05/21

美國

10/442,261

【72】發明人：

柯明道

KER, MING DOU

曾當貴

TSENG, TANG KUI

姜信欽

JIANG, HSIN CHIN

【71】申請人：

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH
INSTITUTE新竹縣竹東鎮中興路4段195
號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種靜電放電防護之積體電路，包括：

一接觸墊片；

一CMOS元件，包括一具有一基體之電晶體；以及

一靜電放電防護之CDM箝位元件連接於接觸墊片與CMOS元件之間，該CDM箝位元件包含至少一主動元件，

其中CDM箝位元件將累積於電晶體

基體之靜電荷排放至接觸墊片，且其中CMOS元件連接於一高電壓線路與一低電壓線路之間。

2. 如申請專利範圍第1項之電路，其中CDM箝位元件包含至少一n型主動元件，該n型主動元件具有一低臨界電壓、零臨界電壓或負臨界電壓。

3. 如申請專利範圍第1項之電路，其中CDM箝位元件包含至少一p型主動元件，該p型主動元件具有一低臨界

電壓、零臨界電壓或正臨界電壓。

- 4.如申請專利範圍第1項之電路，其中電晶體為一PMOS電晶體，該PMOS電晶體具有一擴散區連接至高電壓線路，以及一基體連接至CDM箝位元件及高電壓線路。
- 5.如申請專利範圍第1項之電路，其中電晶體為一NMOS電晶體，該NMOS電晶體具有一擴散區連接至低電壓線路以及一基體連接至CDM箝位元件及低電壓線路。
- 6.如申請專利範圍第1項之電路，其中電晶體為一PMOS電晶體，該PMOS電晶體具有一擴散區連接至高電壓線路，以及一基體連接至CDM箝位元件及一偏壓源。
- 7.如申請專利範圍第1項之電路，其中電晶體為一NMOS電晶體，該NMOS電晶體具有一擴散區連接至低電壓線路以及一基體連接至CDM箝位元件及一偏壓源。
- 8.如申請專利範圍第1項之電路，其中CMOS元件另包含一差動放大器。
- 9.如申請專利範圍第8項之電路，其中電晶體為一NMOS電晶體，該NMOS電晶體具有一閘極連接至接觸墊片，以及一基體連接至CDM箝位元件及低電壓線路。
- 10.如申請專利範圍第1項之電路，其中CMOS元件另包含一預驅動器於一輸出墊片中。
- 11.如申請專利範圍第10項之電路，其中電晶體為一PMOS電晶體，該PMOS電晶體具有一擴散區連接至高電壓線路，以及一基體連接至CDM箝位元件及高電壓線路。
- 12.如申請專利範圍第10項之電路，其中電晶體為一NMOS電晶體，該NMOS電晶體具有一擴散區連接至低電壓線路，以及一基體連接至

CDM箝位元件及低電壓線路。

- 13.如申請專利範圍第1項之電路，其中連接於接觸墊片與電晶體基體間之CDM箝位元件為第一CDM箝位元件，該電路另包括一第二CDM箝位元件，該第二CDM箝位元件具有一第一端連接至一第一電壓線路，以及一第二端連接至一第二電壓線路。
- 14.如申請專利範圍第13項之電路，其中第二CDM箝位元件包含至少一主動元件。
- 15.如申請專利範圍第13項之電路，其中第二CDM箝位元件為雙向性。
- 16.如申請專利範圍第13項之電路，其中第一電壓線路之電壓位準與第二電壓線路之電壓位準不同。
- 17.如申請專利範圍第1項之電路，另包括一第一偏壓源以關閉CDM箝位元件。
- 18.如申請專利範圍第13項之電路，另包括一第二偏壓源以關閉第二CDM箝位元件。
- 19.如申請專利範圍第1項之電路，其中CDM箝位元件包含至少一n型主動元件。
- 20.如申請專利範圍第19項之電路，另包括一負偏壓以關閉n型主動元件。
- 21.如申請專利範圍第1項之電路，其中CDM箝位元件包含至少一p型主動元件。
- 22.如申請專利範圍第21項之電路，另包括一正偏壓以關閉p型主動元件。
- 23.一種積體電路，包括：
 35. 一第一電壓線路；
 - 一第二電壓線路；
 - 一電晶體，具有一閘極連接至第一電壓線路，以及一基體連接至第二電壓線路；以及
 40. 一CDM箝位元件，連接於電晶體之

間極與基體之間，該 CDM 箝位元件包含至少一主動元件，其中 CDM 箝位元件於 ESD 期間將累積於電晶體基體之靜電荷排放至第一電壓線路或第二電壓線路其中之一。

24.一種積體電路，包括：

一接觸墊片；
一具有一基體之電晶體；
一 CDM 防護電路，包含一 CDM 箝位元件連接於接觸墊片與電晶體基體間，該 CDM 箝位元件包含至少一主動元件；以及
一 HBM/MM 防護電路，位於接觸墊片與 CDM 防護電路之間，包括至少一連接至接觸墊片之 HBM/MM 箝位元件，其中 CDM 箝位元件於接觸墊片接地時，將累積於電晶體基體之靜電荷排放至接觸墊片。

25.如申請專利範圍第 24 項之電路，其中 HBM/MM 箝位元件為場氧化物元件、橫向雙載子電晶體或橫向 SCR 電晶體其中之一。

26.如申請專利範圍第 24 項之電路，其中連接於接觸墊片與電晶體基體間之 CDM 箝位元件為第一 CDM 箝位元件，該電路另包括一第二 CDM 箝位元件，該第二 CDM 箝位元件具有一第一端經由一第一電壓線路連接至電晶體之基體，以及一第二端經由一第二電壓線路連接至接觸墊片。

27.一種靜電放電防護方法，包括：

提供一接觸墊片；
將接觸墊片接地；
提供一具有一基體之電晶體；
提供一連接於接觸墊片與電晶體基體間之主動元件 CDM 箝位元件；
累積靜電於電晶體之基體；以及
將累積於電晶體基體之靜電荷排放

至接觸墊片。

28.如申請專利範圍第 27 項之方法，另包括：

以該連接於接觸墊片與電晶體基體間之 CDM 箝位元件為一第一 CDM 箝位元件；

提供一第一電壓線路；以及

提供一第二 CDM 箝位元件，該第二 CDM 箝位元件具有一第一端經由第一電壓線路連接至電晶體之基體，以及一第二端連接至第二電壓線路。

29.如申請專利範圍第 28 項之方法，另包括使第一電壓線路與第二電壓線路具有不同電壓位準。

30.一種靜電放電防護方法，包括：

提供一接觸墊片；

提供一具有一基體之電晶體；

提供一 CDM 防護電路，具有一連接於接觸墊片與電晶體基體間之 CDM 箝位元件，該 CDM 箝位元件包含至少一主動元件；

提供一 HBM/MM 防護電路，位於接觸墊片與 CDM 防護電路之間，該 HBM/MM 防護電路包含至少一 HBM/MM 箝位元件連接至接觸墊片；以及

將累積於電晶體基體之靜電荷於接觸墊片接地時排放至接觸墊片。

31.如申請專利範圍第 30 項之方法，另包括：

以該連接於接觸墊片與電晶體基體間之 CDM 箝位元件為一第一 CDM 箝位元件；

提供一第一電壓線路；

提供一第二電壓線路；以及

提供一第二 CDM 箝位元件，其具有一第一端經由第一電壓線路連接至電晶體之基體，以及一第二端經由第二電壓線路連接至接觸墊片。

32.如申請專利範圍第30項之方法，另包括將第二 CDM 箝位元件經由第二電壓綫路及 HBM/MM 電路之 HBM/MM 箝位元件連接至接觸墊片。

圖式簡單說明：

圖 1 為人體模式 ESD 測試電路；

圖 2 為不同 ESD 模式之特性圖；

圖 3 為習知 ESD 防護技術之電路圖；

圖 4 為另一習知 ESD 防護技術之電路圖；

圖 5 為另一習知 ESD 防護技術之電路圖；

圖 6A 為本發明實施例之 ESD 防護電路圖；

圖 6B 為圖 6A 電路之放電路徑；

圖 6C 為本發明實施例之 CDM 箝位元件；

圖 6D 為本發明另一實施例之

CDM 箝位元件；

圖 7A 為本發明實施例之 ESD 防護電路圖；

圖 7B 為圖 7A 電路之放電路徑；

5. 圖 8 為本發明實施例之 ESD 防護電路圖；

圖 9 為本發明實施例之 ESD 防護電路圖；

10. 圖 10A 為本發明實施例之 ESD 防護電路圖；

圖 10B 為圖 10A 電路之放電路徑；

圖 11A 為本發明實施例之 ESD 防護電路圖；

15. 圖 11B 為圖 11A 電路之放電路徑；以及

圖 12 為本發明實施例之 ESD 防護電路圖。

(5)

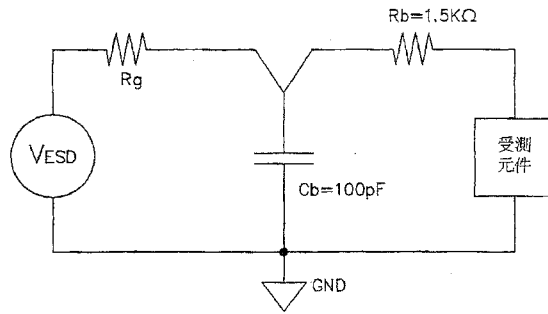


圖 1

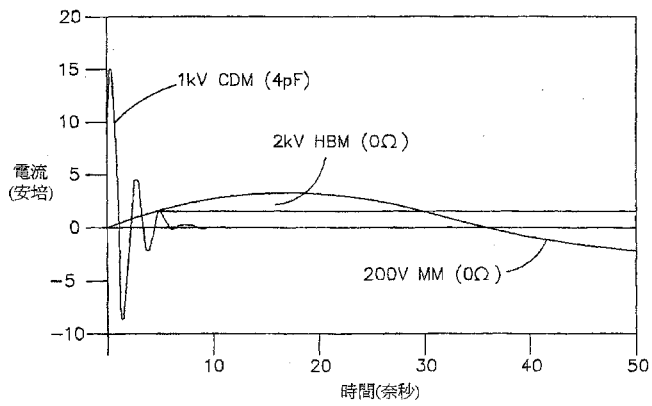


圖 2

(6)

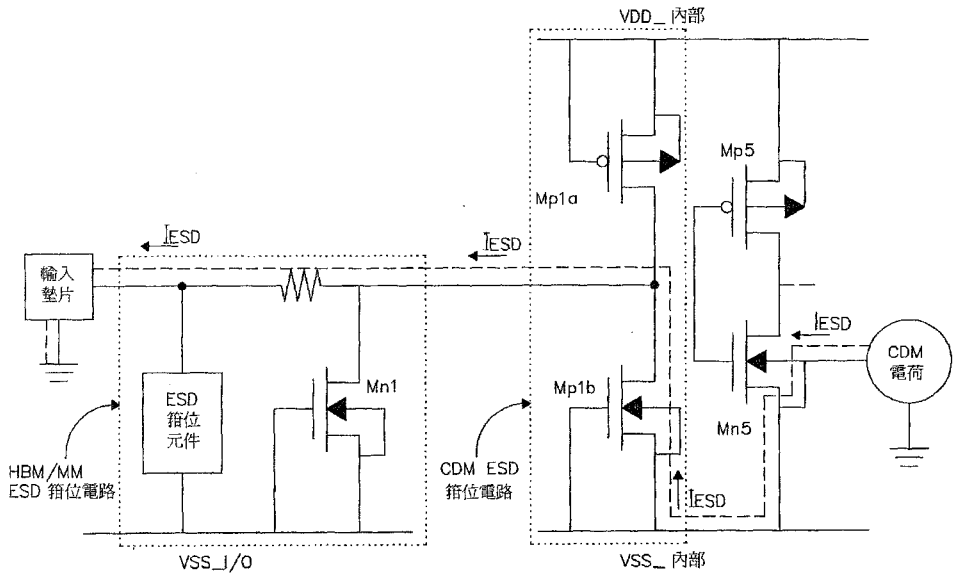


圖 3

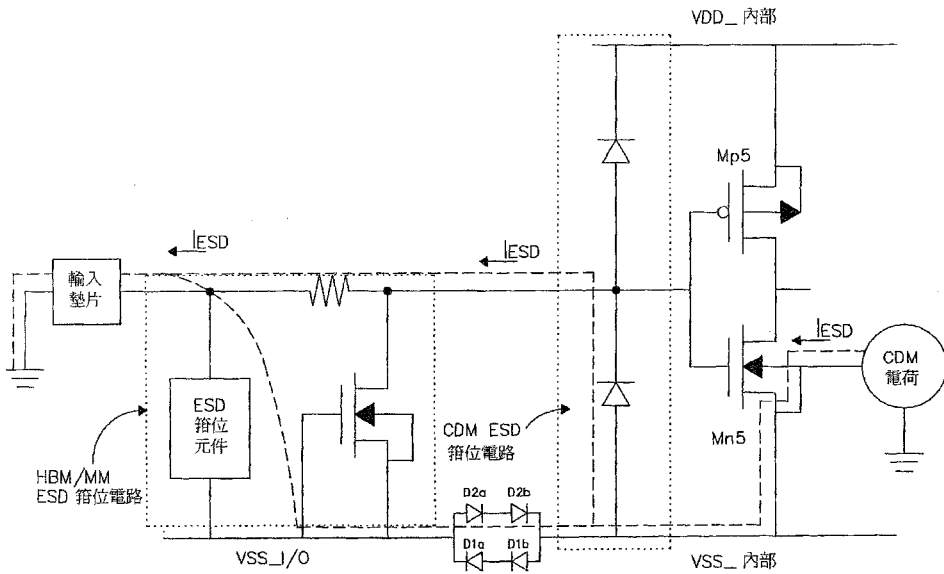


圖 4

(7)

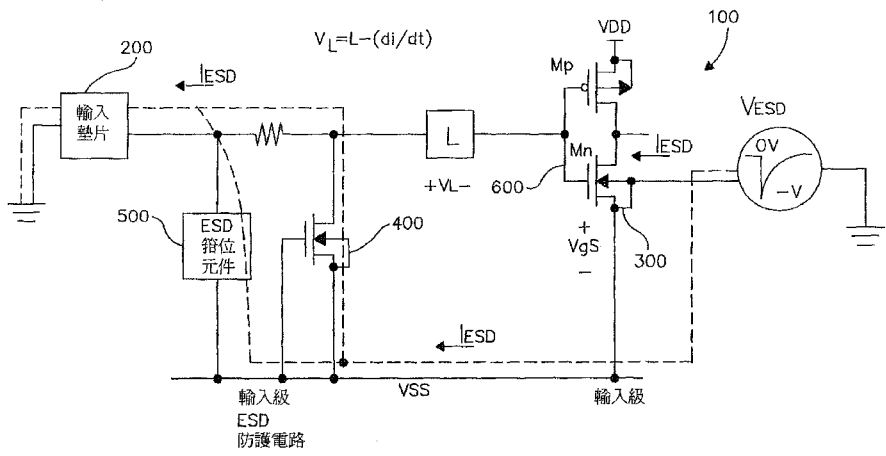


圖 5

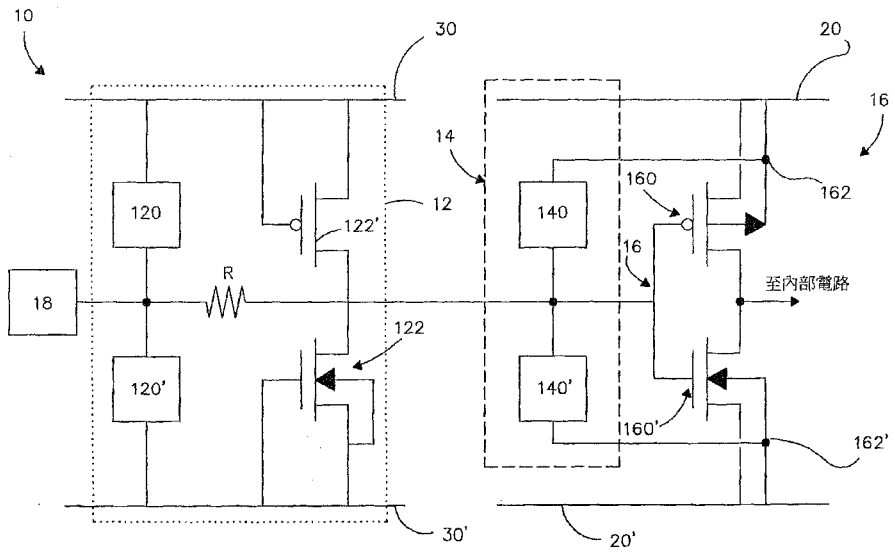


圖 6A

(8)

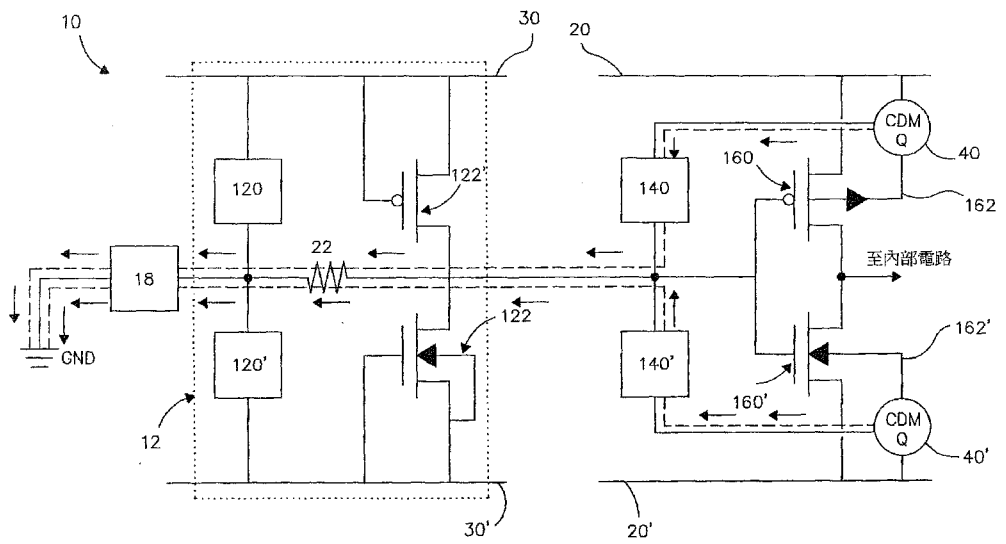


圖 6B

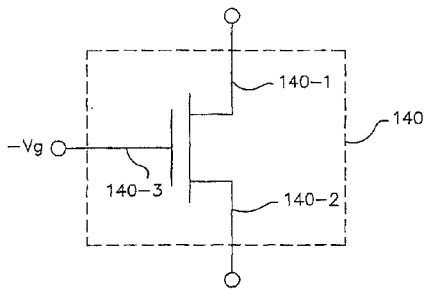


圖 6C

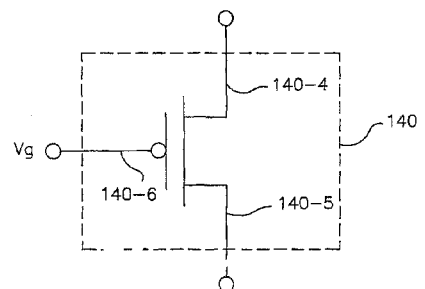


圖 6D

(9)

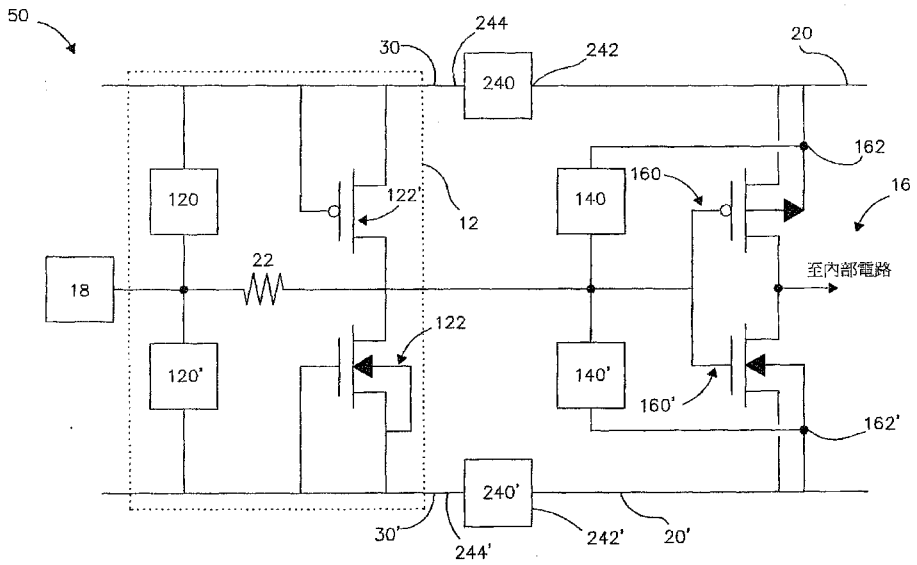


圖 7A

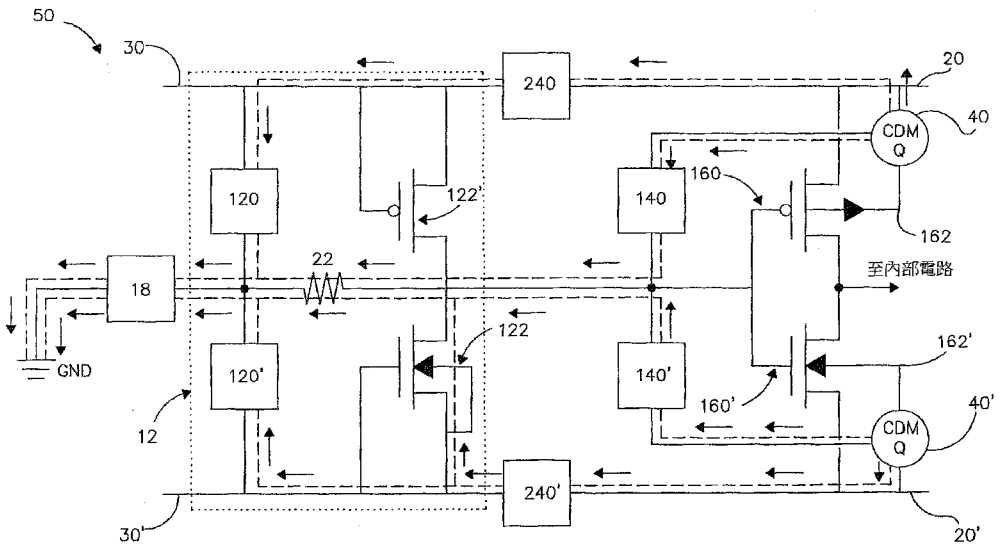


圖 7B

(10)

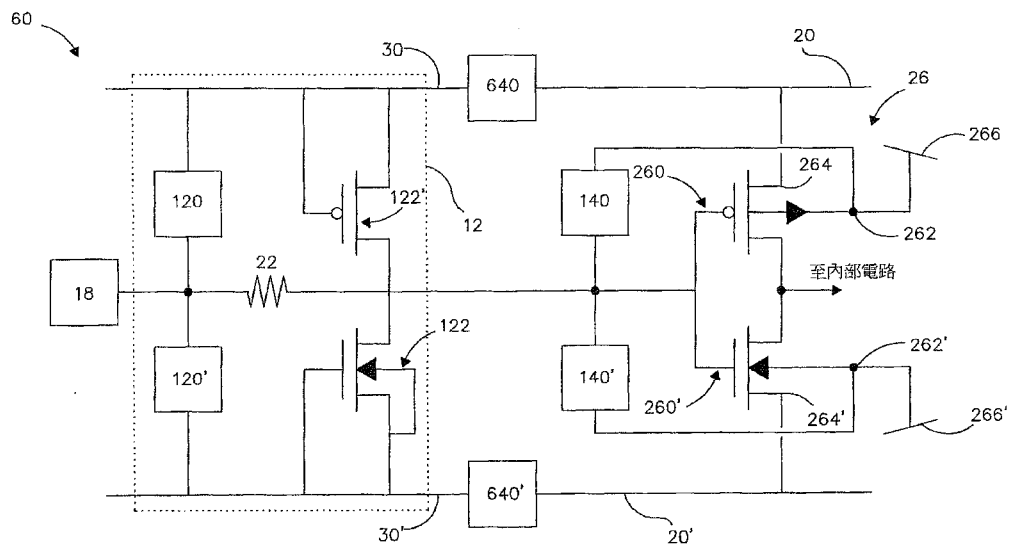


圖 8

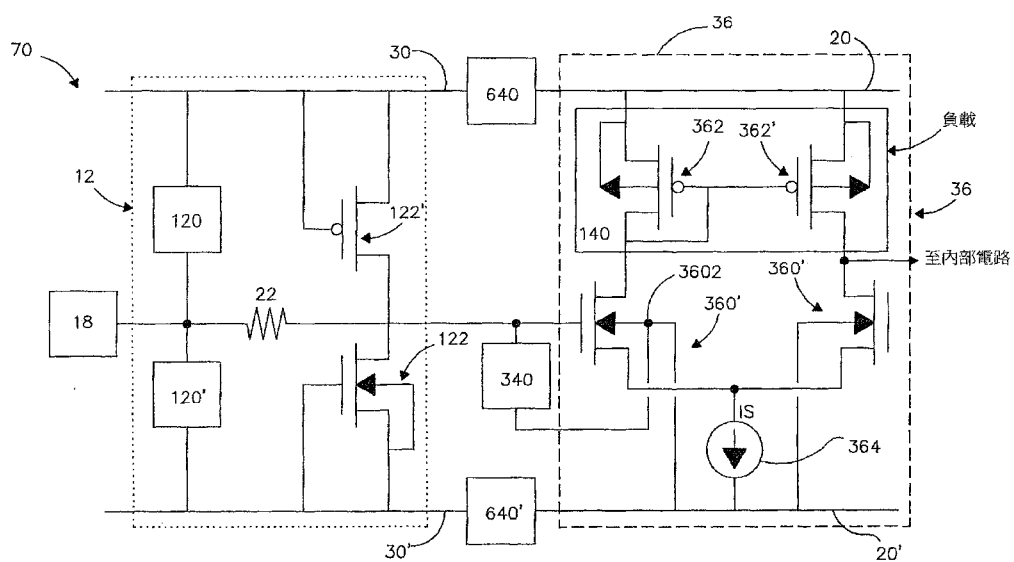


圖 9

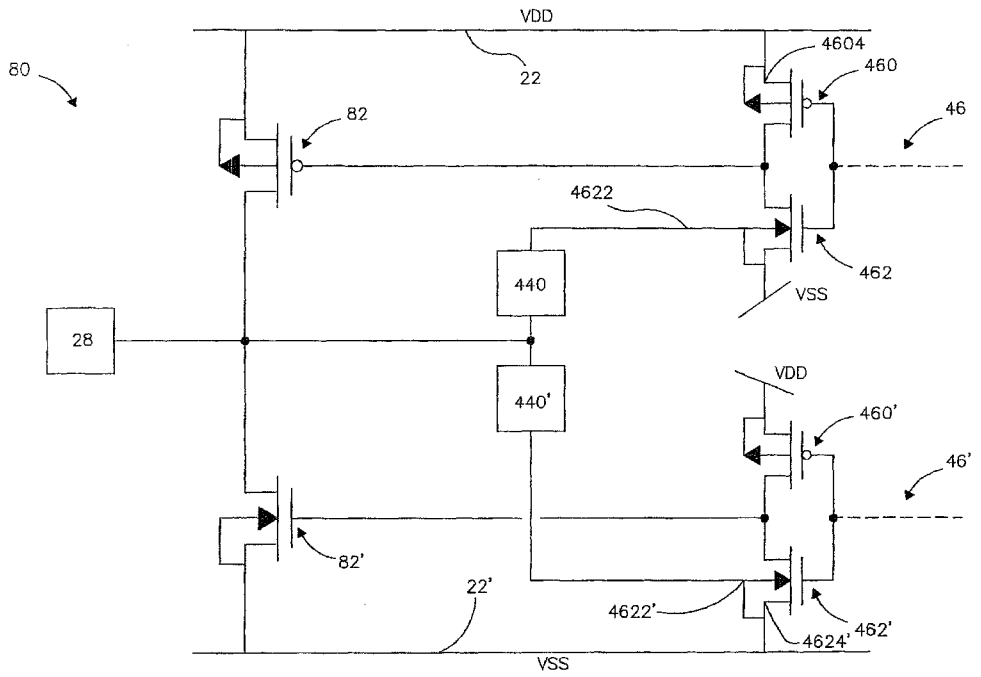


圖 10A

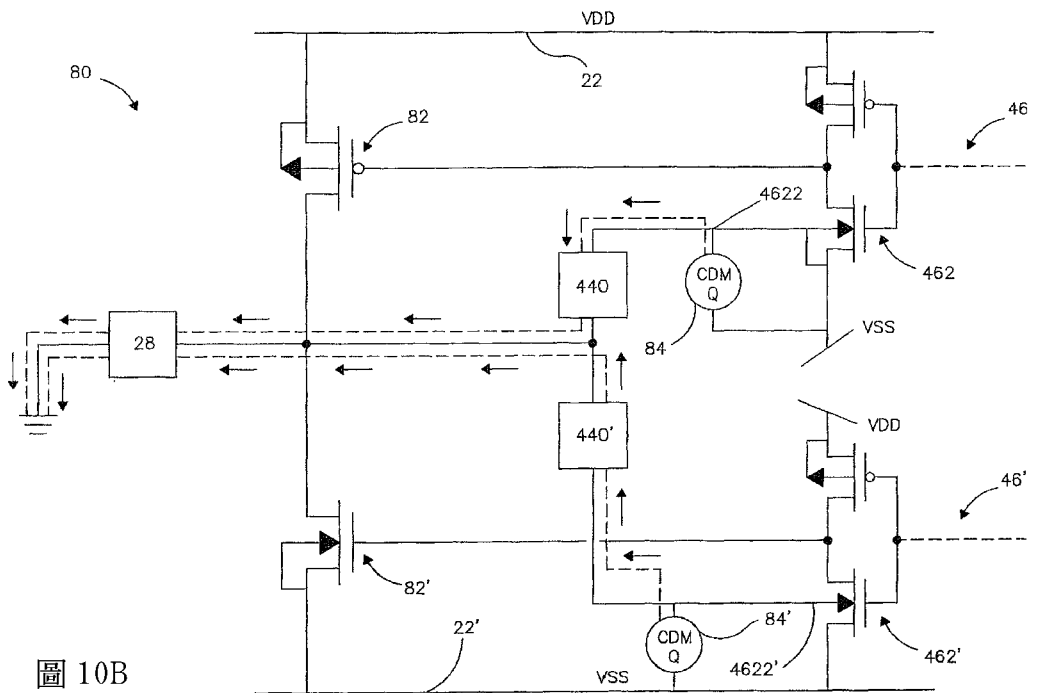


圖 10B

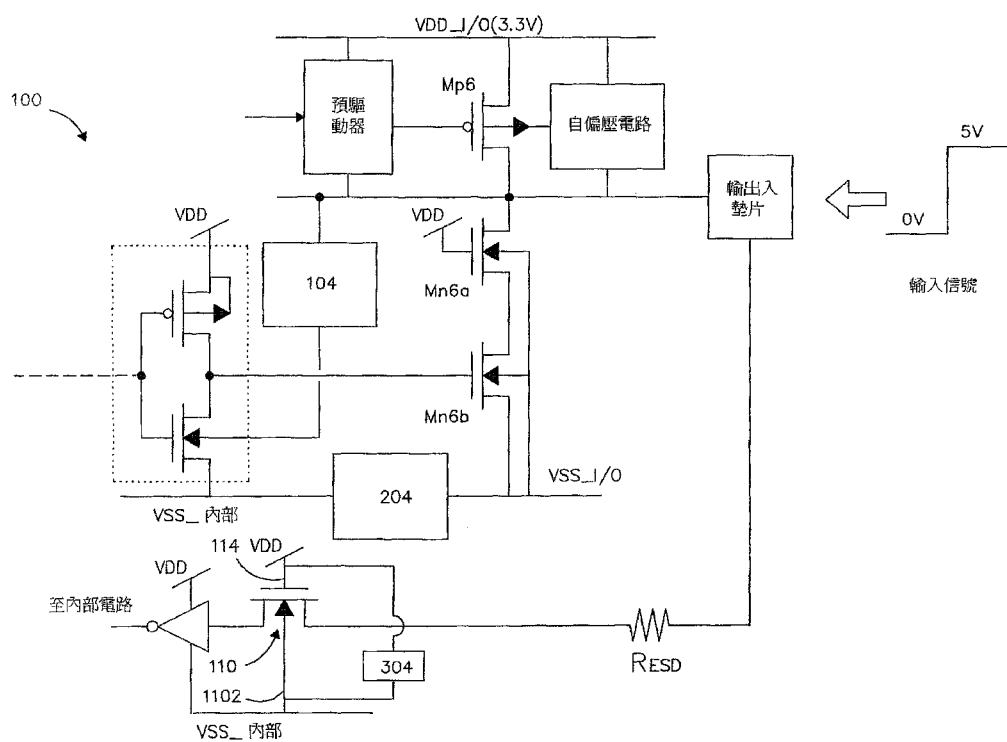


圖 12

