
【54】名稱： 遞減面積之分散式靜電放電防護電路

【21】申請案號：093123622

【22】申請日：中華民國93(2004)年8月6日

【72】發明人： 柯明道；郭秉捷

【71】申請人： 國立交通大學 NATIONAL CHIAO-TUNG UNIVERSITY
新竹市東區大學路1001號

【74】代理人： 林火泉

1

2

[57]申請專利範圍：

1.一種遞減面積之分散式靜電放電防護電路，包括：

一信號輸入端；

一接地端；

一信號輸出端；

一電源供應端；

數靜電放電防護元件組，其係相並聯於該信號輸入端及該信號輸出端間，且每一該靜電放電防護元件組連接於該電源供應端及該接地端

間；以及

數高阻抗傳輸線，其係相串聯於該信號輸入端及該信號輸出端間，且每一該高阻抗傳輸線分別連接於該信號輸入端、該等靜電放電防護元件組及該信號輸出端間；

其特徵在於：每一該靜電放電防護元件組係包含二靜電放電防護元件，且該等靜電放電防護元件組內之該等靜電放電防護元件的面積尺

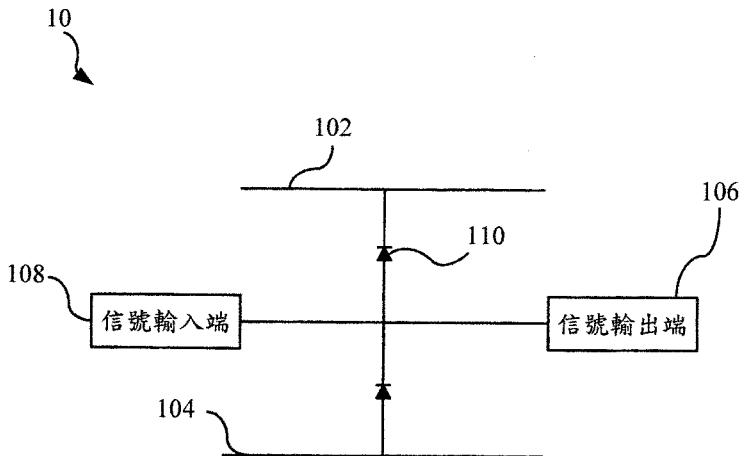
寸係由該信號輸入端至該信號輸出端而呈遞減順序。

- 2.如申請專利範圍第1項所述之遞減面積之分散式靜電放電防護電路，其中，該靜電放電防護元件為二極體。
- 3.如申請專利範圍第1項所述之遞減面積之分散式靜電放電防護電路，其中，該靜電放電防護元件為電晶體。
- 4.如申請專利範圍第1項所述之遞減面積之分散式靜電放電防護電路，其中，該靜電放電防護元件為N通道金屬氧化半導體(NMOS)。
- 5.如申請專利範圍第1項所述之遞減面積之分散式靜電放電防護電路，其

中，該靜電放電防護元件為P通道金屬氧化半導體(PMOS)。

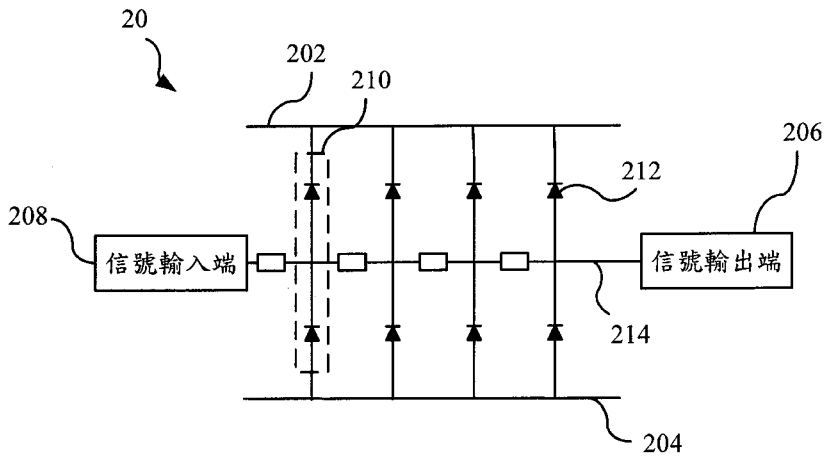
圖式簡單說明：

- 第1圖為習知之靜電放電防護電路之電路示意圖。
- 第2圖為習知之等面積之分散式靜電放電防護電路之電路示意圖。
- 第3圖為本發明之遞減面積之分散式靜電放電防護電路之電路示意圖。
- 第4圖為簡易分散式放大器之電路示意圖。
- 第5圖為分散式靜電放電防護電路應用於分散式放大器之電路示意圖。

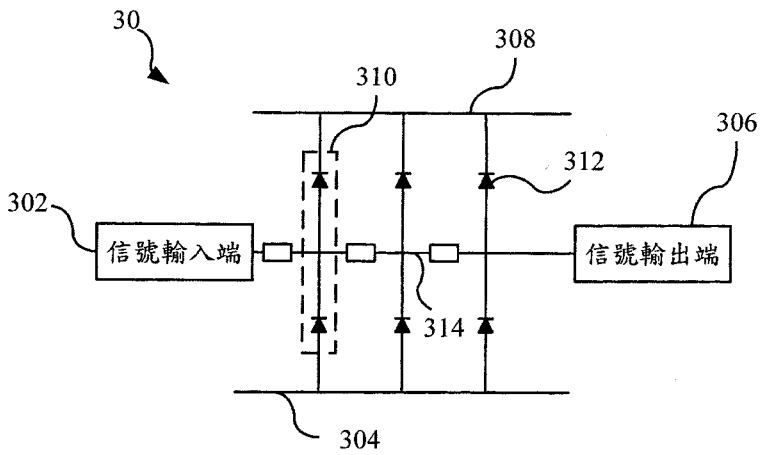


第1圖

(3)

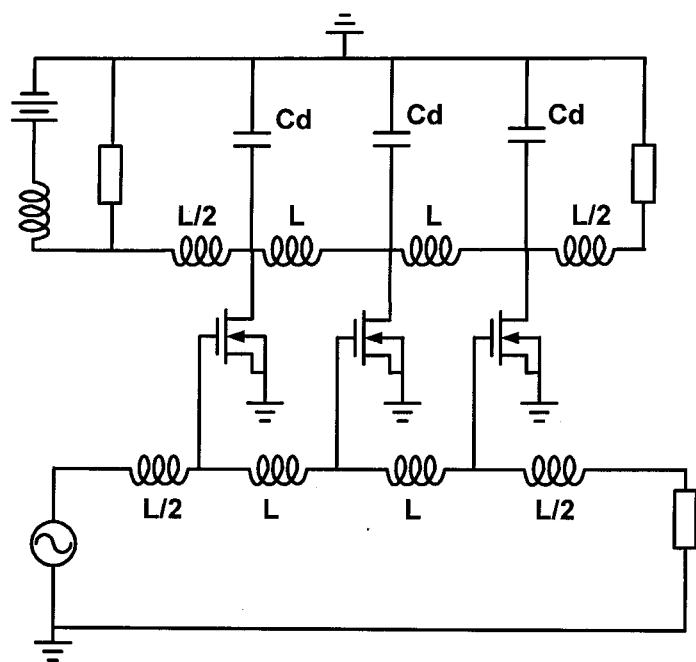


第 2 圖

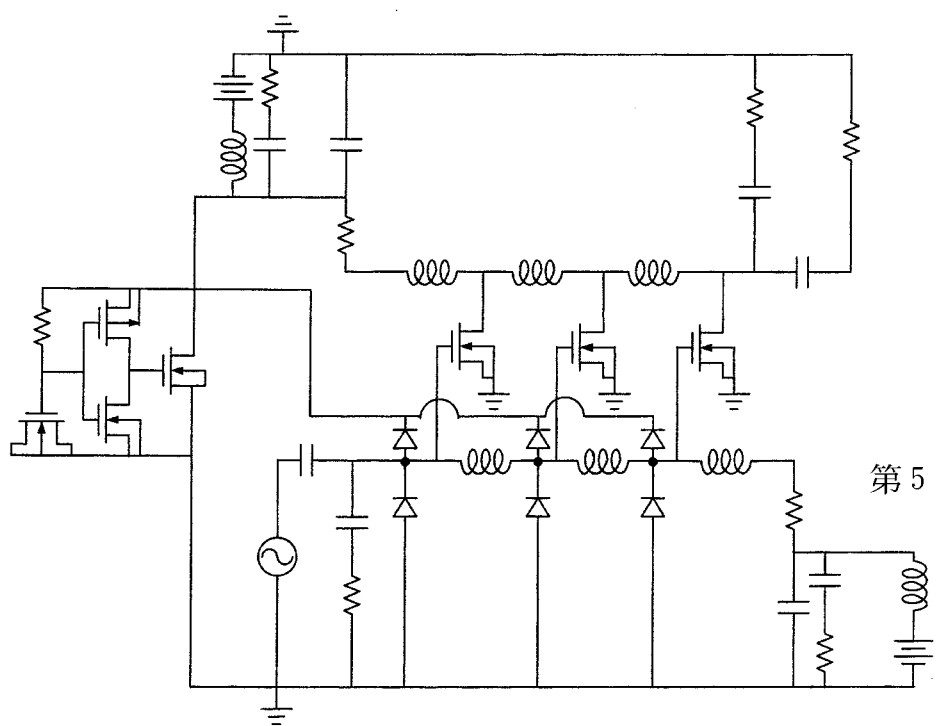


第 3 圖

(4)



第 4 圖



第 5 圖