
【54】名稱：靜電放電防護元件及其製作方法ELECTROSTATIC DISCHARGE PROTECTION DEVICE AND METHOD OF MANUFACTURING
THE SAME

【21】申請案號：092117887

【22】申請日：中華民國92(2003)年6月30日

【11】公開編號：200403830

【43】公開日：中華民國93(2004)年3月1日

【30】優先權： 2002/08/29 美國 10/230,055

【72】發明人：柯明道 KER, MING DOU；曾當貴 TSENG, TANG KUI；姜信欽 JIANG, HSIN
CHIN；張智毅 CHANG, CHYH YIH；彭政傑 PENG, JENG JIE【71】申請人：財團法人工業技術研究院 INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE
新竹縣竹東鎮中興路4段195號

【74】代理人：

1

2

[57]申請專利範圍：

1.一種靜電放電防護元件，主要包括：
一個具有第一種雜質型態的半導體
基板；

至少一具有第二種雜質型態的源極
及汲極對，並形成在基板上，在源
極汲極對的中間會被通道區域所分
開；

一個具有第一種雜質型態的淡雜質
區域形成在源極及汲極之間，且至
少包含一部份的通道區域；

一個閘極絕緣層在基板上形成；及
一閘極電極在閘極絕緣層上形成，
並且形成於通道區域之上。

2.如申請專利範圍第1項所述之靜電放
電防護元件，其可以進一步地加入
具有第二種雜質型態的淡雜質區
域，此區域與源極及汲極的其中之
一相接，並且在閘極下方。

3.如申請專利範圍第1項所述之靜電放
電防護元件，其可以進一步地加入

由第一種型態的雜質所形成的口袋區域，這個區域各別與源極及汲極對的其中之一相接，並且在閘極下方。

- 4.如申請專利範圍第1項所述之靜電放電防護元件，其可以進一步地加入由第一種型態的雜質所形成的反貫穿區域，這個區域在源極及汲極對之間，並且在通道下方。
- 5.如申請專利範圍第1項所述之靜電放電防護元件，其進一步可以利用第二種雜質型態的第一個擴散區域，這個區域的形成會在源極或汲極對的源極區域下方。
- 6.如申請專利範圍第1項所述之靜電放電防護元件，其進一步可以利用第二種雜質型態的第二個擴散區域，這個區域的形成會在源極或汲極對的汲極區域下方。
- 7.如申請專利範圍第5項所述之靜電放電防護元件，其中，第一個擴散區域可以在源極區域的下方，並且可以延伸部分的擴散區域到通道區域。
- 8.如申請專利範圍第6項所述之靜電放電防護元件，其中，第二個擴散區域可以在汲極區域的下方，並且可以延伸部分的擴散區域到通道區域。
- 9.如申請專利範圍第1項所述之靜電放電防護元件，其可以進一步地加入由源極汲極對的源極區域下方的第三擴散區域，並且此擴散區域可以延伸進入具有第二種雜質的淡濃度區域。
- 10.如申請專利範圍第1項所述之靜電放電防護元件，其可以進一步地加入由源極汲極對的汲極區域下方的第四擴散區域，並且此擴散區域可以延伸進入具有第二種雜質的淡濃

度區域。

- 11.如申請專利範圍第9項所述之靜電放電防護元件，其可以更進一步加入第五擴散區域，此擴散區域具有第二種型態的雜質且在第三擴散區域下方。
- 12.如申請專利範圍第10項所述之靜電放電防護元件，其可以更進一步加入第六擴散區域，此擴散區域具有第二種型態的雜質且在第四擴散區域下方。
- 13.如申請專利範圍第11項所述之靜電放電防護元件，其中，第五擴散區域可以部分延伸進入通道區域。
- 14.如申請專利範圍第12項所述之靜電放電防護元件，其中，第六擴散區域可以部分延伸進入通道區域。
- 15.如申請專利範圍第1項所述之靜電放電防護元件，其可以更進一步在基板裡加入深 N- 井的第二種雜質型態。
- 16.一種靜電放電保護元件，主要包括：
 - 一個具有第一種型態的半導體基板；
 - 一具有第一種雜質型態的井區形成在基板裡；
 - 一具有第二種雜質型態的一個源極區域形成在井區裡；
 - 一具有第二種雜質型態的汲極對形成在井區裡，並且與源極隔開一段距離；
 - 一通道區域形成在此源極與汲極中間；
 - 一具有第一種雜質型態的淡雜質區域形成在源極與汲極之間；及
 - 一閘極形成在基板且在通道上方。
- 17.如申請專利範圍第16項所述之靜電放電防護元件，其具有第一種雜質型態的淡濃度區域可以包含部分的

通道區域。

18. 一個靜電放電保護元件，主要包括：

- 一具有第一種型態的半導體基板；
- 至少一個具有第二種雜質型態的源極與汲極對形成在基板上，此源極與汲極是分開的，分開的中間區域為通道區域；
- 一具有第二種雜質型態的淡雜質區域在源極與汲極對的中間，且至少包含部分的通道區域；
- 一閘極介電層形成在基板上；及
- 一閘極形成在閘極介電層且在通道上方。

19. 一個製造一個靜電放電防護元件的方法，主要包括：

- 提供一個具有第一種雜質型態的半導體基板，此基板具有一個基板表面；
- 遮罩住該半導體基板的部分表面區域；
- 在半導體基板上植入第二種雜質型態；
- 在半導體基板上再植入第一種雜質型態；
- 暴露出半導體基板的表面區域；及
- 在該區域形成至少一個具有第二種雜質型態的源極與汲極對，在該源極與汲極中間定義出通道區域，並在基板上與通道區域上方形成閘極。

20. 如申請專利範圍第 19 項所述之方法，其係利用一個虛擬層次來遮罩住半導體的表面區域。

21. 如申請專利範圍第 19 項所述之方法，其中，在遮罩住該表面區域之前，可能會植入第二種雜質型態的深 N- 井區域。

22. 一種製造一個靜電放電防護元件的方法，主要包含：

提供第一種雜質型態的半導體基板；

在基板上形成一個具有第一種雜質型態的井區；

5. 遮罩住一個表面區域，此區域會在具有第一種雜質型態的井區之上；植入具有第二種雜質型態的離子佈植進入基板；

10. 植入具有第一種雜質型態的離子進入基板；

在未遮罩住具有第一種雜質的井區表面上，形成最少一種具有第二種雜質的源極與汲極區域在該面積，該源極與汲極對的分開區域定義成一個通道區域；及

在基板上及通道區域之上形成閘極。

23. 如申請專利範圍第 22 項所述之方法，其係使用一個虛擬層次在井區的半導體的表面區域上，並可以提供一個遮罩的面積以供後續的離子佈植。

24. 如申請專利範圍第 22 項所述之方法，其中，在半導體基板上形成第一種雜質型態的井區之前，會加入一個具有第二種雜質型態的深 N- 井區域在基板上。

25. 一種製造一個靜電放電防護元件的方法，主要包含：

30. 提供第一種雜質型態的半導體基板；

遮罩住一個半導體基板的表面區域；

35. 植入具有第二種雜質型態的離子佈植進入基板；

植入具有第一種雜質型態的離子進入基板；

在未遮罩住具有第一區域的半導體表面上，離子佈植植入第二種雜質型態，該源極與汲極對的分開區域

會定義成一個通道區域；及在基板上及通道區域之上形成閘極。

26.如申請專利範圍第 25 項所述之方法，其係以一個虛擬層次來使該第一區域形成圖案並遮罩住第一區域的表面。

27.如申請專利範圍第 25 項所述之方法，其中，在遮罩住表面的第一區域之前，可以先形成深 N- 井區域在基板中。

圖式簡單說明：

圖 1 是一個傳統低臨界電壓的 ESD 防護元件。

圖 2 是傳統的低臨界電壓元件的電路表示圖。

圖 3 是目前發明之一的 ESD 防護元件的剖面圖。

圖 4 是目前發明之一的 ESD 防護元件的剖面圖。

圖 5 是目前發明之一的 ESD 防護元件的剖面圖。

圖 6 是目前發明之一的 ESD 防護元件的剖面圖。

圖 7 是目前發明之一的 ESD 防護元件的剖面圖。

圖 8 是目前發明之一的 ESD 防護元件的剖面圖。

圖 9 是目前發明之一的 ESD 防護元件的佈局圖。

圖 10 是圖 9 的 ESD 防護元件的剖

面圖。

圖 11 是目前發明之一的 ESD 防護元件的剖面圖。

5. 圖 12 是目前發明之一的 ESD 防護元件的剖面圖。

圖 13 是目前發明之一的 ESD 防護元件的剖面圖。

圖 14 是目前發明之一的 ESD 防護元件的剖面圖。

10. 圖 15 是目前發明之一的 ESD 防護元件的剖面圖。

圖 16 是目前發明之一的 ESD 防護元件的剖面圖。

15. 圖 17A-17H 是和本發明的具體實施例相關的 ESD 防護元件的製造方法。

圖 18A-18I 是和本發明的具體實施例相關的 ESD 防護元件的製造方法。

20. 圖 19A-19I 是和本發明的具體實施例相關的 ESD 防護元件的製造方法。

25. 圖 20 是本發明具體實施例的 ESD 防護元件的閘極電壓與源極電流的關係。

圖 21 是本發明的具體實施例之一的 ESD 防護元件的電流電壓曲線。

30. 圖 22 是比較本發明具體實施例之一的 ESD 防護元件與傳統的 ESD 防護元件的特性。

(5)

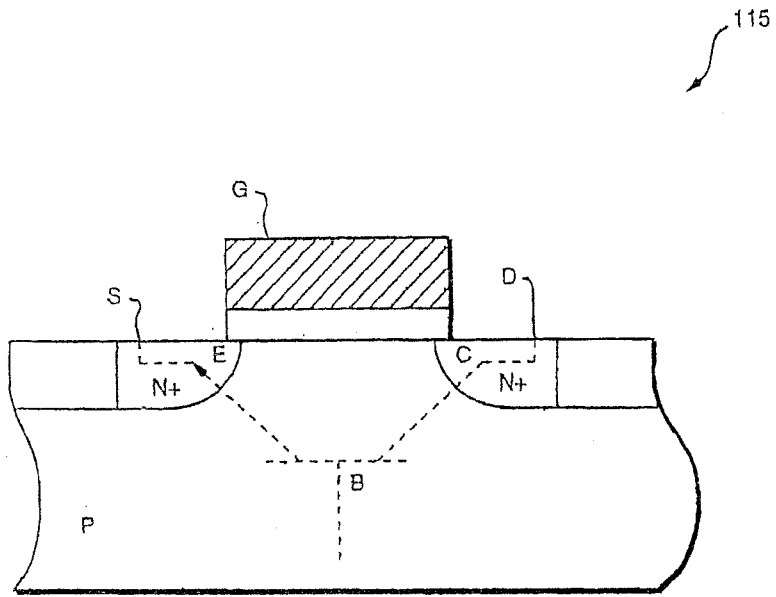


圖 1

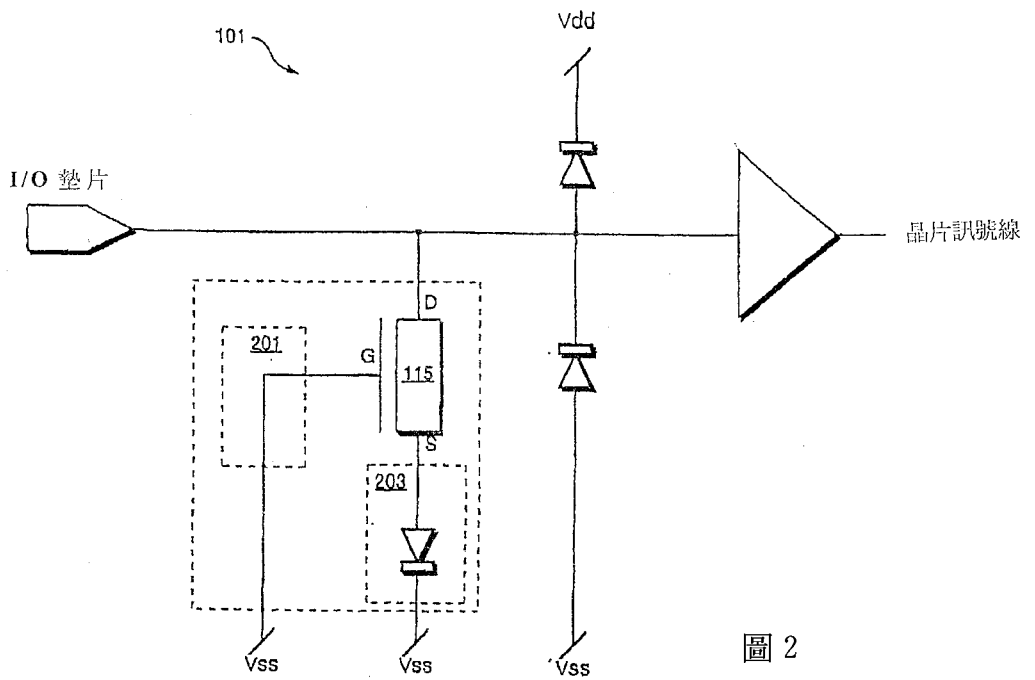


圖 2

(6)

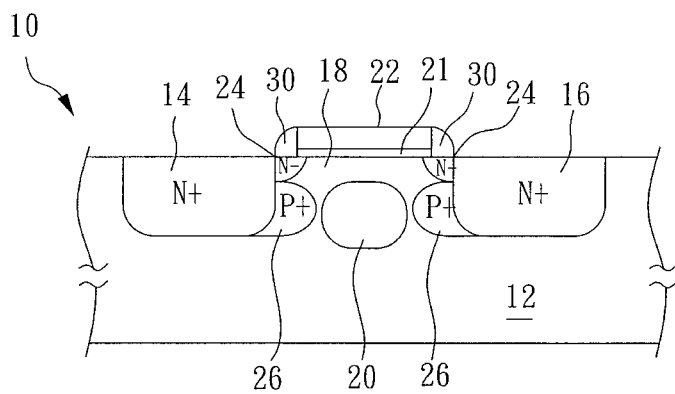


圖 3

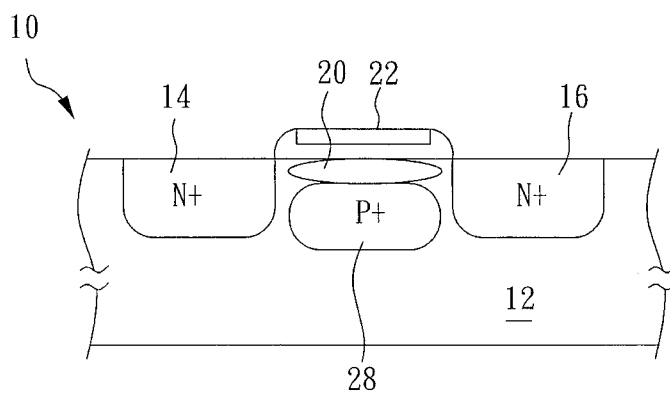


圖 4

(7)

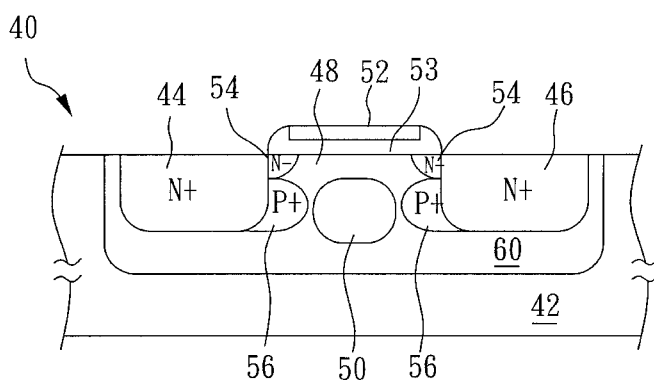


圖 5

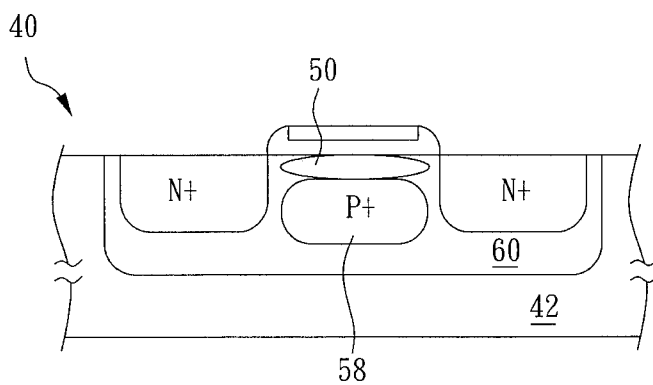


圖 6

(8)

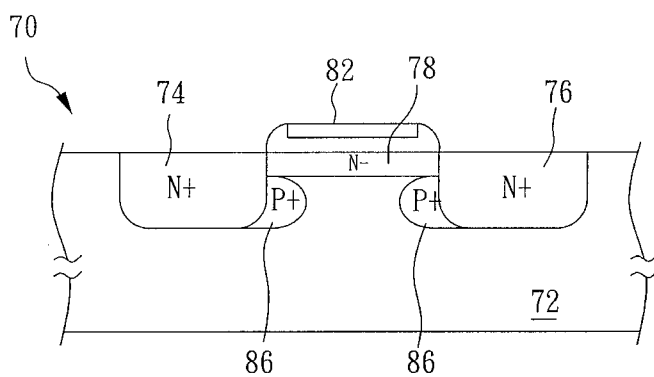


圖 7

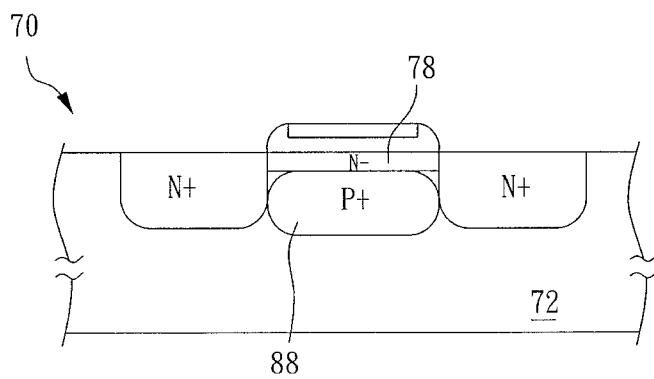


圖 8

(9)

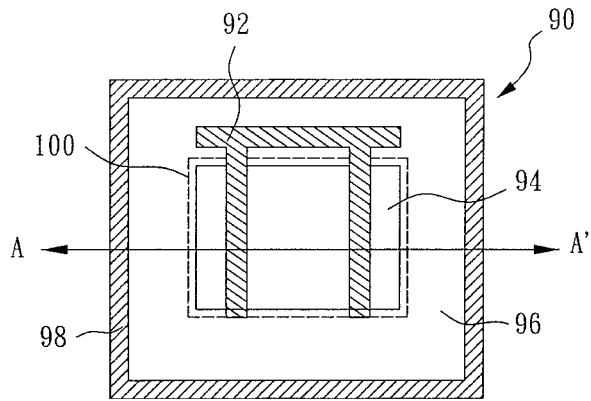


圖 9

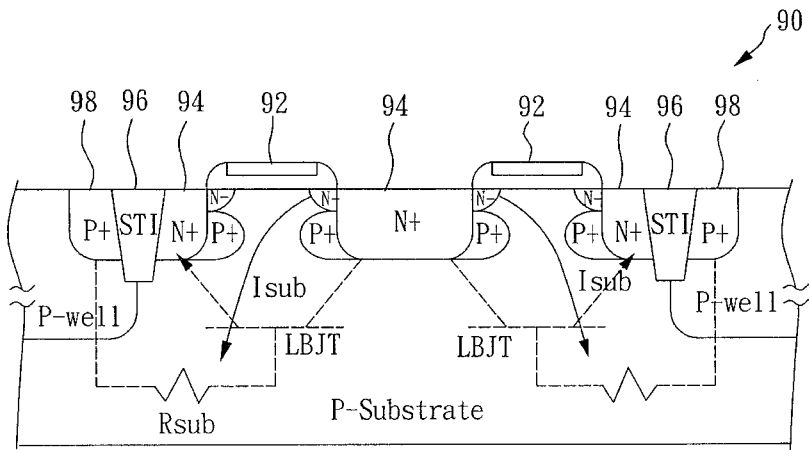


圖 10

(10)

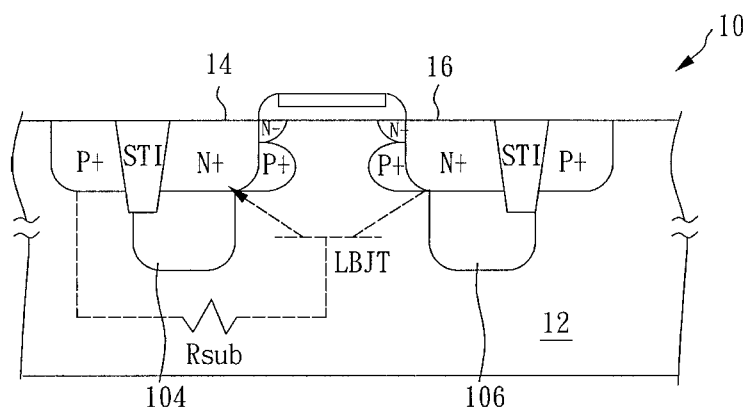


圖 11

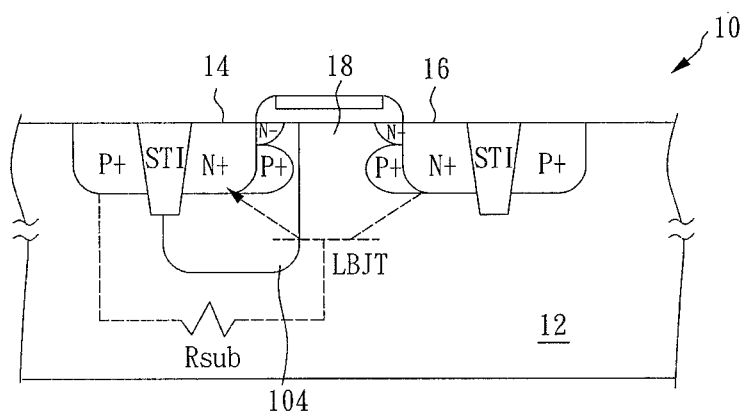


圖 12

(11)

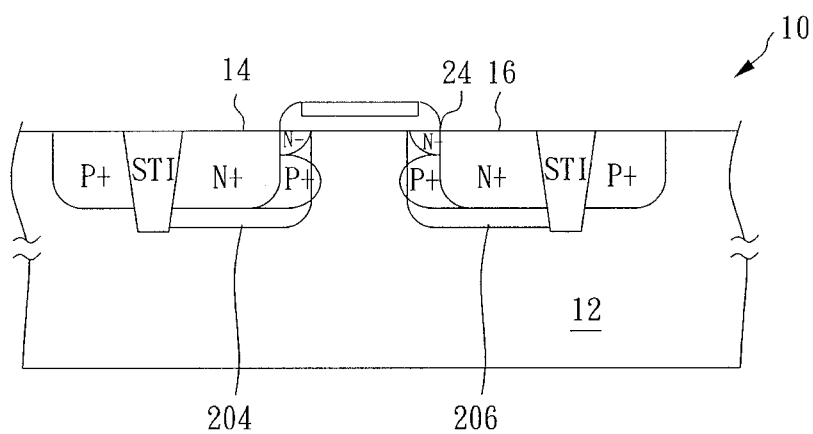


圖 13

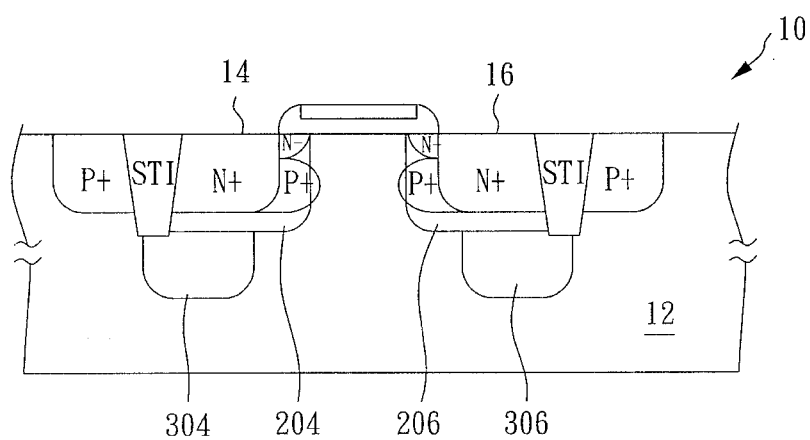


圖 14

(12)

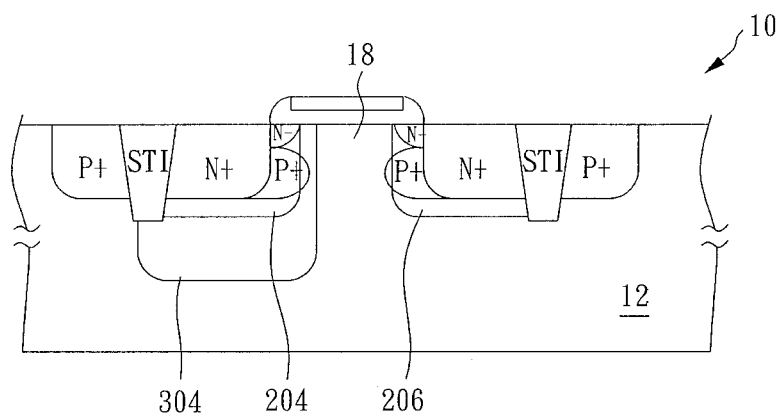


圖 15

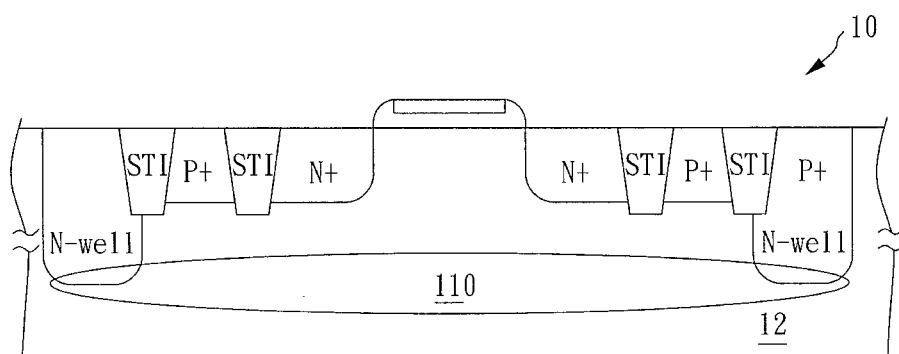


圖 16



圖 17A

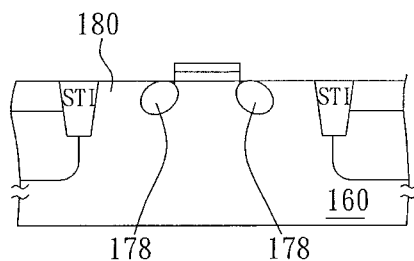


圖 17E

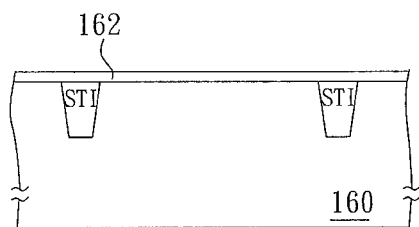


圖 17B

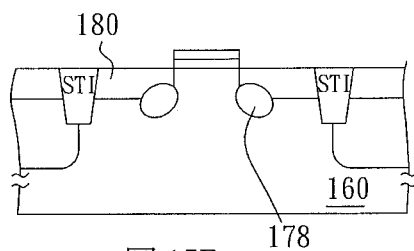


圖 17F

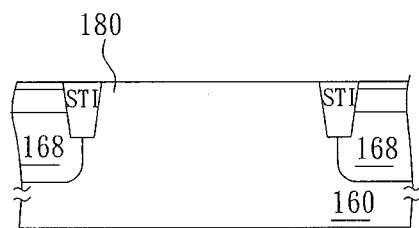


圖 17C

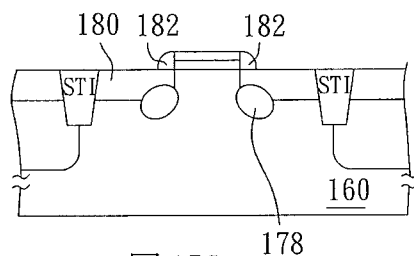


圖 17G

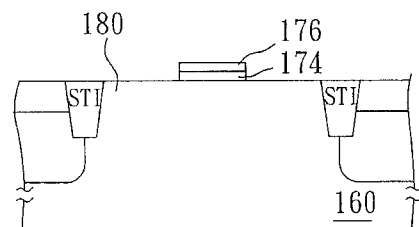


圖 17D

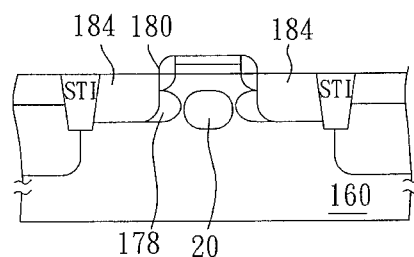


圖 17H

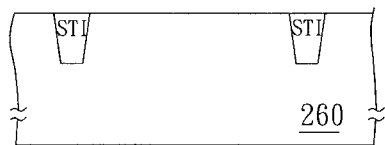


圖 18A

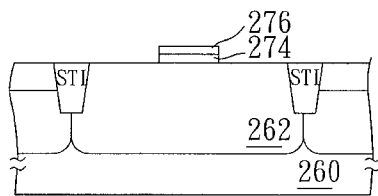


圖 18E

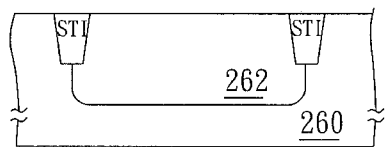


圖 18B

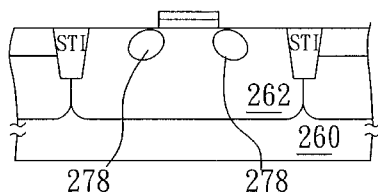


圖 18F

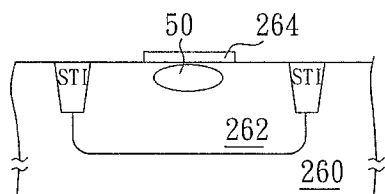


圖 18C

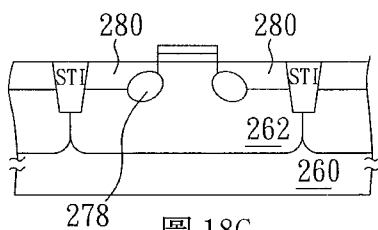


圖 18G

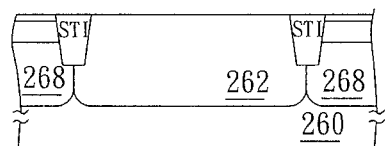


圖 18D

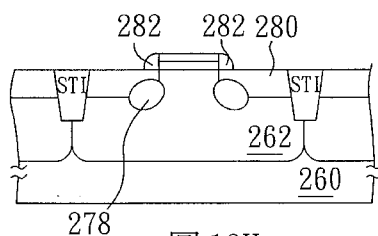


圖 18H

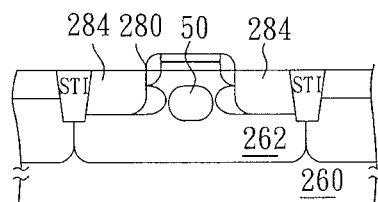


圖 18I



圖 19A

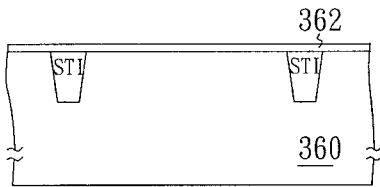


圖 19B

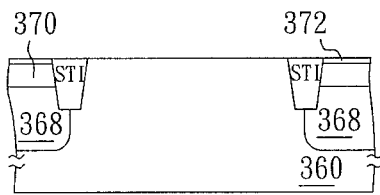


圖 19C

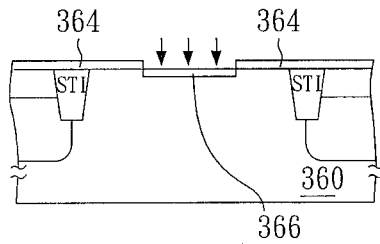


圖 19D

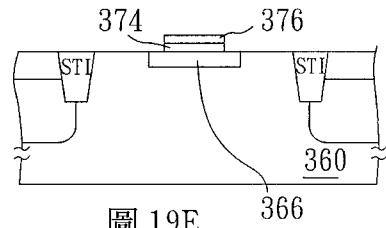


圖 19E

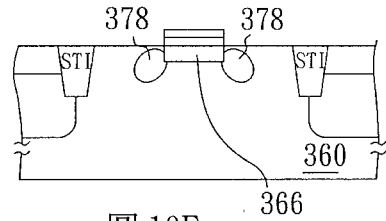


圖 19F

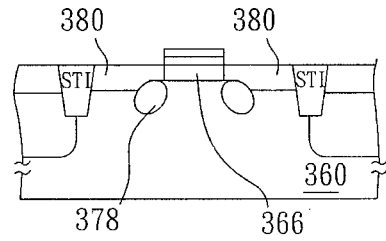


圖 19G

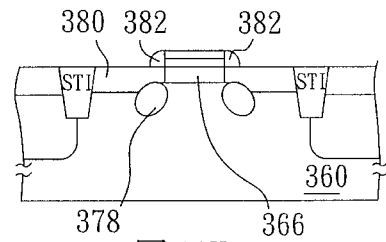


圖 19H

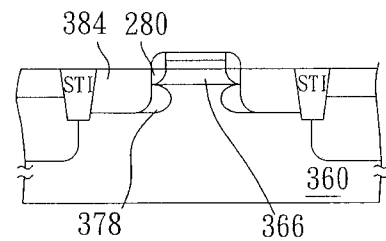


圖 19I

(16)

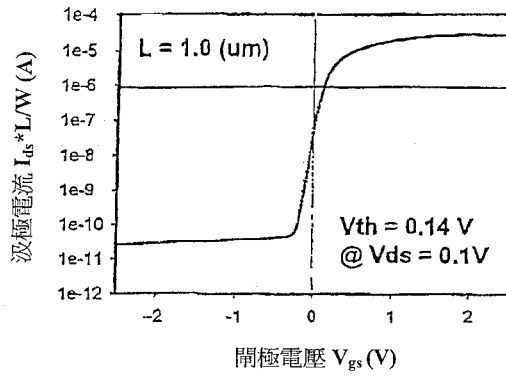


圖 20

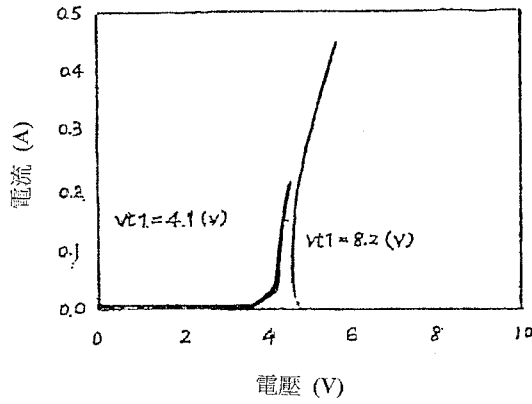


圖 21

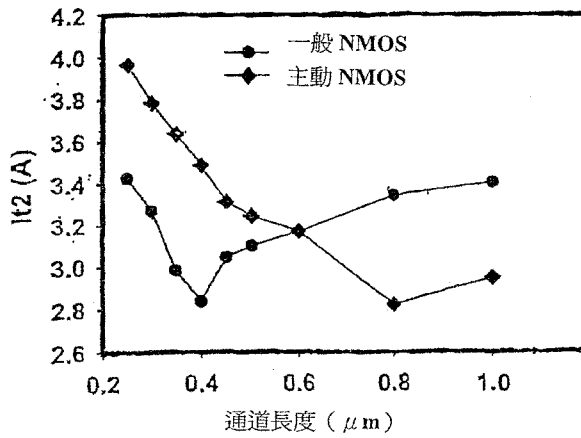


圖 22