

【54】名稱： 用於混合電壓介面之靜電放電防護元件

ELECTROSTATIC DISCHARGE PROTECTION DEVICE FOR MIXED VOLTAGE INTERFACE

【21】申請案號：092126907

【22】申請日：中華民國92(2003)年9月29日

【11】公開編號：200410393

【43】公開日：中華民國93(2004)年6月16日

【30】優先權： 2002/10/11 美國 10/268,756

【72】發明人： 柯明道 KER, MING DOU；徐國鈞 HSU, KUO CHUN；姜信欽 JIANG, HSIN CHIN

【71】申請人：財團法人工業技術研究院 INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE
新竹縣竹東鎮中興路4段195號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種靜電荷放電防護電路元件，包括：

至少兩個疊接相連之電晶體；

一第一擴散區，具有第一導電態樣且由兩相鄰電晶體所共用；以及
一第二擴散區，具有第二導電態樣且形成於第一擴散區中。

2. 如申請專利範圍第1項之元件，其中每一電晶體具有一閘極結構，且第二擴散區與部份之閘極結構相交

疊。

3. 如申請專利範圍第1項之元件，另包括一第三擴散區，具有第一導電態樣且形成於第一及第二擴散區之間。

4. 如申請專利範圍第3項之元件，其中該第一導電態樣為n型。

5. 一種靜電防護之積體電路元件，包括：

10. 一半導體基體；

- 多個閘極，形成於基體上；
 一第一擴散區，具有第一導電態樣且形成於兩鄰接閘極之間；以及
 一至少第二擴散區，具有第二導電態樣且形成於第一擴散區中。
- 6.如申請專利範圍第5項之元件，其中有多個第二擴散區形成於第一擴散區中，且至少一第二擴散區與其他之第二擴散區相隔開。
- 7.如申請專利範圍第5項之元件，其中有多個第二擴散區形成於第一擴散區中，且至少一第二擴散區與其他之第二擴散區相鄰接。
- 8.如申請專利範圍第5項之元件，另包括一第三擴散區，具有第一導電態樣且形成於第一及第二擴散區之間。
- 9.如申請專利範圍第8項之元件，其中該第一導電態樣為n型
- 10.如申請專利範圍第5項之元件，其中第二擴散區與部分閘極相交疊。
- 11.一種用於混合電壓介面之靜放電防護積體電路，包括：
 一信號墊片，用以接收一靜電信號；
 一鉗制元件，用以於一第一電壓源與一第二電壓源間提供靜電防護，該鉗制元件包含：
 至少兩個疊接相連之電晶體；
 一第一擴散區，具有第一導電態樣且由兩相鄰之電晶體所共用；以及
 一第二擴散區，具有第二導電態樣且形成於第一擴散區中；以及一檢測電路，因應於該靜電信號，用以觸發該鉗制電路以將該靜電信號排放至第二電壓源。
- 12.如申請專利範圍第11項之電路，其中鉗制元件包含一堆疊式NMOS。
- 13.如申請專利範圍第11項之電路，其中鉗制元件包含一堆疊式PMOS。

- 14.如申請專利範圍第11項之電路，其中第一電壓源為VDD，而第二電壓源為VSS。
- 15.如申請專利範圍第11項之電路，其中第一電壓源為VCC，而第二電壓源為VSS。
- 16.如申請專利範圍第11項之電路，其中第一電壓源為VCC，而第二電壓源為VDD。
10. 17.如申請專利範圍第11項之電路，另包括一電晶體，其係連接於第一電壓源與墊片之間，並且具有一閘極與一體極。
- 18.如申請專利範圍第17項之電路，另包括一連接至電晶體之閘極的追蹤電路。
- 19.如申請專利範圍第17項之電路，另包括一連接至電晶體之體極的偏壓電路。
20. 20.如申請專利範圍第17項之電路，其中之鉗制元件為第一鉗制元件，該電路另包括一第二鉗制元件，其電晶體型式與第一鉗制元件者相同，且連接於第一及第二電壓源之間，由檢測電路予以觸發，以將靜電信號排放至第二電壓源。
- 21.如申請專利範圍第20項之電路，其中之鉗制元件包含一連接至電晶體之體極的端點。
30. 22.如申請專利範圍第21項之電路，其中之檢測電路係連接於墊片與第二電壓源之間。
- 23.如申請專利範圍第21項之電路，其中檢測電路係連接於電晶體之體極與第二電壓源之間。
35. 24.如申請專利範圍第11項之電路，其中之鉗制元件為第一鉗制元件，而檢測電路為第一檢測電路，另包括一第二鉗制元件，其電晶體型式與第一鉗制元件者相反，上連接於第
- 40.

一電壓源與墊片之間，由一第二檢測電路予以觸發以將靜電信號排放至墊片。

- 25.如申請專利範圍第11項之電路，其中之鉗制元件包含一閘極，該閘極經由一電阻連接至第一電壓源。
- 26.如申請專利範圍第17項之電路，其中之檢測電路係連接於電晶體之體極與第二電壓源之間。
- 27.如申請專利範圍第11項之電路，另包括一對串聯連接於第一電壓源與墊片之間的電晶體。
- 28.如申請專利範圍第23項之電路，其中第一鉗制元件包括一連接於墊片與第二電壓源之間的二極體。
- 29.如申請專利範圍第11項之電路，其中之鉗制元件與檢測電路係並聯連接於第一與第二電壓源之間。
- 30.如申請專利範圍第29項之電路，另包括一二極體，其係連接於第一電壓源與一第三電壓源之間。
- 31.如申請專利範圍第30項之電路，其中之鉗制元件包含一連接至第三電壓源之第一閘極。
- 32.如申請專利範圍第29項之電路，另包括一偏壓電路，其係連接於第一及第二電壓源之間。
- 33.如申請專利範圍第32項之電路，其中之鉗制元件包含一第一閘極、一第二閘極與一第三閘極，且偏壓電路分別提供一第一、第二與第三偏壓至鉗制元件之第一、第二與第三閘極。
- 34.一種用於混合電壓介面之靜電放電防護方法，包括：
 - 提供一信號墊片以接收一靜電信號；
 - 提供一鉗制元件，包含：
 - 至少兩個疊接相連之電晶體；
 - 一第一擴散區，具有第一導電態樣

且由兩相鄰電晶體所共有；以及
一第二擴散區，具有第二導電態樣且形成於第一擴散區中，以及提供一檢測電路，因應於靜電信號，用以於鉗制元件之第一及第二擴散區之間觸發一p-n 接面。

5. 35.如申請專利範圍第34項之靜電放電防護方法，其中該第一導電態樣為n型，該第二導電態樣為p型。
10. 圖式簡單說明：
 - 圖1為習知ESD防護電路圖；
 - 圖2為另一習知ESD防護元件電路圖；
 - 圖3為又一習知ESD防護電路圖；
15. 圖；
 - 圖4為 I_{t2} 與 I_{sub} 關係的曲線圖；
 - 圖5A及5B所示分別為習知堆疊式NMOS電晶體結構之佈局及剖面圖；
20. 圖6A及6B所示分別為本發明之一實施例的ESD防護元件佈局及剖面圖；
 - 圖7A及7B所示分別為本發明之一實施例的堆疊式
25. 圖8A及8B所示分別為本發明另一實施例的ESD防護元件的佈局及剖面圖；
 - 圖9為本發明另一實施例的ESD防護元件的佈局；
30. 圖10A及10B所示分別為本發明之另一實施例的ESD防護元件的佈局及剖面圖；
 - 圖11為本發明之一實施例的輸出端ESD防護電路圖；
35. 圖12為本發明另一實施例之輸出端ESD防護電路圖；
 - 圖13為本發明又一實施例之輸出端ESD防護電路圖；
 - 圖14為本發明另一實施例之輸出端ESD防護電路圖；
- 40.

圖 15 為本發明之一實施例的輸入端 ESD 防護電路圖；

圖 16 為本發明另一實施例之輸入端 ESD 防護電路圖；

圖 17 為本發明又一實施例之輸入端 ESD 防護電路圖；

圖 18 為本發明另一實施例之輸入端 ESD 防護電路圖；

圖 19 為本發明又一實施例之輸入

端 ESD 防護電路圖；

圖 20 為本發明另一實施例之輸入端 ESD 防護電路圖；

圖 21 為本發明又一實施例的電源間 ESD 防護電路圖；

圖 22 為本發明另一實施例之電源線間 ESD 防護電路圖；以及

圖 23 為本發明又一實施例之電源線間 ESD 防護電路圖。

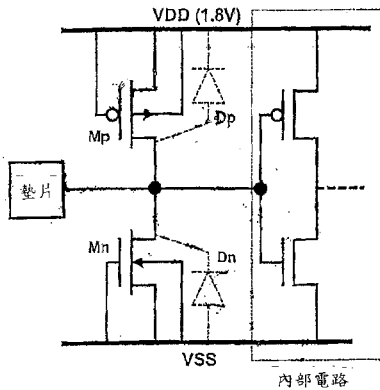


圖 1

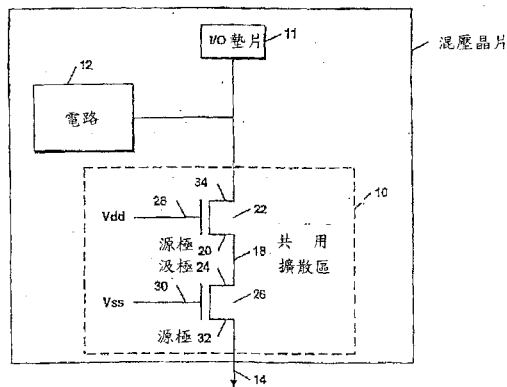


圖 2

(5)

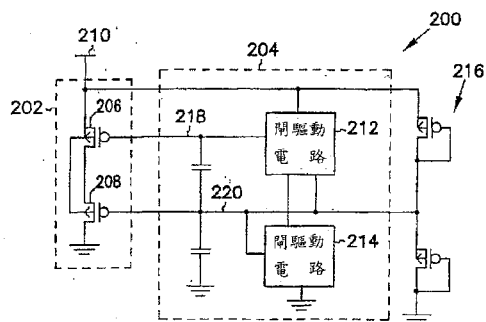


圖 3

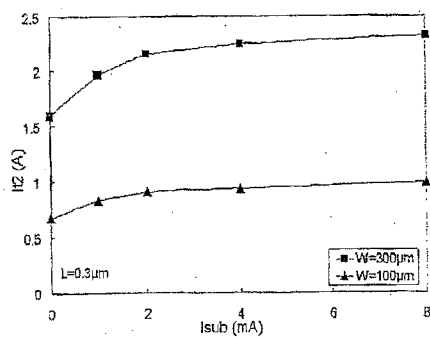


圖 4

(6)

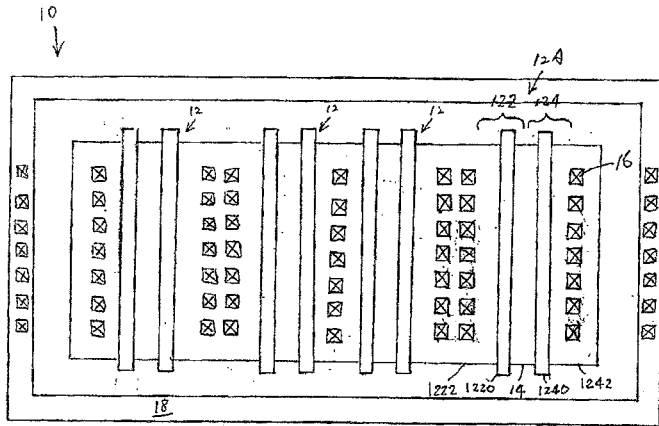


圖 5A

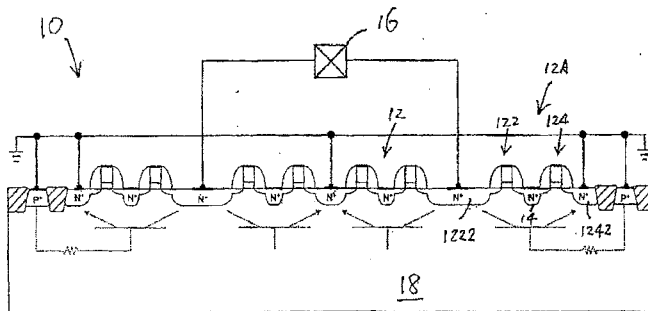


圖 5B

(7)

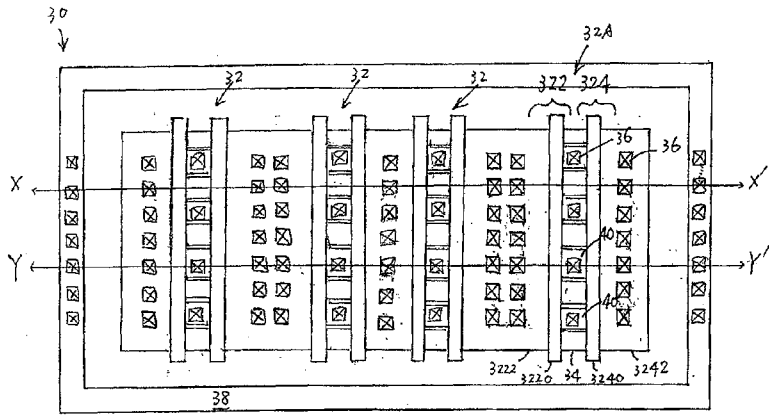


圖 6A

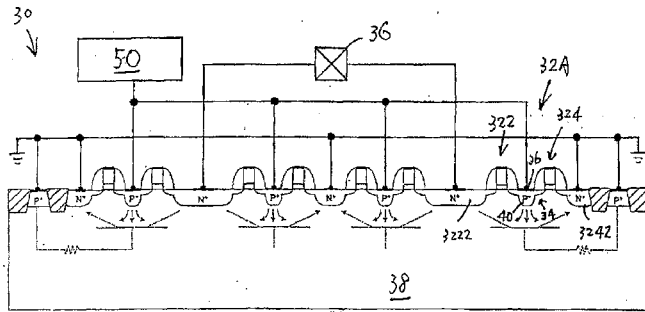


圖 6B

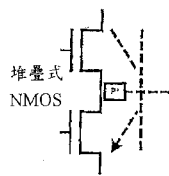


圖 7A

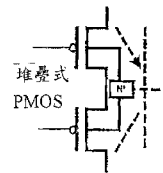


圖 7B

(8)

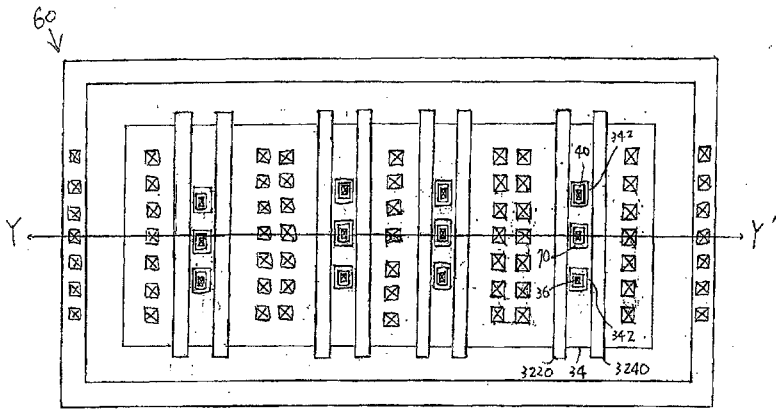


圖 8A

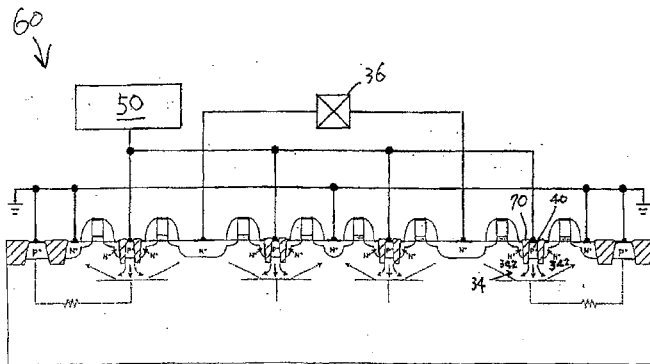


圖 8B

80



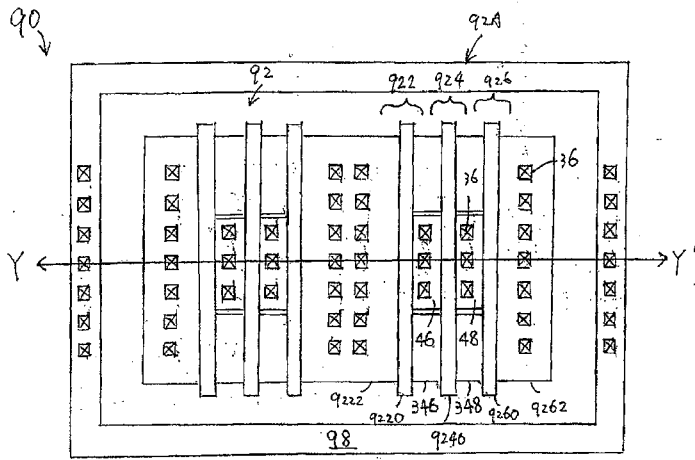


圖 10A

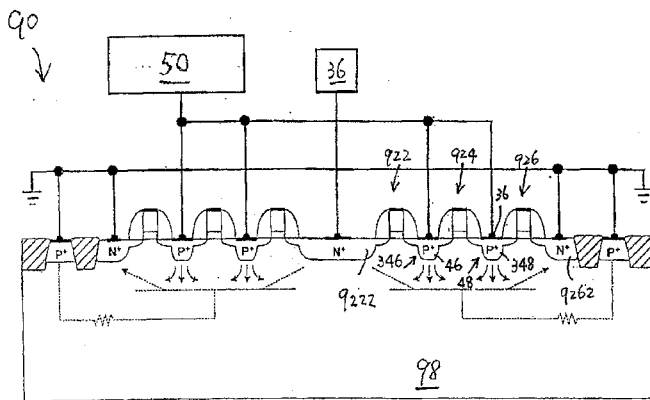


圖 10B

(12)

260
↙

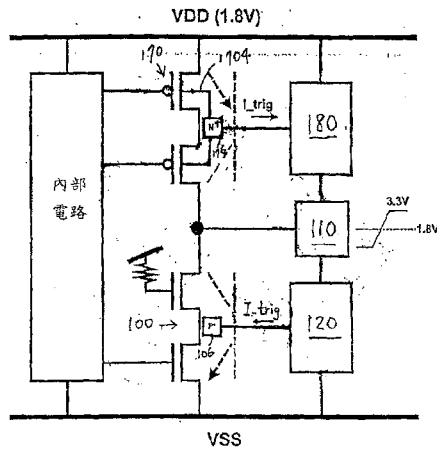


圖 14

280
↙

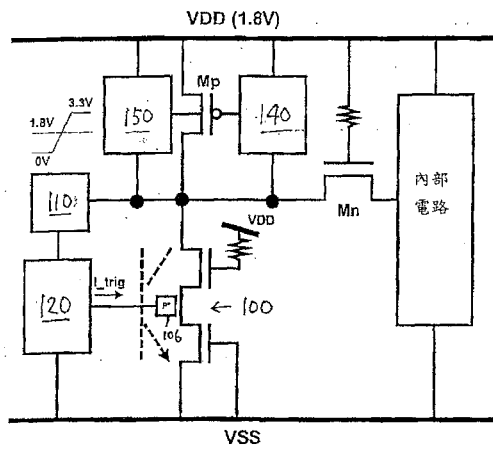


圖 15

(13)

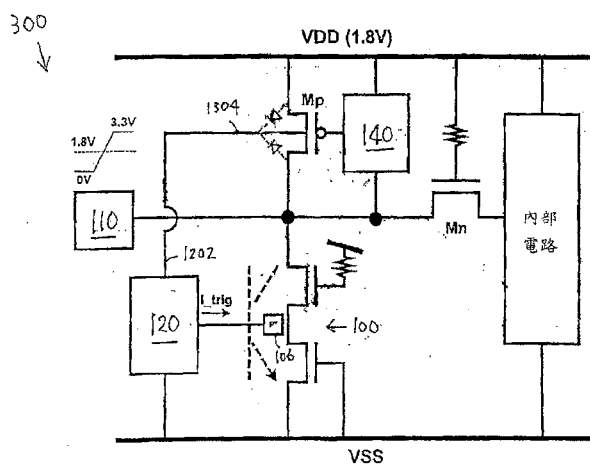


圖 16

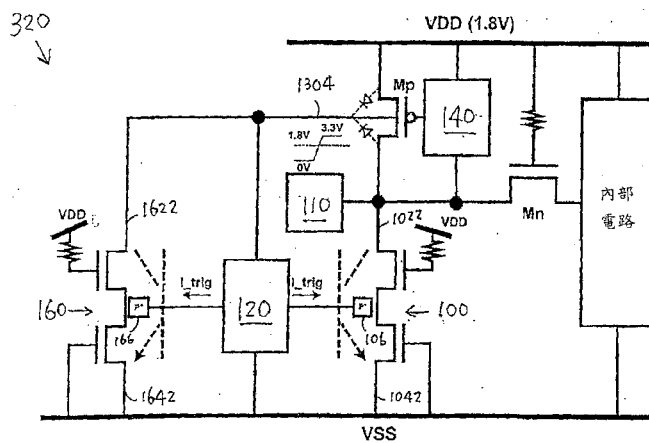


圖 17

(15)

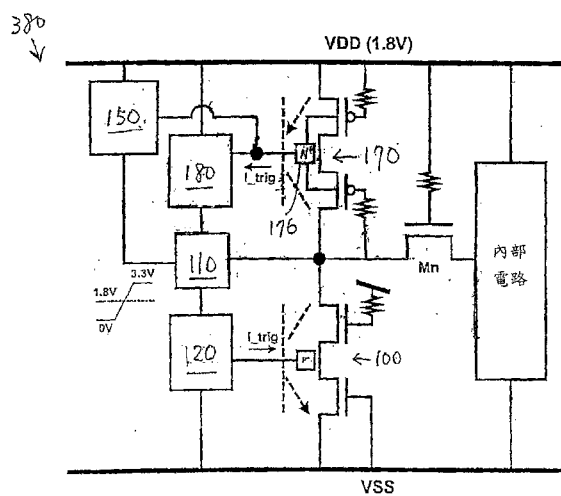


圖 20

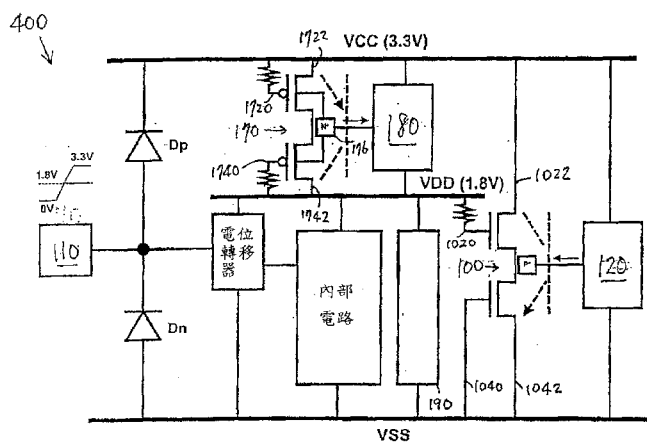


圖 21

(16)

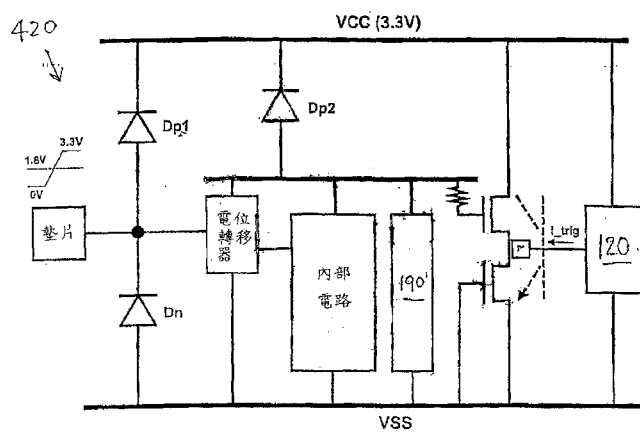


圖 22

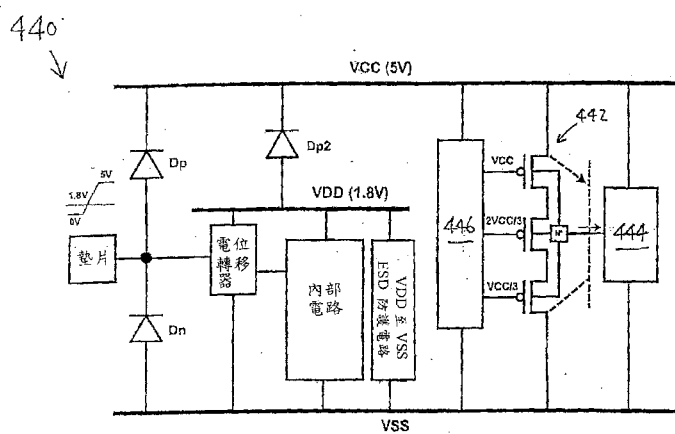


圖 23