
【54】名稱： 高效率基體觸發之靜電放電防護元件

【21】申請案號：091108195

【22】申請日：中華民國91(2002)年4月22日

【72】發明人： 柯明道 KER, MING DOU；莊哲豪 CHE-HAO CHUANG；姜信欽 JIANG, HSIN CHIN

【71】申請人：財團法人工業技術研究院 INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE
新竹縣竹東鎮中興路4段195號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一基體觸發之靜電放電(electrostatic discharge, ESD)防護元件，適用於一基體上，包含有：

一第一導電型之一第一摻雜區，設於該基體之表面；

一雙極性接面電晶體(bipolar junction transistor)，包含有：

一射極(emitter)以及一集極(collector)，分別以形成於該第一摻雜區之表面的一第二導電型之一第

二摻雜區與一第三摻雜區所構成；以及

一基極(base)，以位於該第一摻雜區與該第二摻雜區之間的一部分之該第一摻雜區所構成；

一觸發電流供應區，以形成於該第一摻雜區表面之該第一導電型之一第四摻雜區所構成；以及

一假閘結構(dummy gate)，鄰接於該觸發電流供應區與該第三摻雜區，

具有一多晶矽閘；

其中，該射極係偶合至一電源線，該集極係偶合至一接合焊墊，該觸發電流供應區係偶合至一 ESD 偵測電路；

於一正常操作時，該 ESD 偵測電路係使該基極偶接至該電源線，於一 ESD 事件發生於該接合焊墊與該電源線之間時，該 ESD 偵測電路係提供一觸發電流至該觸發電流供應區，以觸發該雙極性接面電晶體，進而釋放 ESD 電流。

2.如申請專利範圍第 1 項基體觸發之 ESD 防護元件，其中，該基體係為該第一導電型之半導體材料。

3.如申請專利範圍第 1 項基體觸發之 ESD 防護元件，其中，該基體係為該第二導電型之半導體材料，該第一摻雜區係為該基體上之一井區。

4.如申請專利範圍第 1 項基體觸發之 ESD 防護元件，其中，該多晶矽閘至少包含有該第一導電型之一第一區，鄰近於該觸發電流供應區，以及該第二導電型之一第二區，鄰近於該第三摻雜區。

5.如申請專利範圍第 1 項基體觸發之 ESD 防護元件，其中，該假閘結構係環繞該觸發電流供應區。

6.如申請專利範圍第 1 項基體觸發之 ESD 防護元件，其中，該 ESD 防護元件另包含有該第一導電型之一保護環，設於該第一摻雜區之表面，包圍該雙極性接面電晶體、該觸發電流供應區以及該假閘結構。

7.如申請專利範圍第 1 項基體觸發之 ESD 防護元件，其中，該射極與該集極係為一金氧半(metal oxide semiconductor)電晶體之二源／汲極區。

8.如申請專利範圍第 7 項基體觸發之

ESD 防護元件，其中，該金氧半電晶體係具有一閘結構，設於該第一摻雜區表面，分隔該等源／汲極區，並環繞該假閘結構與該觸發電流供應區。

5.

9.如申請專利範圍第 1 項基體觸發之 ESD 防護元件，其中，該 ESD 防護元件另包含有一堆疊式(stacked)金氧半(metal oxide semiconductor)電晶體，包含有：

10.

複數之閘結構，設於該第一摻雜區表面；

15.

至少一共享(shared)源／汲極區，形成於該等閘結構之間的第一摻雜區表面；以及

二獨立源／汲極區，形成於該第一摻雜區表面，分別鄰接該等閘結構其中之二控制閘，且分別作為該射極與該集極。

20.

10.如申請專利範圍第 9 項基體觸發之 ESD 防護元件，其中，該等閘結構環繞該假閘結構與該觸發電流供應區。

25.

11.如申請專利範圍第 1 項基體觸發之 ESD 防護元件，其中，該第二摻雜區之下具有該第二導電型之一井區，用以增大該基極至該電源線間之展阻。

30.

12.一種 ESD 防護電路，適用於一積體電路，包含有：

一 ESD 偵測電路，用以偵測一 ESD 事件的發生，以提供一觸發電流；以及

35.

一基體觸發之 ESD 防護元件，包含有：

一雙極性接面電晶體，包含有：

一基極(base)，以一第一導電型之一第一摻雜區所構成，透過一觸發電流供應區，耦接至該 ESD 偵測電路；以及

40.

一集極以及一射極，分別以該第一摻雜區上之一第二摻雜區與一第三摻雜區所構成，該第二以及該第三摻雜區均為第二導電型，該集極耦接至一接合鋁墊，該射極耦接至一電源線；以及

一假閘結構，用以分隔並鄰接該第二摻雜區與該觸發電流供應區，包含有一導電閘，一部分之該導電閘具有該第一導電型之摻雜物，另一部分之該導電閘具有該第二導電型之摻雜物；

其中，於一正常操作時，該基極耦合至該電源線，於該 ESD 事件發生於該接合鋁墊時，該觸發電流觸發該雙極性接面電晶體，以釋放 ESD 應力。

13. 一種 ESD 防護元件之結構，適用於一基體上，包含有：
 - 一第一導電型之一保護環，設於該基體上之該第一導電型之一第一摻雜區表面，耦接至一電源線；
 - 一主動區(active region)，定義於該第一摻雜區表面，被該保護環所包圍，包含有：
 - 至少二大致平行之閘結構，橫跨該主動區；
 - 至少一環狀假閘結構，設於二該等閘結構之間；
 - 至少一該第一導電型之觸發電流供應區，形成於該環狀假閘結構所圍繞之該主動區表面，耦接至一 ESD 偵測電路；
 - 一第二導電型之至少一源極區，形成於該主動區表面，被該等閘結構所定義，耦接至該電源線；以及
 - 該第二導電型之至少一汲極區，形成於該主動區表面，被該等閘結構與該環狀假閘結構所定義，耦接至一接合鋁墊；

其中，於一正常操作時，該第一摻雜區表面係透過該保護環耦接至該電源線，而於一 ESD 事件時，該 ESD 偵測電路提供觸發電流，觸發寄生於該等閘結構下之至少二雙極性接面電晶體，以釋放 ESD 應力。

5. 14. 如申請專利範圍第 13 項之 ESD 防護元件的結構，其中，該等閘結構係作為一單一 MOSFET 之單一閘極。
10. 15. 如申請專利範圍第 13 項之 ESD 防護元件的結構，其中，該等閘結構係作為一堆疊式 MOSFET 之複數閘極。
15. 16. 一種 ESD 防護元件之結構，適用於一基體上，包含有：
 - 複數 MOSFET 單元(cell)，以一陣列方式排列，每一 MOSFET 單元包含有：
 - 一環狀假閘結構，設於該基體上之一第一導電型之一第一摻雜區上；
 - 該第一導電型之一觸發電流供應區，形成於該環狀假閘結構所圍繞之該第一摻雜區表面，耦接至一 ESD 偵測電路；
 - 一第二導電型之一汲極區，設於該第一摻雜區表面，耦接至一接合鋁墊，圍繞該環狀假閘結構；
 - 一閘結構，設於該第一摻雜區表面，圍繞該汲極區；
 - 該第二導電型之一源極區，設於該第一摻雜區表面，耦接至一電源線，圍繞該閘結構；以及
 - 該第一導電型之一保護環，設於該第一摻雜區表面，耦接至該電源線；
20. 其中，於一正常操作時，該第一摻雜區表面係透過該保護環耦接至該電源線，而於一 ESD 事件時，該 ESD 偵測電路提供觸發電流予該觸發電流供應區，觸發寄生於該等環
- 25.
- 30.
- 35.
- 40.

狀閘結構下之雙極性接面電晶體，以釋放ESD應力。

17.如申請專利範圍第16項之ESD防護元件的結構，其中，該等MOSFET單元之閘結構係相並聯以作為一單一MOSFET之單一閘極。

18.如申請專利範圍第13項之ESD防護元件的結構，其中，每一該等MOSFET單元具有複數之閘結構，係作為一堆疊式MOSFET之複數閘極。

圖式簡單說明：

第1a圖以及第1b圖分別是閘極驅動技術以及基體觸發技術的示意圖；

第2圖與第3a、3b圖為習知三個基體觸發技術的實施例；

第4a圖為運用本發明，作為ESD防護元件之一NMOS剖面圖與一相對應符號；

第4b圖為第4a圖中NMOS之一種電路應用連接圖；

第5圖為運用本發明，作為ESD防護元件之一PMOS剖面圖；

第6圖為一運用本發明的NMOS

之佈局(layout)上視圖(top view)；

第7圖為依據本發明之二個具有四方形佈局的NMOS單元(cell)；

5. 第8圖為運用四方形的NMOS單元以及PMOS單元之二I/O的ESD防護電路實施例；

第9圖為二運用四方形的NMOS單元或PMOS單元的電源線間ESD箝制電路；

10. 第10a圖為運用本發明之一堆疊式NMOS之剖面圖與一相對應符號；

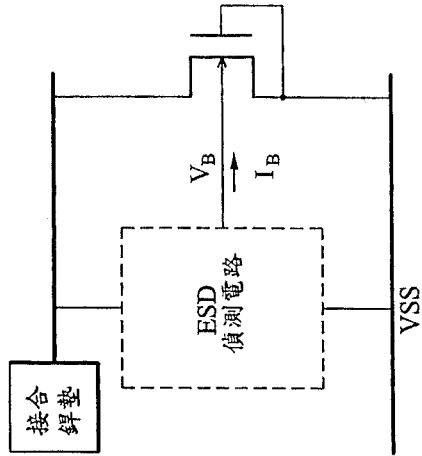
第10b圖為第10a圖中NMOS之一種電路應用連接圖；

15. 第11圖為一運用本發明的堆疊式NMOS之佈局上視圖；

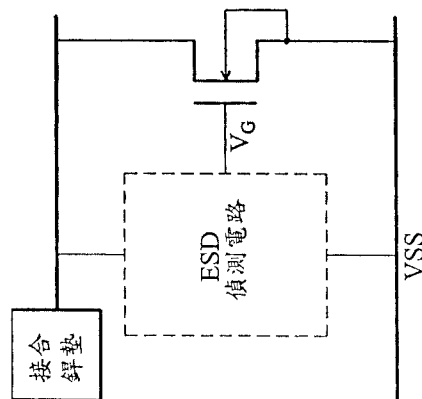
第12圖為依據本發明之二個具有四方形佈局的NMOS單元(cell)之另一例；

20. 第13圖為運用四方形的NMOS單元以及PMOS單元之二I/O的ESD防護電路實施例之另一例；以及

第14圖為二運用四方形的NMOS單元或PMOS單元的電源線間ESD箝制電路之另一例。

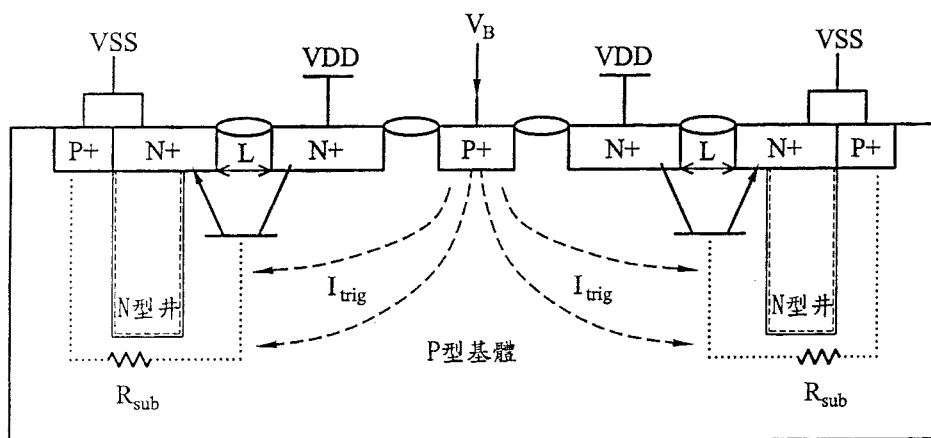


第 1b 圖

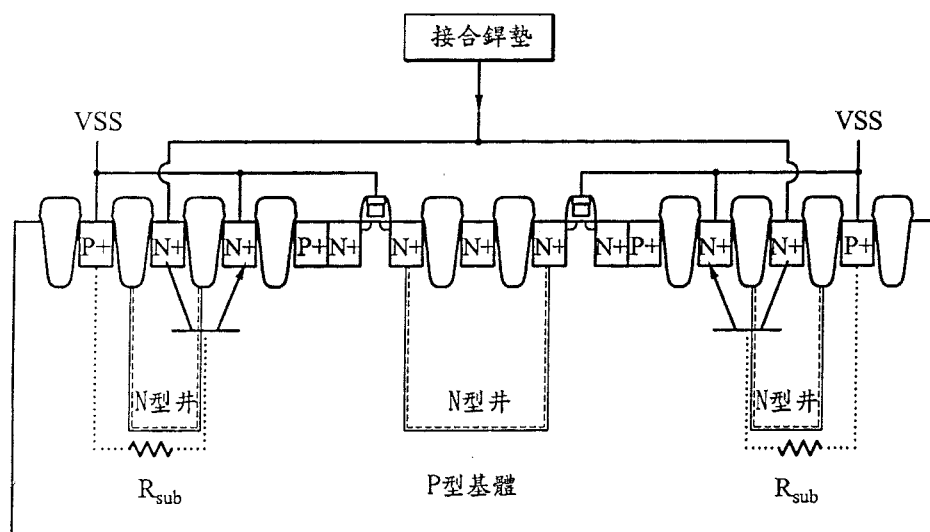


第 1a 圖

(6)

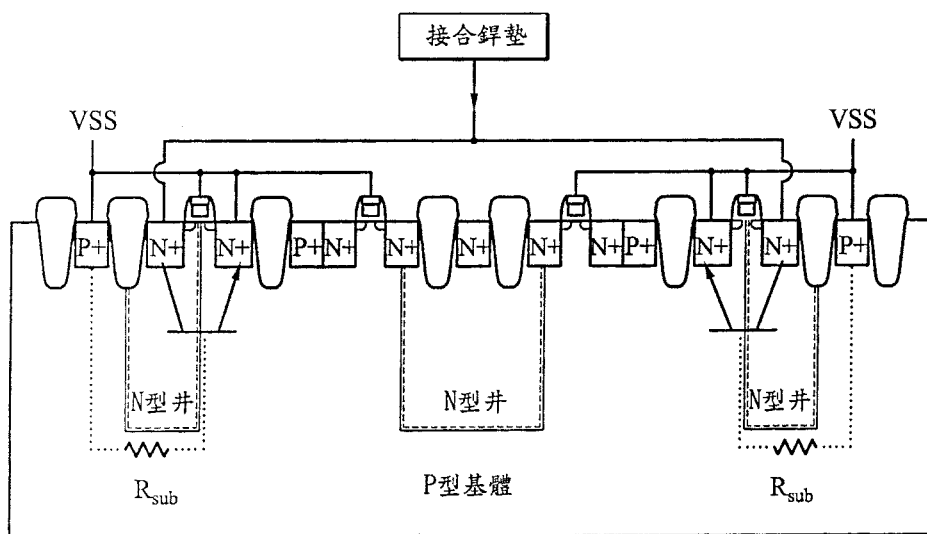


第 2 圖

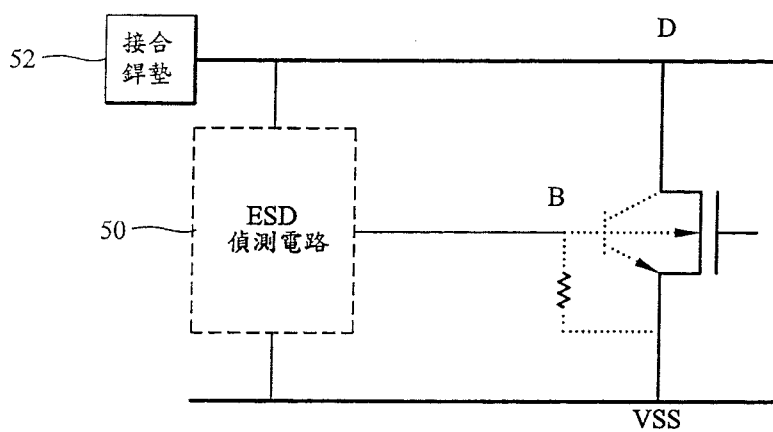


第 3a 圖

(7)

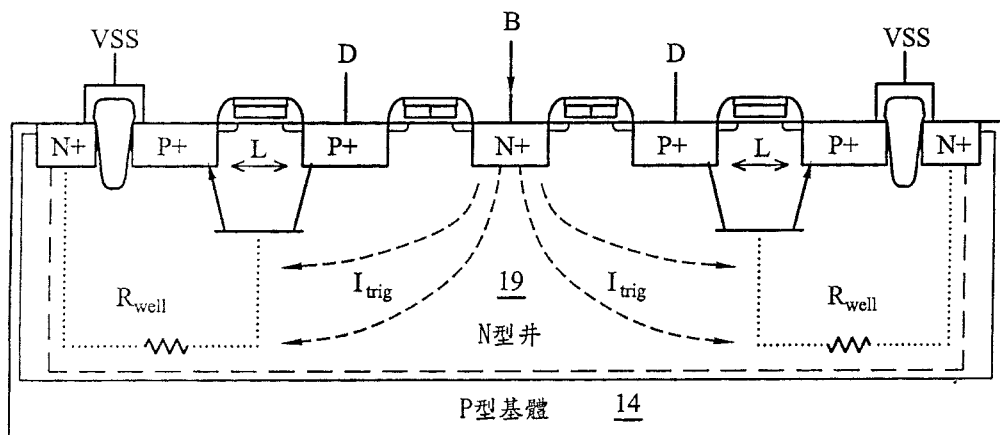


第 3b 圖

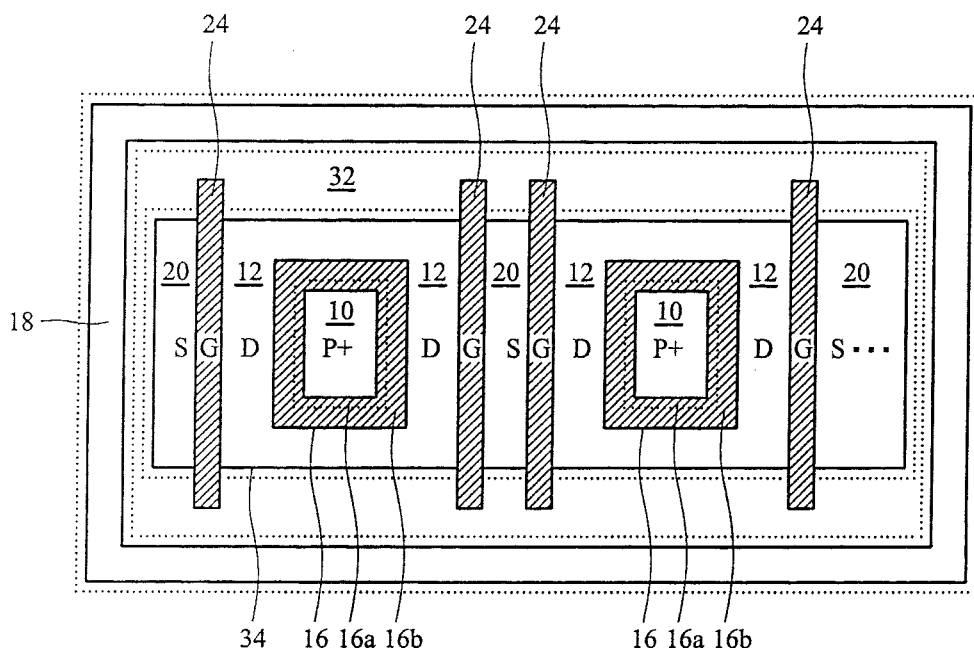


第 4b 圖

(9)

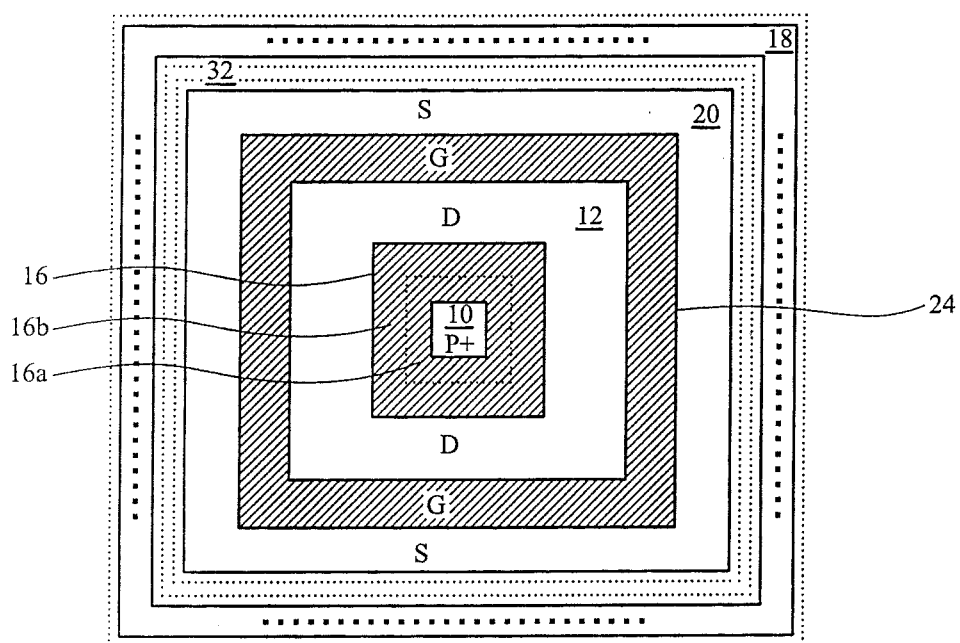


第 5 圖

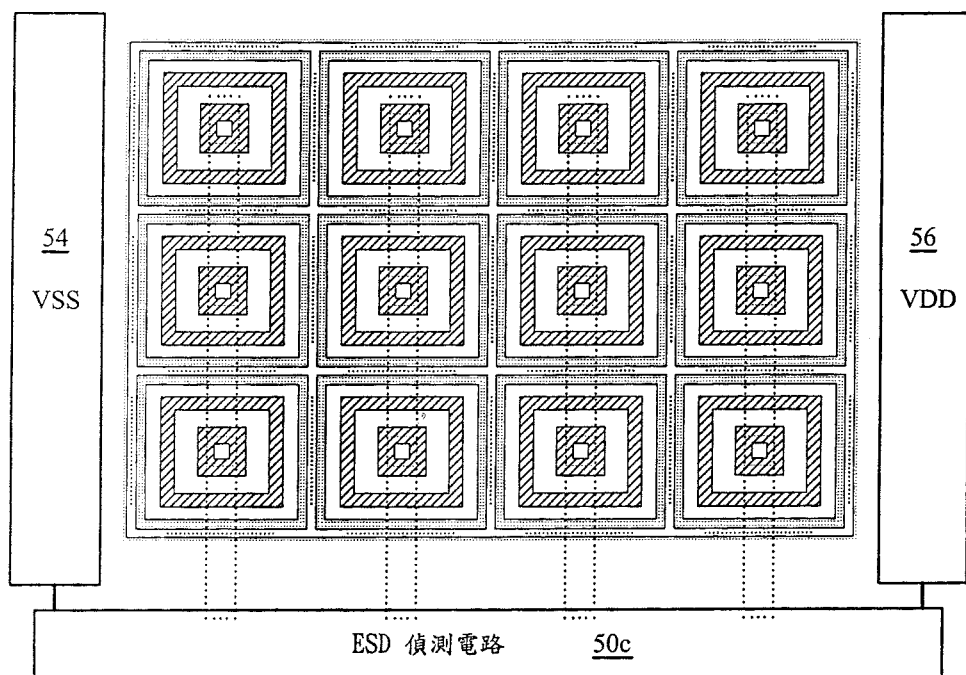


第 6 圖

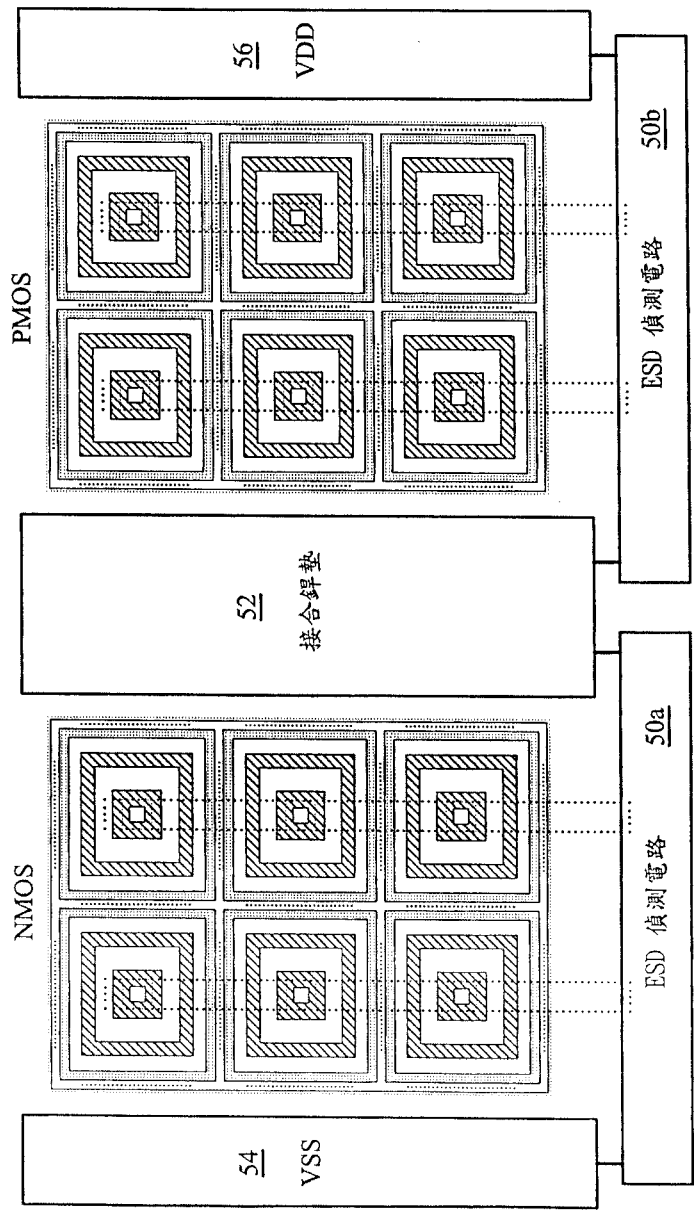
(10)



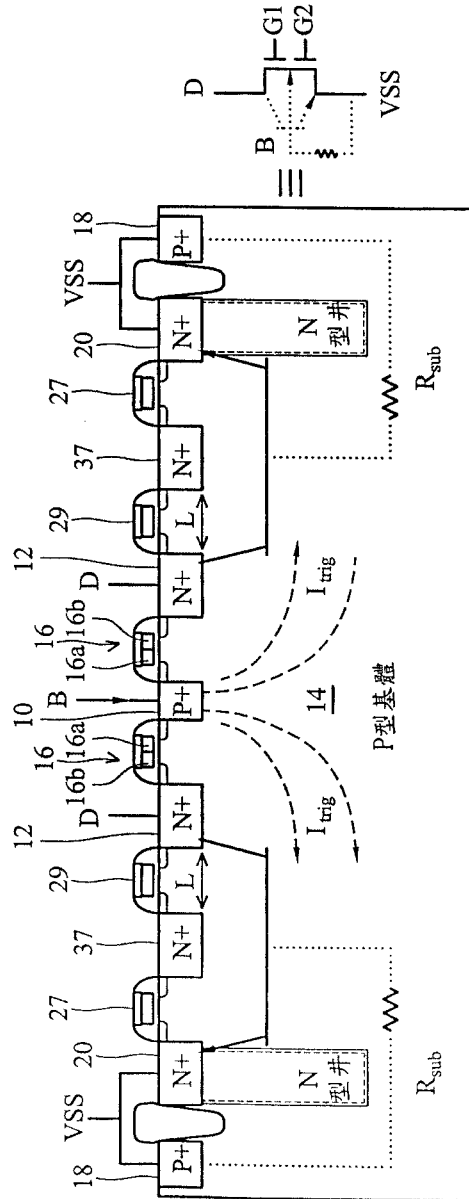
第 7 圖



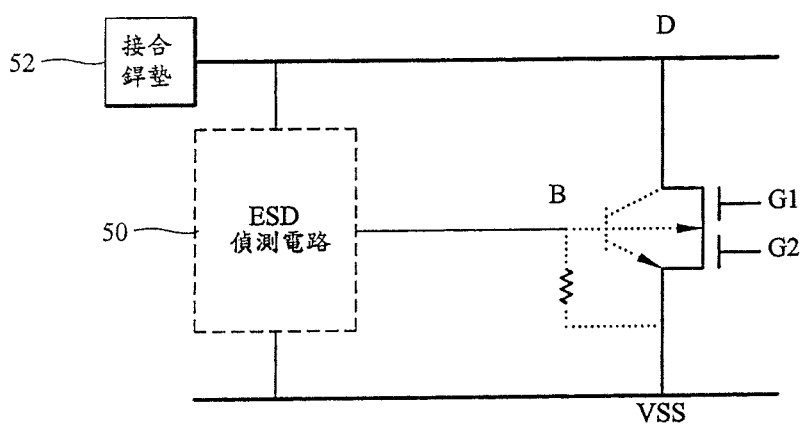
第 9 圖



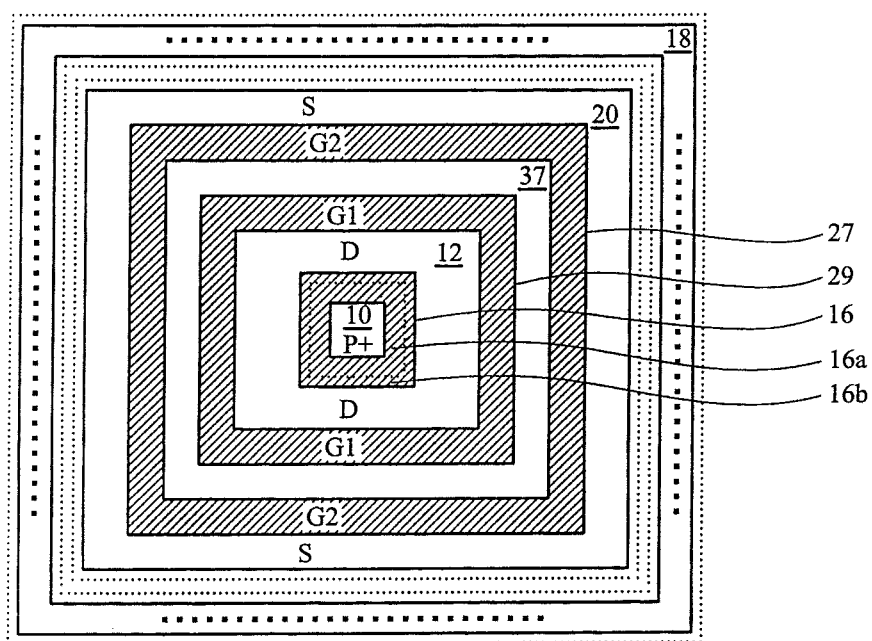
第 8 圖



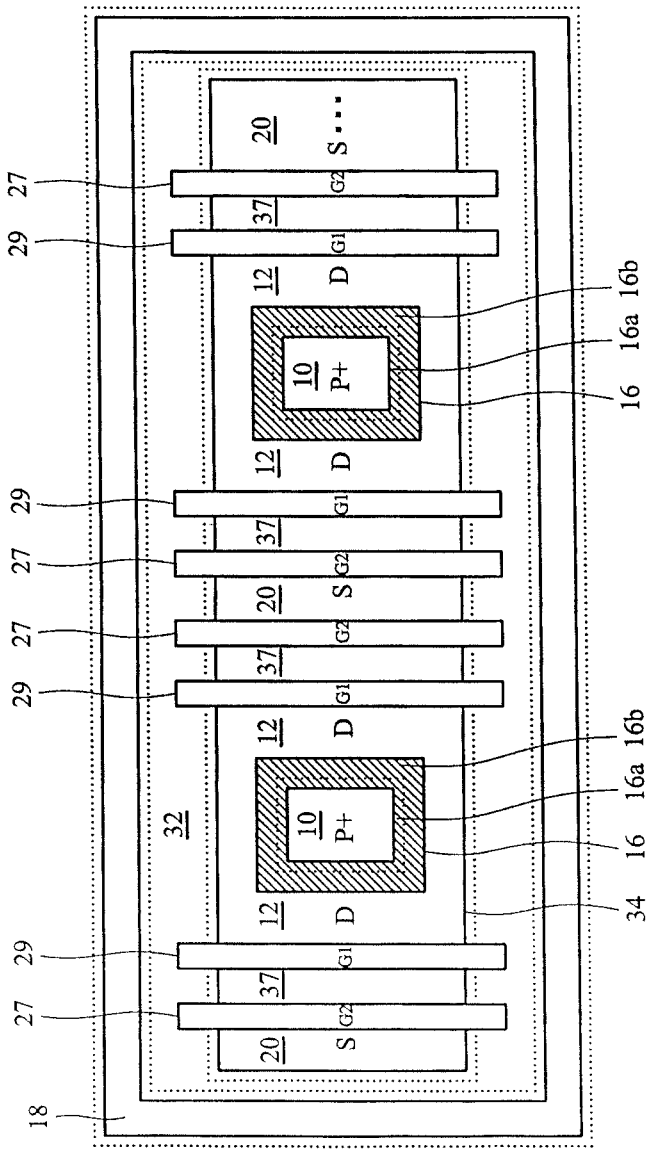
第 10a 圖



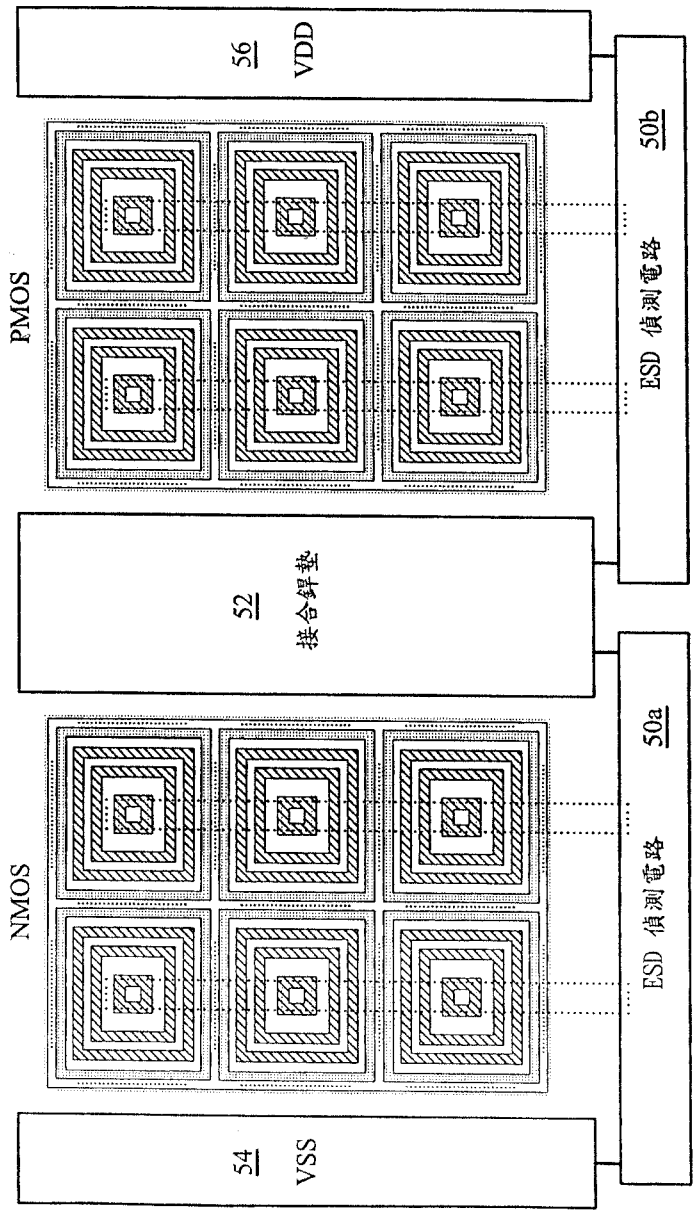
第 10b 圖



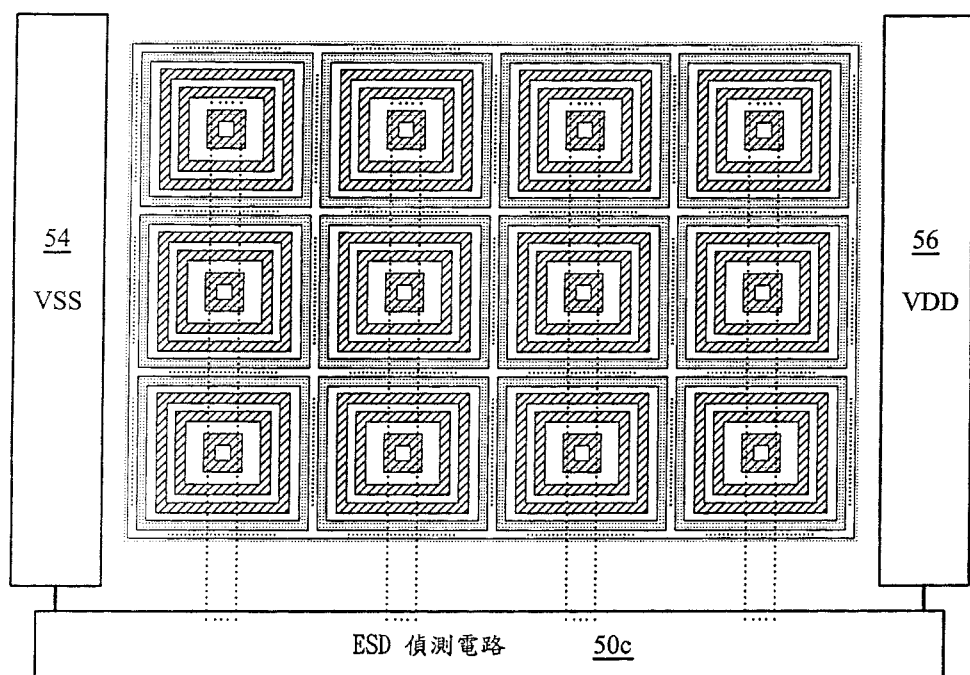
第 12 圖



第 11 圖



第 13 圖



第 14 圖