
【54】名稱： 具高靜電放電防護耐受能力之高壓元件結構

【21】申請案號：092136356

【22】申請日：中華民國92(2003)年12月22日

【11】公開編號：200522280

【43】公開日：中華民國94(2005)年7月1日

【72】發明人： 柯明道 KER, MING DOU；林昆賢 LIN, KUEN SHIEN；林耿立 LIN, GEENG LIH

【71】申請人： 世界先進積體電路股份有限公司 VANGUARD INTERNATIONAL SEMICONDUCTOR CORPORATION
新竹縣新竹科學工業園區園區三路123號

【74】代理人： 洪澄文；顏錦順

1

2

[57]申請專利範圍：

1. 一種靜電放電防護元件結構，係包括：

一基板；

一通道區域，形成於該基板表面的既定位置上，該通道區域具有一第一側及一第二側；

一源極區域，鄰接於該第一側；及

一汲極區域，鄰接於該第二側，係包括一濃摻雜區域及形成於該濃摻雜區域下方的一淡摻雜井區，其

中，該濃摻雜區域之寬度係沿一縱軸方向而變化，使該濃摻雜區域之一側邊至該通道區域之該第二側呈不等距離。

5. 2. 如申請專利範圍第1項所述之靜電放電防護元件結構，其中該靜電防護元件係為一 N 型金屬氧化半導體 (NMOS) 元件，其中該源極區域係為 N 型摻雜區；該汲極區域之該濃摻雜區域及該淡摻雜井區係為 N 型摻雜

10.

區該基板係為一 P 型摻雜基板。

- 3.如申請專利範圍第2項所述之靜電放電防護元件結構，其中該源極區域係耦接至一接地端，該濃摻區域係耦接至一輸出墊片。
- 4.如申請專利範圍第1項所述之靜電放電防護元件結構，其中該靜電防護元件係為一 P 型金屬氧化半導體 (PMOS) 元件，其中該源極區域係為 P 型摻雜區；該汲極區域之該濃摻雜區域及該淡摻雜井區係為 P 型摻雜區，該基板係為 N 型摻雜基板。
- 5.如申請專利範圍第4項所述之靜電放電防護元件結構，其中該源極區域係耦接至一高電源端，該濃摻雜區域係耦接至輸出入墊片上。
- 6.如申請專利範圍第1項所述之靜電放電防護元件結構，其中在該濃摻雜區域及該通道區域之間，更進一步設有一絕緣層。
- 7.如申請專利範圍第6項所述之靜電放電防護元件結構，在該濃摻雜區域被該絕緣層所環繞，且該濃摻雜區域與該絕緣層相接觸(butting)。
- 8.如申請專利範圍第6項所述之靜電放電防護元件結構，在該濃摻雜區域被該絕緣層所環繞，且該濃摻雜區域與該絕緣層不相接觸(butting)。
- 9.如申請專利範圍第8項所述之靜電放電防護元件結構，其中該絕緣層係為淺通道絕緣層。
- 10.如申請專利範圍第1項所述之靜電放電防護元件結構，其中該濃摻雜區域之該側邊係形成數個梯形凸出。
- 11.如申請專利範圍第1項所述之靜電放電防護元件結構，其中該濃摻雜區域之該側邊係形成數個三角狀凸出。
- 12.如申請專利範圍第1項所述之靜電

放電防護元件結構，其中該濃摻雜區域之該側邊係形成數個圓弧狀凸出。

- 13.如申請專利範圍第1項所述之靜電放電防護元件結構，其中該靜電放電防護元件具有複數通道區域以及複數源極區域，該汲極區域係為一共享汲極，以形成一指狀 MOS。
- 14.如申請專利範圍第1項所述之靜電放電防護元件結構，其中該通道區域上設有閘極結構，且該閘極結構耦接到一電源線或是受一前置驅動電路控制。
- 15.一種指狀靜電放電防護元件結構，係包括：
 - 一基板；
 - 二源極區域，形成於該基板表面的既定位置上；
 - 一汲極區域，設於該等源極區域之間，該汲極區域具有至少一濃摻雜區域及形成於該濃摻雜區域下方的一淡摻雜井區；
 - 二通道區域，各該通道區域係形成於一對源極區域及該汲極區域之間；及
 - 其中，該濃摻雜區域之寬度係沿一縱軸方向而變化，使該濃摻雜區域之一側邊至該對應通道區域呈不等距離。
- 16.如申請專利範圍第15項所述之靜電放電防護元件結構，其中該靜電防護元件係為一 N 型金屬氧化半導體 (NMOS) 元件，各該源極區域係為 N 型摻雜區；該汲極區域之該濃摻雜區域及該淡摻雜井區係為 N 型摻雜區，該基板係為一 P 型摻雜基板。
- 17.如申請專利範圍第16項所述之靜電放電防護元件結構，其中該等源極區域係耦接至一接地端，該濃摻區域係耦接至一輸出入墊片。

- 18.如申請專利範圍第15項所述之靜電放電防護元件結構，其中該靜電防護元件係為一P型金屬氧化半導體(PMOS)元件，各該源極區域係為P型摻雜區；該汲極區域之該濃摻雜區域及該淡摻雜井區係為P型摻雜區，該基板係為N型摻雜基板。
- 19.如申請專利範圍第18項所述之靜電放電防護元件結構，其中各該源極區域係耦接至一高電源端，該濃摻雜區域係耦接至一輸出入墊片上。
- 20.如申請專利範圍第15項所述之靜電放電防護元件結構，其中在該濃摻雜區域及該對應通道區域之間，更進一步設有一絕緣層。
- 21.如申請專利範圍第20項所述之靜電放電防護元件結構，在該濃摻雜區域被該絕緣層所環繞，且該濃摻雜區域與該絕緣層相接觸(butting)。
- 22.如申請專利範圍第20項所述之靜電放電防護元件結構，在該濃摻雜區域被該絕緣層所環繞，且該濃摻雜區域與該絕緣層不相接觸(butting)。
- 23.如申請專利範圍第22項所述之靜電放電防護元件結構，其中該絕緣層係為淺通道絕緣層。
- 24.如申請專利範圍第15項所述之靜電放電防護元件結構，其中該汲極區域具有單一濃摻雜區域，並於該濃摻雜區域之第一側邊及第二側邊形成數個梯形凸出。
- 25.如申請專利範圍第15項所述之靜電放電防護元件結構，其中該汲極區域具有單一濃摻雜區域，並於該濃摻雜區域之第一側邊及第二側邊形成數個三角狀凸出。
- 26.如申請專利範圍第15項所述之靜電放電防護元件結構，其中該汲極區域具有單一濃摻雜區域，並於該濃摻雜區域之第一側邊及第二側邊形

成有數個圓弧狀凸出。

- 27.如申請專利範圍第15項所述之靜電放電防護元件結構，其中該汲極區域具有二濃摻雜區域，並於各該濃摻雜區域於鄰近通道區域之側邊形成數個梯形凸出。
 - 28.如申請專利範圍第15項所述之靜電放電防護元件結構，其中該汲極區域具有二濃摻雜區域，並於各該濃摻雜區域於鄰近通道區域之側邊形成數個三角狀凸出。
 - 29.如申請專利範圍第15項所述之靜電放電防護元件結構，其中該汲極區域具有二濃摻雜區域，並於各該濃摻雜區域於鄰近通道區域之側邊形成數個圓弧狀凸出。
 - 30.如申請專利範圍第15項所述之靜電放電防護元件結構，其中各該通道區域上設有閘極結構，且該閘極結構耦接到一電源線或是受一前置驅動電路控制。
- 圖式簡單說明：
- 第1a圖係為一習知ESD高壓防護元件之上視圖；
- 第1b圖則為第1a圖沿著A-A'切線之剖面圖；
- 第2a圖所示係為本發明高靜電放電(electrostatic discharge, ESD)防護能力之元件結構第一較佳實施例之上視圖；
- 第2b圖係為第2a圖沿著B-B'切線之剖面圖；
- 第2c圖係為第2a圖沿著C-C'切線之剖面圖；
- 第3圖所示係為本發明第二較佳實施例之上視圖；
- 第4圖所示係為本發明第三較佳實施例之上視圖；
- 第5圖所示係為本發明第四較佳實施例之上視圖；

第6圖所示係為本發明第五較佳
實施例之上視圖；

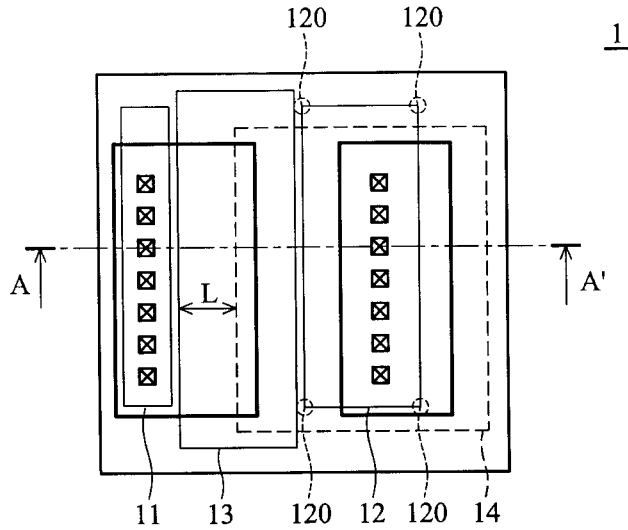
第7圖所示係為本發明第六較佳
實施例之上視圖；

第8a圖係為本發明第七實施例之

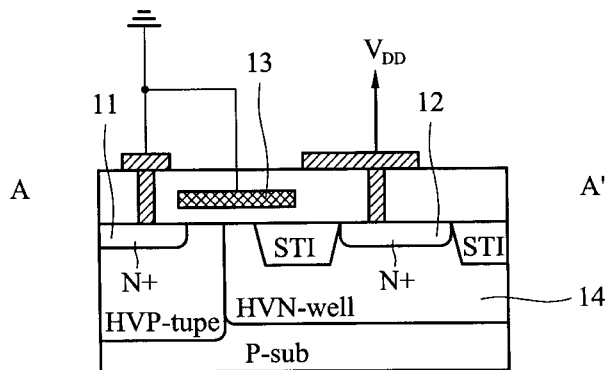
上視圖；

第8b圖係為第8a圖沿著B-B'切線
之剖面圖；

第9圖係為本發明第八實施例之
剖面圖。

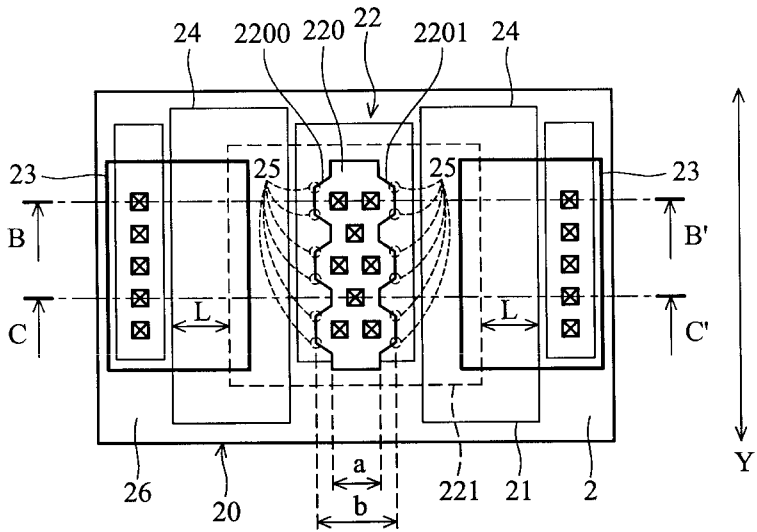


第1a圖

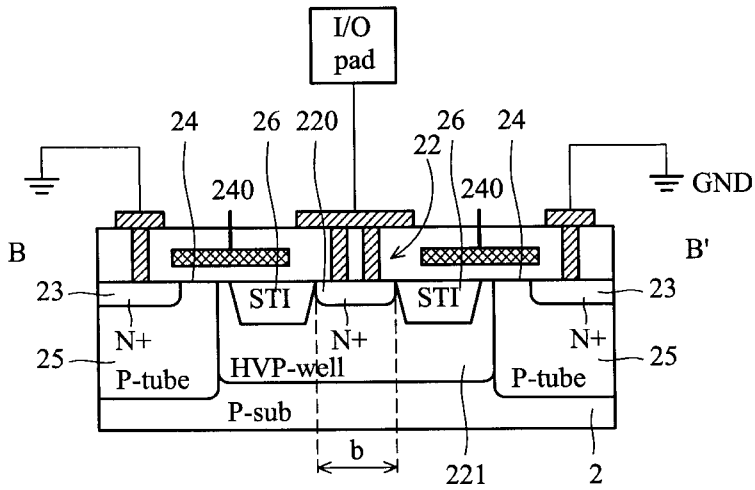


第1b圖

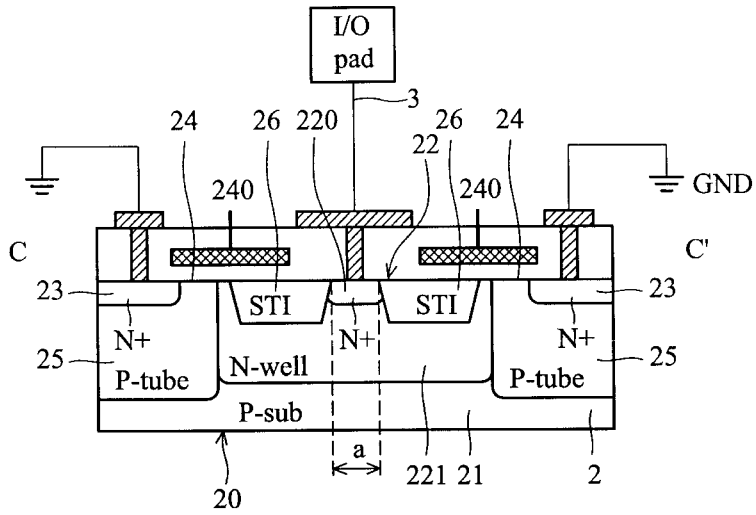
(5)



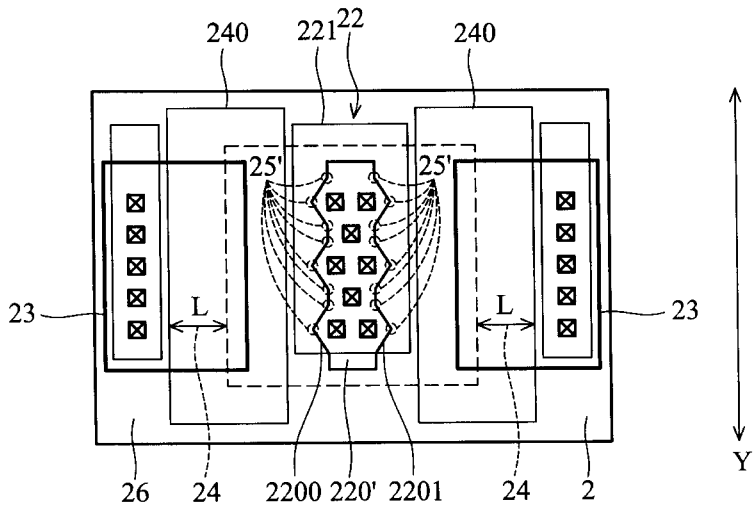
第 2a 圖



第 2b 圖

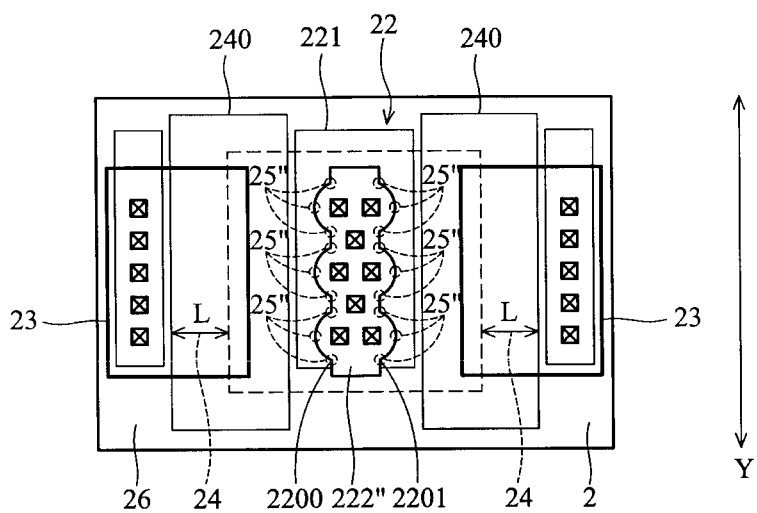


第 2c 圖

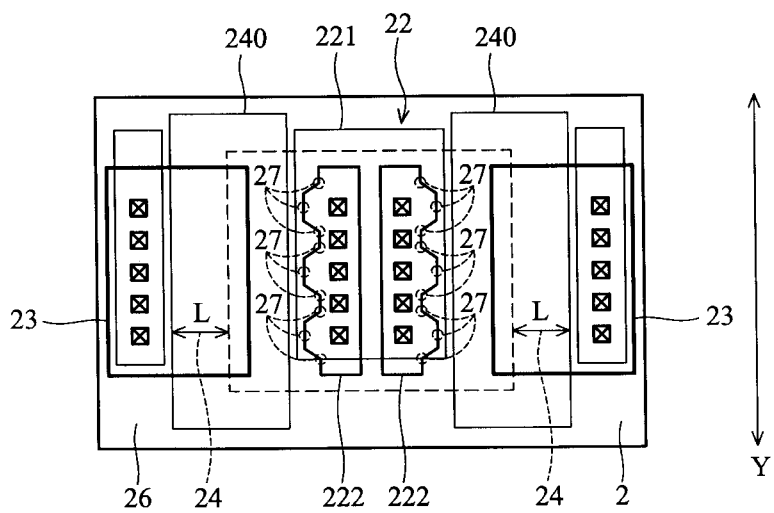


第 3 圖

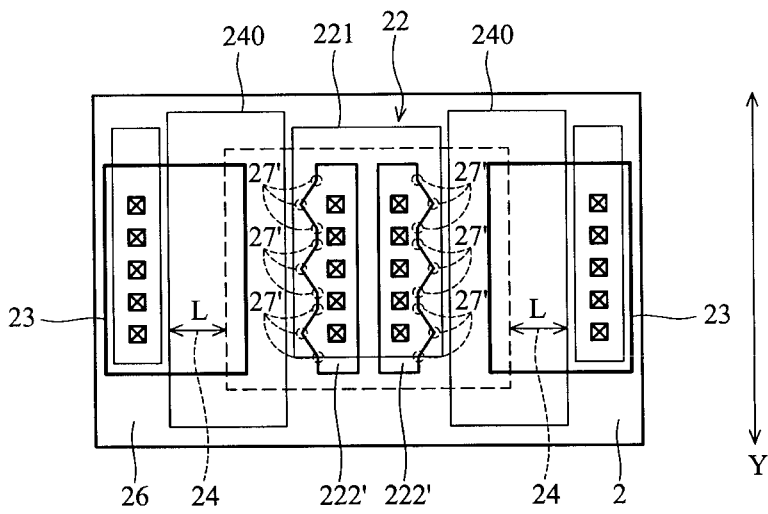
(7)



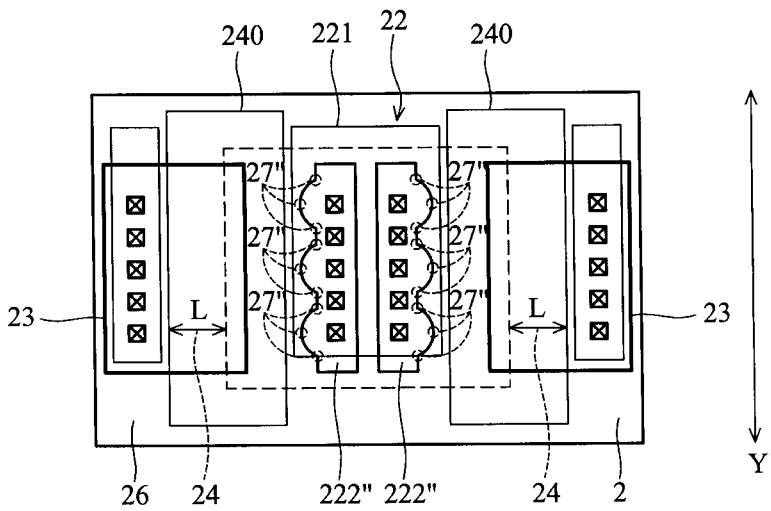
第 4 圖



第 5 圖

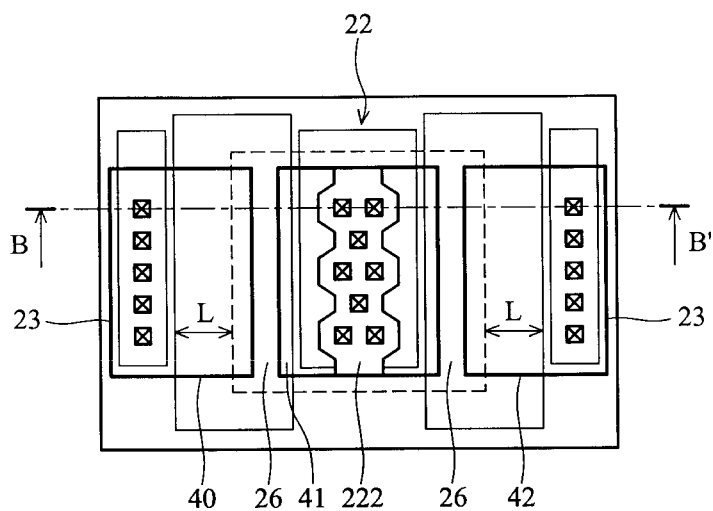


第 6 圖

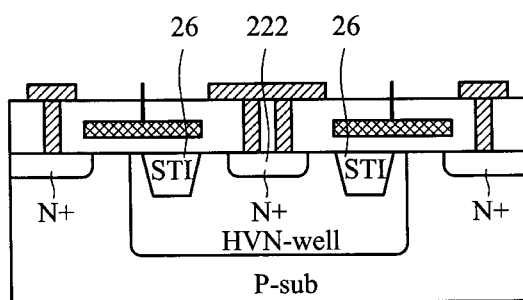


第 7 圖

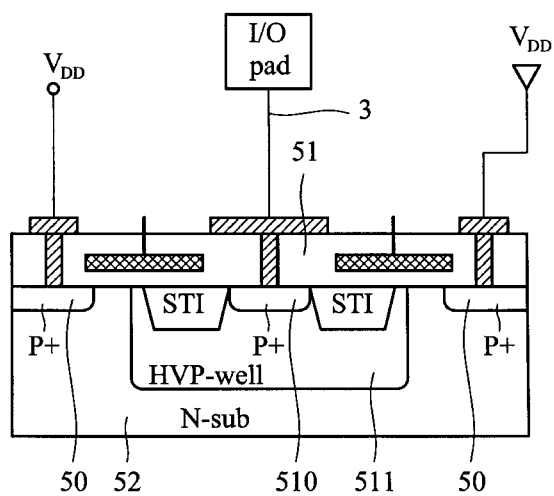
(9)



第 8a 圖



第 8b 圖



第 9 圖