

(11)公告編號：267252

(44)中華民國85年(1996)01月01日

發 明

全 7 頁

(51)Int. Cl.⁵: H01L23/60

(54)名 稱：互補式金氧半晶片上沒有鎖住效應之全方位靜電放電防護電路

(21)申 請 案 號：84108429

(22)申請日期：中華民國84年(1995)08月10日

(72)發 明 人：

柯明道

台南縣歸仁鄉西埔村大埔十一號

吳添祥

苗栗縣後龍鎮龍北里三鄰一〇四號

(71)申 請 人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

(74)代 理 人：

1

2

[57]申請專利範圍：

1. 一CMOS積體電路輸入腳之ESD防護電路，包含：

一個輸入墊；

一個輸出端點；

一個第一厚氧化層元件，其閘極連接到該輸入墊，且其源極到汲極提供一個ESD放電路徑於該輸入墊與第一參考電壓源之間；

一個第二厚氧化層元件，其閘極連接到該輸入墊，且其汲極到源極提供一個ESD放電路徑於該輸入墊與第二參考電壓源之間，該第一厚氧化層元件與第二厚氧化層元件組成第一級ESD防護電路；

一個電阻，連接於該輸入墊與該輸出端點；

一個第一薄氧化層元件，其閘極與源極連接到該輸出端點，且其汲極連接到該第一參考電壓源；以及

一個第二薄氧層元件，其汲極連接到該輸出端點，且其閘極與源極連接到

該第二參考電壓源，該電阻與該第一薄氧化層元件及第二薄氧化層元件組合成第二級ESD防護電路。

2. 如申請專利範圍第1項之ESD防護電路，其中該電阻是一個擴散層(diffusion)電阻，或是一個複晶矽(Polysilicon)電阻。

3. 如申請專利範圍第2項所述之ESD防護電路，其中該擴散層電阻，該第一及第二厚氧化層元件，以及該第一與第二薄氧化層元件都是P型元件。

4. 如申請專利範圍第2項所述之ESD防護電路，尚包含一寄生的二極體，此二極體寄生於P型擴散層與N型基底之間，連接於該輸入墊與該第二參考電壓源之間。

5. 一防護電路，用來保護CMOS積體電路晶片上的輸入級與輸入墊免於ESD的破壞，該晶片擁有一負電壓源VSS及一正電壓源VDD，該防護電路包含：

一個第一厚氧化層元件，連接於輸入級與負電壓源之間，用來旁通一種極性的ESD放電電流；

一個第二厚氧化層元件，連接於正電壓源與輸入級之間，用來旁通另一種極性的ESD放電電流；

一個第一薄氧化層元件，連接於負電壓源與輸入級之間，用來旁通一種極性的ESD放電電流，且箝制在輸入級上正的ESD電壓準位到一個預定的正值；

一個二極體，連接於輸入級與正電壓源之間，用來旁通ESD放電電流；

一個第二薄氧化層元件，連接於輸入級與正電壓源之間，用來旁通另一種極性的ESD放電電流，且箝制在輸入級上負的ESD電壓準位到一個預定的負值。

6.如申請專利範圍第5項所述之防護電路，尚包含有一電阻，此電阻連接於該輸入墊與該輸入級之間。

7.一個積體電路能夠保護MOS元件的輸入端，包含有：

一個第一種傳導材質的基底；

多個第二種傳導材質的高濃度佈植區做在該基底上，該高濃度佈植區用來形成第一與第二厚氧化層元件的源極與汲極，以及形成第一與第二薄氧化層元件的源極與汲極；

兩個厚氧化層閘極做在該基底上，此厚氧化層閘極介於該第一與第二厚氧化層元件的該源極與汲極之間；

兩個薄氧化層閘極做在該基底上，此薄氧化層閘極介於該第一與第二薄氧化層元件的該源極與汲極之間；

一井區具有第二種傳導材質，佈植在該汲極區內，做在同一基底上；

雙層防護圈環做在同一基底上，包圍住該積體電路；以及

一擴散層電阻具有第二種傳導材質，

做在同一基底上，此電阻介於該兩個厚氧化層元件與該兩個薄氧化層元件之間，此電阻亦可以是複晶矽電阻。

8.如申請專利範圍第7項所述之積體電路，其中該防護圈環包括有內圈環與外圈環，該外圈防護圈環具有高濃度佈植的第二種傳導材質，該內圈防護圈具有高濃度佈植的第一種傳導材質。

10. 9.如申請專利範圍第8項所述之積體電路，尚包含有一第二種傳導材質的井區，此井區佈植於該外圈防護圈環內，做在該同一基底上。

10.如申請專利範圍第9項所述之積體電路，尚包含有低濃度佈植汲極(Lightly Doped Drain)的結構，用來做在該兩個薄氧化層閘極的下方，在該同一基底上。

11.一電路能夠防護MOS元件，免於被對負電壓源具有正向極性的靜電放電所破壞，包含有：

一個輸入墊；

一個輸出端點；

一個厚氧化層元件，其閘極與源極連接到該輸入墊，其汲極連接到該負電壓源；

一個電阻連接於該輸入墊與該輸出端點；以及

一個薄氧化層元件，其閘極與源極連接到該輸出端點，其汲極連接到該負電壓源；

該厚氧化層元件崩潰導通來旁通靜電放電之電流自該輸入墊到該負電壓源去，以及該薄氧化層元件箝制該輸出端點上的電壓準位到一個正的預定值。

12.如申請專利範圍第11項所述之電路，其中該負電壓源接地。

13.一電路能夠防護MOS元件，免於被對接地點具有負向極性的靜電放電所破

壞，包含有：

一個輸入墊；

一個輸出端點；

一個厚氧化層元件，其閘極與源極連接到該輸入墊，其汲極連接到該接地點；

一個電阻連接於該輸入墊與該輸出端點；以及

一個薄氧化層元件，其閘極與源極連接到該輸出端點，其汲極連接到該接地點；

該薄氧化層元件正向導通來旁通靜電放電之電流從該輸入墊到該接地點去。

14. 一電路能夠防護MOS元件，免於被對正電壓源具有正向極性的靜電放電所破壞，包含有：

一個輸入墊；

一個輸出端點；

一個厚氧化層元件，其閘極與源極連接到該輸入墊，其汲極連接到該正電壓源；

一個電阻連接於該輸入墊與該輸出端點之間；

一個寄生的二極體連接於該輸入墊與該正電壓源之間；以及

一個薄氧化層元件，其閘極與源極連接到該正電壓源，其汲極連接到該輸出端點；

該寄生二極體正向導通來旁通靜電放電之電流自該輸入墊到該正電壓源去。

15. 一電路能夠防護MOS元件，免於被對正電壓源具有負向極性的靜電放電所破壞，包含有：

一個輸入墊；

一個輸出端點；

一個厚氧化層元件，其閘極與汲極連接到該輸入墊，其源極連接到該正電壓源；

一個電阻連接於該輸入墊與該輸出端點；以及

一個薄氧化層元件，其閘極與源極連接到該正電壓源，其汲極連接到該輸出端點；

該厚氧化層元件崩潰導通來旁通靜電放電之電流自該輸入墊到該正電壓源去，以及該薄氧化層元件箝制該輸出端點上的電壓準位到一個負的預定值。

10.

16. 一防護電路，用來防護一個輸入墊與一個CMOS晶片上的輸入級，以免於四種放電模式的靜電放電所破壞，該四種放電模式是PS模式、NS模式、PD模式、以及ND模式的靜電放電，該晶片上具有一正電壓源(VDD)與一負電壓源(VSS)，該防護電路包含有：

一個第一厚氧化層元件連接於該輸入級與該負電壓源之間，用來旁通PS模式的靜電放電之電流；

一個第二厚氧化層元件連接於該輸入級與該正電壓源之間，用來旁通ND模式的靜電放電之電流；

25.

一個第一薄氧化層元件連接於該輸入級與該負電壓源之間，用來旁通NS模式的靜電放電之電流；該第一薄氧層元件在PS模式靜電放電情形下，可箝制該輸入級之閘極上的電壓準位於一個正的預定值；

30.

一個二極體連接於該輸入級與該正電壓源之間，用來旁通PD模式的靜電放電之電流；以及

35.

一個第二薄氧化層元件連接於該輸入級與該正電壓源之間，在ND模式靜電放電情形下，用來箝制該輸入級之閘極上的電壓準位到一個負的預定值。

圖示簡單說明：

40.

第1圖係顯示一傳統的ESD防護電路

，其中防護元件只安排在輸入墊與VSS之間。

第2圖係顯示用兩個二極體所做的傳統ESD防護電路。

第3圖係顯示用薄氧化層PMOS元件與NMOS元件所做的傳統ESD防護電路。

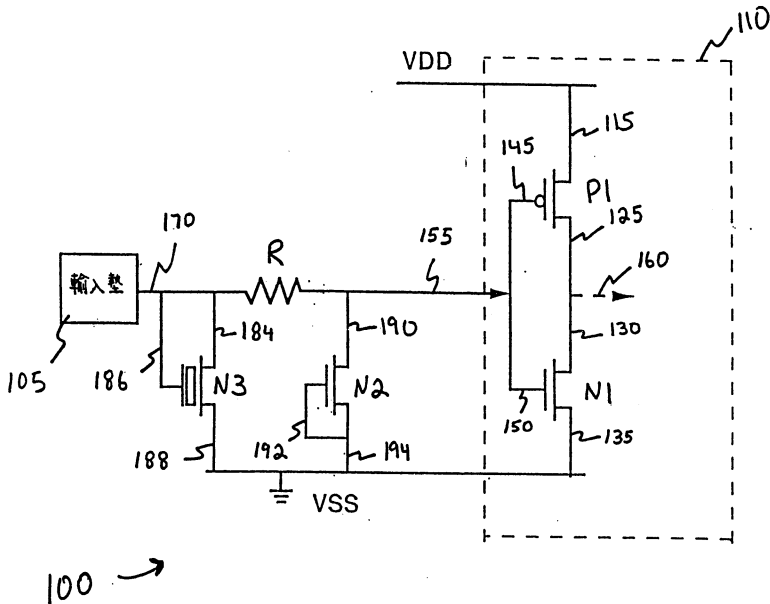
第4圖係顯示VDD到VSS鎖住效應的

等效電路圖。

第5圖係顯示本發明所提出的ESD防護電路。

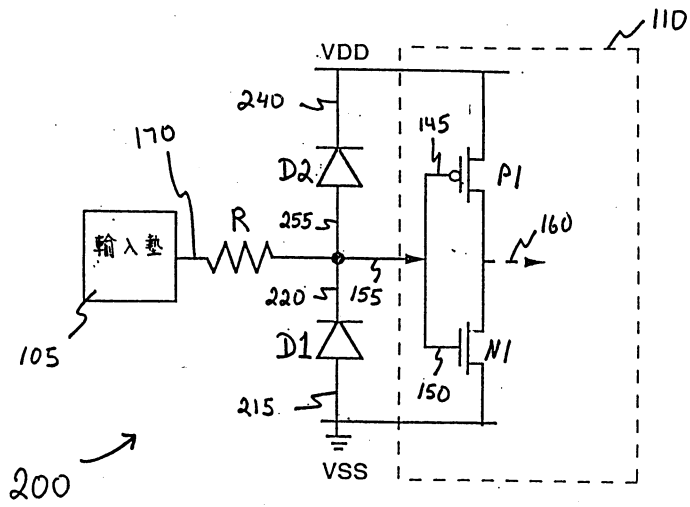
第6圖係顯示第5圖之ESD防護電路的佈局實例。

第7圖係顯示本發明ESD防護電路之元件結構的剖面圖，此剖面圖是相對於第6圖中的A—A' 切線。

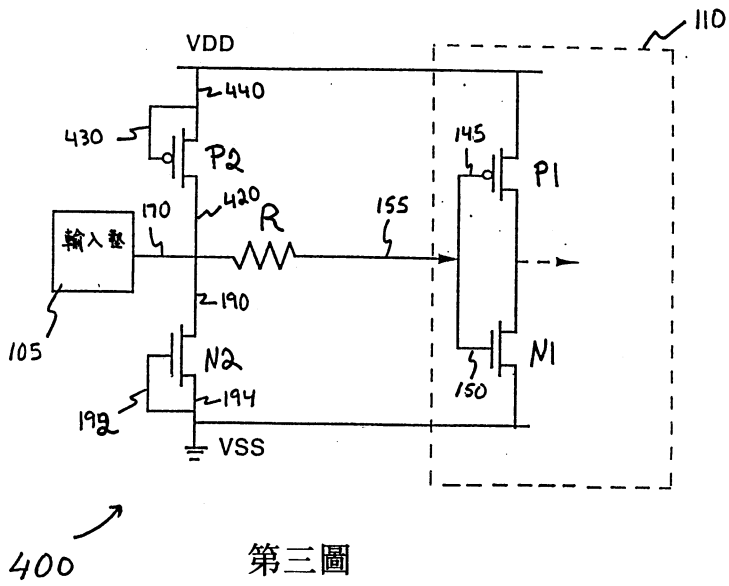


第一圖

(5)

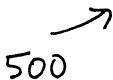


第二圖

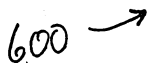


第三圖

(6)

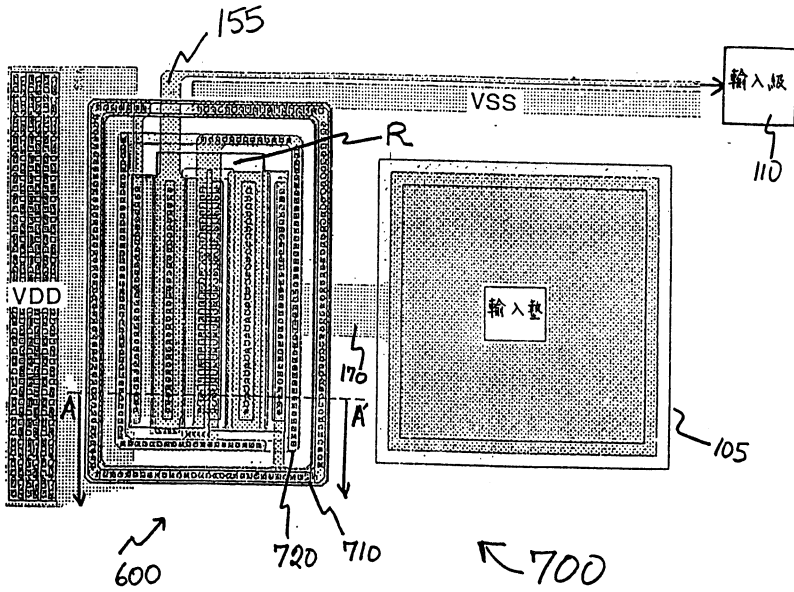


第四圖

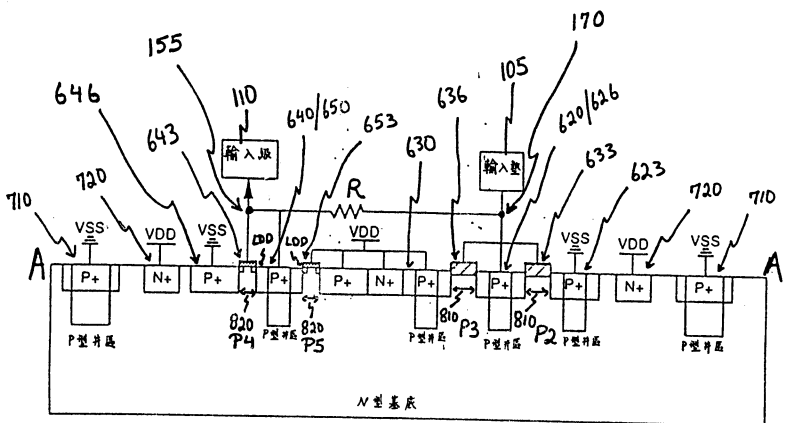


第五圖

(7)



第六圖



第七圖

