

中華民國專利公報 (19)(12)

(11)公告編號：268151

(44)中華民國85年(1996)01月11日

發明

全 6 頁

(51)Int. Cl.⁵: H01L23/60

(54)名稱：抗靜電放電之保護電路

(21)申請案號：83111003

(22)申請日期：中華民國83年(1994)11月26日

(72)發明人：

柯明道

吳重雨

張恆祥

李中元

柯宗義

台南縣歸仁鄉西埔村大埔十一號

新竹市博愛街七十五之一號

台北縣汐止鎮大同路二段三三七號

桃園縣中壢市龍門街一七八巷三弄十一號

新竹市民享街一五九巷十二號

(71)申請人：

聯華電子股份有限公司

新竹科學工業園區工業東三路三號

(74)代理人：洪澄文 先生

1

2

[57]申請專利範圍：

1. 一種抗靜電放電之保護電路，適用於與一內部電路連接之一輸入／輸出緩衝襯墊上，耦接於一第一參考電壓和一第二參考電壓間，以避免靜電放電沿該輸入／輸出緩衝襯墊破壞該內部電路，該抗靜電放電之保護電路包括：

一第一矽控整流器，具有一陽極、一陰極、一陽極間和一陰極間，該第一矽控制整流器之該陽極和該陽極間極接至該第一參考電壓，該第一矽控制整流器之該陰極連接至該輸入／輸出緩衝襯墊，該第一矽控整流器之該陰極間連接至該第二參考電壓；

一P型場效電晶體，具有一汲極、一源極、一閘極和一基體極，該P型場效電晶體之該閘極、該源極和該基體極連接至該第一參考電壓，該P型場效電晶體之該汲極連接至該第一矽控整流器之該陰極間；

一第二矽控整流器，具有一陽極、一

陰極、一陽極間和一陰極間，該第二矽控整流器之該陰極和該陰極間連接至該第二參考電壓，該第二矽控整流器之該陽極連接至該輸入／輸出緩衝襯墊，該第二矽控整流器之該陽極間連接至該第一參考電壓；

一N型場效電晶體，具有一汲極、一源極、一閘極和一基體極，該N型場效電晶體之該閘極、該源極和該基體極連接至該第二參考電壓，該N型場效電晶體之該汲極連接至該第二矽控整流器之該陽極間。

2. 如申請專利範圍第1項所述之該抗靜電放電之保護電路，其中，該第一矽控整流器有一第一PNP雙極性電晶體和一第一NPN雙極性電晶體，分別具有一集極、一基極和一射極，該一PNP雙極性電晶體之基極與該一NPN雙極性電晶體之集極耦接，為該第一矽控整流器之該陽極間，該第一PNP雙極性電晶體之集極與該第一

NPN雙極性電晶體之基極耦接，為該第一矽控整流器之該陰極間，該第一PNP雙極性電晶體之射極及該第一NPN雙極性電晶體之射極，分別為該第一矽控整流器之該陽極和該陰極。

3. 如申請專利範圍第2項所述之該抗靜電放電之保護電路，其中，尚包括一第一二極體，是藉由該第一NPN雙極性電晶體之基極和射極形成。

4. 如申請專利範圍第1項所述之該抗靜電放電之保護電路，其中，該第二矽控整流器具有一第二PNP雙極性電晶體和一第二NPN雙極性電晶體，分別具有一集極、一基極和一射極，該第二PNP雙極性電晶體之基極與該第二NPN雙極性電晶體之集極耦接，為該第二矽控整流器之該陽極間，該第二PNP雙極性電晶體之集極與該第二NPN雙極性電晶體之基極耦接，為該第二矽控整流器之該陰極間，該第二PNP雙極性電晶體之射極及該第二NPN雙極性電晶體之射極，分別為該第二矽控整流器之該陽極和該陰極。

5. 如申請專利範圍第4項所述之該抗靜電放電之保護電路，其中，尚包括一第二二極體，是藉由該第二PNP雙極性電晶體之射極和基極形成。

6. 如申請專利範圍第1項所述之該抗靜電放電之保護電路，適用製作於一第一型基板上，該第一型基板包括：

於該第一型基板內設置相鄰之一第一一井區和一第二井區，以及相鄰之一第三井區和一第四井區，該第四個井區皆為第二型雜質佈植而成；

一第一第一型濃佈植區設置於該第一一井區內，一第二第一型濃佈植區設置於橫跨該第一一井區和該第一型基板間的區域，一第三第一型濃佈植區設置於該第三井區內；

一第一第二型濃佈植區設置於靠近該

第四井區之該第三井區之一側，並橫跨於該第三井區和該第一型基板間的區域，一第二第二型濃佈植區設置於靠近第三井區之該第四井區之一側，並橫跨於該第四井區和該第一型基板間的區域；

於該第一第一型濃佈植區和該第二第一型濃佈植區之間的該第一一井區上依序設置一第一閘極介電層和一第一閘極電極；

於該第一第二型濃佈植區和該第二第二型濃佈植區之間的該第一型基板上依序設置一第二閘極介電層和一第二閘極電極。

5. 7. 如申請專利範圍第6項所述之該抗靜電放電之保護電路，其中，該第一第一型濃佈植區、該第一一井區和該第一型基板分別構成一直向雙極性電晶體的射極、基極和集極。

20. 8. 如申請專利範圍第6項所述之該抗靜電放電之保護電路，其中，該第二井區、該第一型基板和該第一一井區分別構成一側向雙極性電晶體的射極、基極和集極。

25. 9. 如申請專利範圍第6項所述之該抗靜電放電之保護電路，其中，該第一第一型濃佈植區、該第二第一型濃佈植區、該第一閘極電極和該一井區分別構成一場效電晶體之源極、汲極、閘極和基體極。

30. 10. 如申請專利範圍第6項所述之該抗靜電放電之保護電路，其中，該第三第一型濃佈植區、該第三井區和該第一型基板分別構成一直向雙極性電晶體之射極、基極和集極。

35. 11. 如申請專利範圍第6項所述之該抗靜電放電之保護電路，其中，該第四井區、該第一型基板和該第三井區分別構成一側向雙極性電晶體之射極、基極和集極。

- 12.如申請專利範圍第6項所述之該抗靜電放電之保護電路，其中，該第一第二型濃佈植區、該第二第二型濃佈植區、該第二閘極電極和該第一型基板分別構成一場效電晶體之汲極、源極、閘極和基體極。
- 13.如申請專利範圍第6項所述之該抗靜電放電之保護電路，其中，該第一型為P型，該第二型為N型。
- 14.如申請專利範圍第6項所述之該抗靜電放電之保護電路，其中，該第一型

為N型，該第二型為P型。

圖示簡單說明：

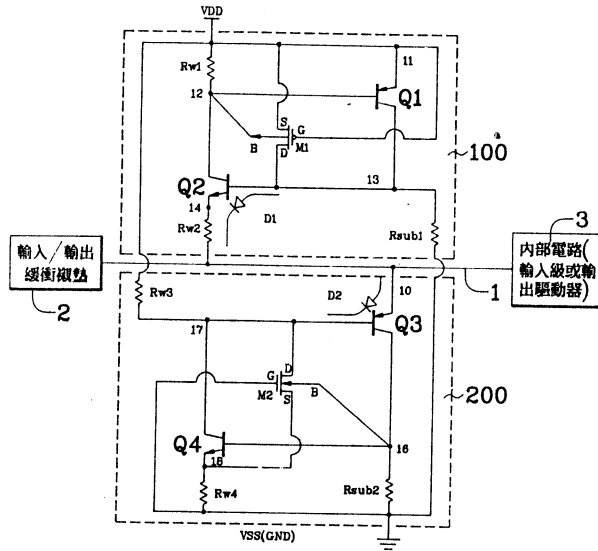
第1圖係顯示根據本發明之實施例一ESD保護電路圖；

5. 第2圖係顯示根據本發明之實施例一製作於P型基板上之剖面圖；

第3圖係顯示第2圖之佈局上視圖；

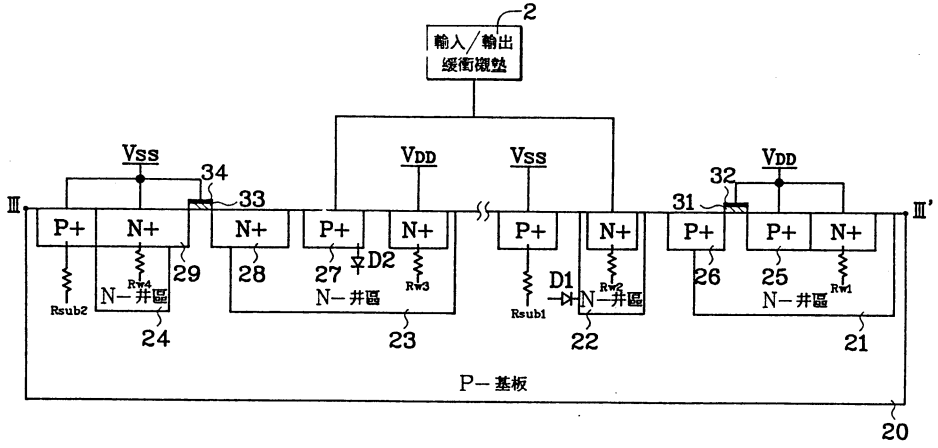
第4圖係顯示根據本發明之實施例二製作於N型基板上之剖面圖；

10. 第5圖係顯示根據本發明之實施例二ESD保護電路圖。

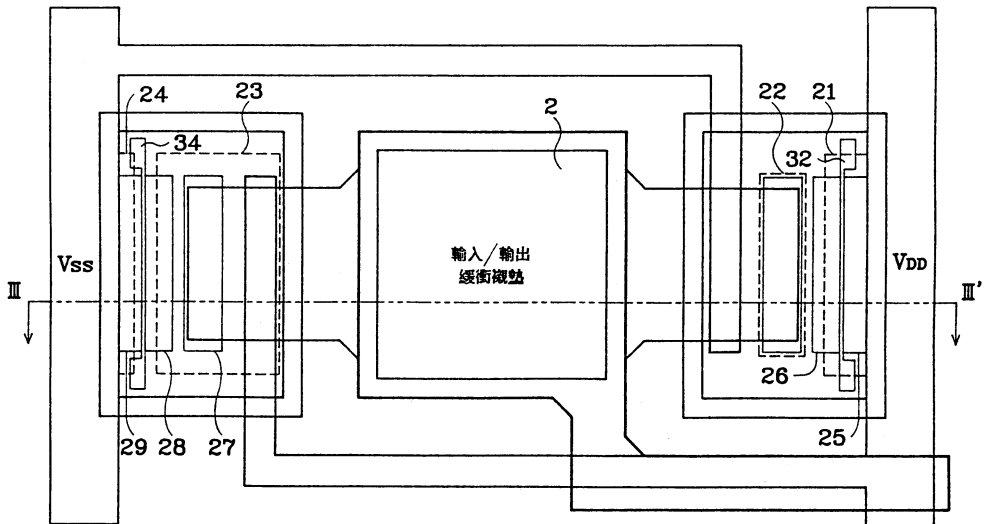


第 1 圖

(4)

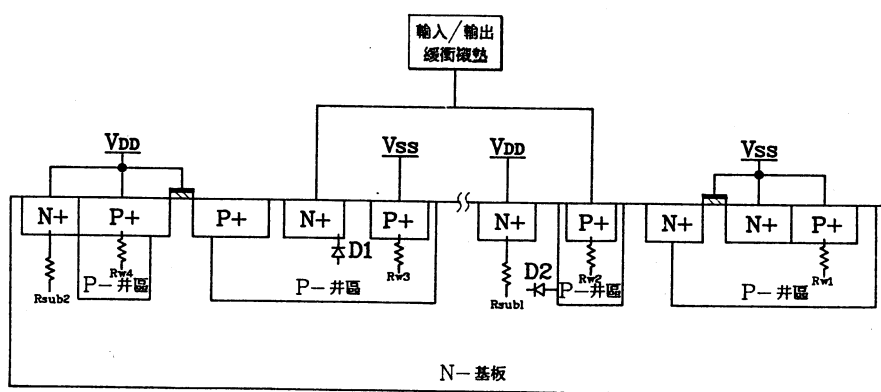


第 2 圖

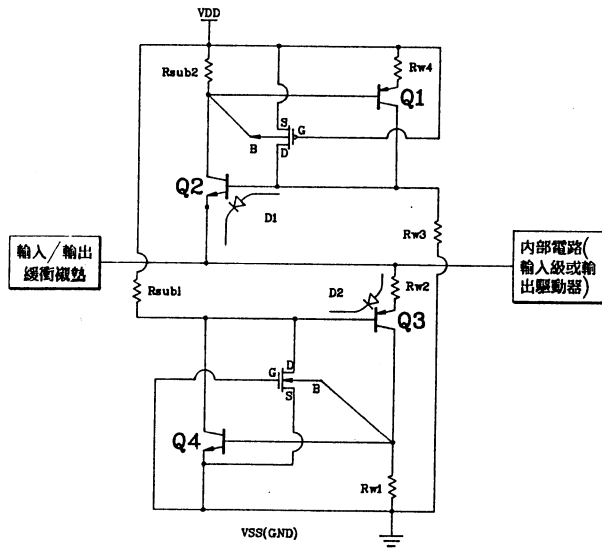


第 3 圖

(5)



第 4 圖



第 5 圖