

(11)公告編號：270230

(44)中華民國85年(1996)02月11日

發 明

全 8 頁

(51)Int. Cl.⁵: H01L23/60

(54)名 稱：電容耦合式靜電放電保護裝置

(21)申 請 案 號：84109334

(22)申請日期：中華民國84年(1995)09月06日

(72)發 明 人：

柯明道

吳重雨

鄭道

吳昭能

俞大立

新竹市寶山路二〇〇巷三號四樓之三

新竹市博愛街七十五之一號

高雄縣岡山鎮柳橋西路一一〇巷二弄一號

高雄縣鳳山市南華路三十之四號

新竹縣竹東鎮中興路四段五七二巷四十弄一號四樓

(71)申 請 人：

華邦電子股份有限公司

新竹市科學工業園區研新三路四號

(74)代 理 人：蔡清福 先生

1

2

[57]申請專利範圍：

1.一種電容耦合式靜電放電防護裝置，其係設於一輸入接線區(pad)與一內部電路之間，或一輸出接線區與一輸出緩衝裝置之間，該電容耦合式靜電放電防護裝置包括：

一第一連接端電連接於該輸入接線區與該內部電路間；

一第二連接端電連接於該輸出接線區、該內部電路與該輸出緩衝裝置間；

以及

一ESD防護電路電連接於該第一及第二連接端，其係可旁通該ESD電流，並經由一電容耦合(Capacitor-Couple)裝置與一電位嵌位元件之處理，以保護該內部電路與該輸出緩衝裝置免遭該ESD電流之破壞；

其特徵在於該電容耦合裝置於該ESD電壓處於一第一或第四信號狀態時，藉由耦合適當之電壓準位至該ESD防護電路或該輸出緩衝裝置，將可有效降低該ESD防護電路或該輸出

緩衝裝置之一驟回崩潰電壓(snapback breakdown voltage)值，且該電位嵌位元件於該ESD電壓處於一第二或第三信號狀態時，將可使位於該第一或第二連接端處之ESD電壓保持於一低電壓準位。

5.

2.如申請專利範圍第1項所述之電容耦合式靜電放電防護裝置，其中該ESD防護電路包括一輸入端ESD防護電路，該輸入端ESD防護電路係可藉由一輸入端電容耦合裝置與一輸入端電位嵌位元件，以於該輸入接線區出現該ESD電流時，自該第一連接端處旁通該ESD電流，俾達保護該內部電路之目的。

10.

15.

3.如申請專利範圍第2項所述之電容耦合式靜電放電防護裝置，其中該輸入端電容耦合裝置係可為一電容器。

4.如申請專利範圍第2項所述之電容耦合式靜電放電防護裝置，其中該輸入端ESD防護電路包括一電流旁通裝置

20.

電連接於一電源端，該電流旁通裝置係可包括一第一、第二以及第三端點，該第二端點係電連接於該電源端，且該第三端點係電連接於該第一連接端。

5. 如申請專利範圍第4項所述之電容耦合式靜電放電防護裝置，其中該電流旁通裝置係可為一MOS電晶體。
6. 如申請專利範圍第5項所述之電容耦合式靜電放電防護裝置，其中該MOS電晶體之閘極端、源極端以及汲極端係可分別為該第一、第二以及第三端點。
7. 如申請專利範圍第5項所述之電容耦合式靜電放電防護裝置，其中該MOS電晶體之閘極端、汲極端以及源極端係可分別為該第一、第二以及第三端點。
8. 如申請專利範圍第5項所述之電容耦合式靜電放電防護裝置，其中該MOS電晶體係可為一P通道或N通道之MOS電晶體。
9. 如申請專利範圍第5項所述之電容耦合式靜電放電防護裝置，其中該MOS電晶體係可為一加強型之MOS電晶體。
10. 如申請專利範圍第4項所述之電容耦合式靜電放電防護裝置，其中該輸入端電容耦合裝置係電連接於該第一及第三端點間，藉由該輸入端電容耦合裝置之電位耦合作用，而將處於該第一或第四信號狀態之該ESD電壓耦合至該第一端點，以提高該第一端點之偏壓電壓準位，俾可有效降低導通該電流旁通裝置所需之該驟回崩潰電壓值，以使該電流旁通裝置導通以排除掉該ESD電流，並保護該內部電路。
11. 如申請專利範圍第10項所述之電容耦合式靜電放電防護裝置，其中該輸入端ESD防護電路更包括一延緩裝置，

電連接於該第一及第二端點，其係用於該輸入接線區出現ESD電流時，延長該電流旁通裝置之導通時間，以確保完全排除該ESD電流，且於積體電路正常輸入信號時，使該電流旁通裝置處於一關閉(turn off)狀態。

5. 如申請專利範圍第11項所述之電容耦合式靜電放電防護裝置，其中該延緩裝置係可為一電阻。
10. 13. 如申請專利範圍第4項所述之電容耦合式靜電放電防護裝置，其中該輸入端電位嵌位元件係電連接於該第二及第三端點，該ESD電壓處於該第二或第三信號狀態時，將可導通該輸入端電位嵌位元件，以將位於該第一連接端處之電壓保持於低電壓準位。
15. 14. 如申請專利範圍第13項所述之電容耦合式靜電放電防護裝置，其中該輸入端電位嵌位元件係可為一二極體。
20. 15. 如申請專利範圍第14項所述之電容耦合式靜電放電防護裝置，其中該電流旁通裝置為一P通道之MOS電晶體時，該二極體之陰極端(cathode)係電連接於該第二端點，且該二極體之陽極端(anode)係電連接於該第三端點。
25. 16. 如申請專利範圍第14項所述之電容耦合式靜電放電防護裝置，其中該電流旁通裝置為一N通道之MOS電晶體時，該二極體之陽極端(anode)係電連接於該第二端點，且該二極體之陰極端(cathode)係電連接於該第三端點。
30. 17. 如申請專利範圍第5或第14項中之任一項所述之電容耦合式靜電放電防護裝置，其中該二極體係可為於摻雜形成該MOS電晶體時，由該MOS電晶體與一基體(substrate)所構成之一寄生(parasitic)二極體。
35. 18. 如申請專利範圍第1項所述之電容耦合式靜電放電防護裝置，其中該ESD防護電路包括一輸出端ESD防護
- 40.

電路，該輸出端ESD防護電路係可藉由一輸出端電容耦合裝置與一輸出端電位嵌位元件，以於該輸出接線區出現該ESD電流時，防止該ESD電流破壞該輸出緩衝裝置。

- 19.如申請專利範圍第18項所述之電容耦合式靜電放電防護裝置，其中輸出端電容耦合裝置係可為一電容器。
- 20.如申請專利範圍第18項所述之電容耦合式靜電放電防護裝置，其中該輸出緩衝裝置電連接於一電源端，該輸出緩衝裝置包括一第一、第二以及第三端點，該第一端點係電連接於該內部電路，該第二端點係電連接於該電源端，且該第三端點係電連接於該第二連接端。
- 21.如申請專利範圍第20項所述之電容耦合式靜電放電防護裝置，其中該輸出緩衝裝置係可為一MOS電晶體。
- 22.如申請專利範圍第21項所述之電容耦合式靜電放電防護裝置，其中該MOS電晶體之閘極端、源極端以及汲極端係可分別為該第一、第二以及第三端點。
- 23.如申請專利範圍第21項所述之電容耦合式靜電放電防護裝置，其中該MOS電晶體之閘極端、汲極端以及源極端係可分別為該第一、第二以及第三端點。
- 24.如申請專利範圍第20項所述之電容耦合式靜電放電防護裝置，其中該輸出端電容耦合裝置係電連接於該第一及第三端點間，藉由該輸出端電容耦合裝置之電位耦合作用，而將處於該第一或第四信號狀態之該ESD電壓耦合至該第一端點，以提高該第一端點之偏壓電壓準位，俾可有效降低導通該輸出緩衝裝置所需之該驟回崩潰電壓值，以保護該輸出緩衝裝置免遭該ESD電流之破壞。

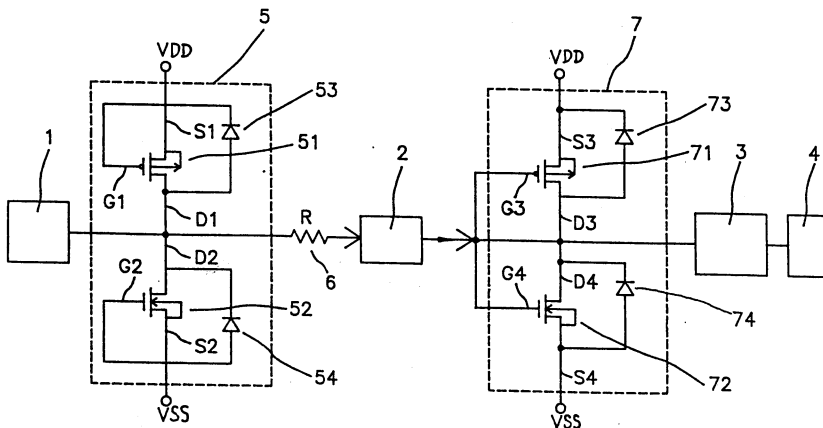
- 25.如申請專利範圍第20項所述之電容耦合式靜電放電防護裝置，其中該輸出端電位嵌位元件係電連接於該第二及第三端點，該ESD電壓處於該第二或第三信號狀態時，將可導通該輸出端電位嵌位元件，以將位於該第二連接端處之電壓保持於低電壓準位。
- 5.如申請專利範圍第25項所述之電容耦合式靜電放電防護裝置，其中該輸出端電位嵌位元件係可為一二極體。
- 27.如申請專利範圍第26項所述之電容耦合式靜電放電防護裝置，其中該輸出緩衝裝置為一P通道之MOS電晶體時，該二極體之陰極端(cathode)係電連接於該第二端點，且該二極體之陽極端(anode)係電連接於該第三端點。
- 15.如申請專利範圍第27項所述之電容耦合式靜電放電防護裝置，其中該輸出緩衝裝置為一N通道之MOS電晶體時，該二極體之陽極端(anode)係電連接於該第二端點，且該二極體之陰極端(cathode)係電連接於該第三端點。
- 20.如申請專利範圍第20或第26項中之任一項所述之電容耦合式靜電放電防護裝置，其中該二極體係可為於摻雜形成該MOS電晶體時，由該MOS電晶體與一基體(substrate)所構成之一寄生(parasitic)二極體。
- 25.如申請專利範圍第1項所述之電容耦合式靜電放電防護裝置，其中該ESD電流處於一第一信號狀態，係指該ESD電流於出現於該輸入或輸出接線區(pad)時，對於處於相對接地狀態之負電源端而言，該ESD電壓係為正極性，而正電源端則係處於一浮接狀態(floating)。
- 35.如申請專利範圍第1項所述之電容耦合式靜電放電防護裝置，其中該ESD電流處於一第二信號狀態，係指該ESD電流於出現於該輸入或輸出接
- 40.

線區時，對於處於相對接地狀態之負電源端而言，該ESD電壓係為負極性，而正電源端則係處於一浮接狀態。

- 32.如申請專利範圍第1項所述之電容耦合式靜電放電防護裝置，其中該ESD電流處於一第三信號狀態，係指該ESD電流於出現於該輸入或輸出接線區時，對於處於相對接地狀態之正電源端而言，該ESD電壓係為正極性，而負電源端則係處於一浮接狀態。
- 33.如申請專利範圍第1項所述之電容耦合式靜電放電防護裝置，其中該ESD電流處於一第四信號狀態，係指該ESD電流於出現於該輸入或輸出接線區時，對於處於相對接地狀態之正電源端而言，該ESD電壓係為負極性，而負電源端則係處於一浮接狀態。

圖示簡單說明：

第一圖：其係為習知CMOS IC之輸入端ESD防護電路及輸出緩衝器之電路



第一圖

架構示意圖。

第二圖：其係為藉由控制調整閘源極電壓 (V_{gs}) 以有效降低驟回崩潰電壓 (snapback-breakdown voltage) 效應之關係示意圖。

第三圖：其係為本案之一較佳實施例之示例圖。

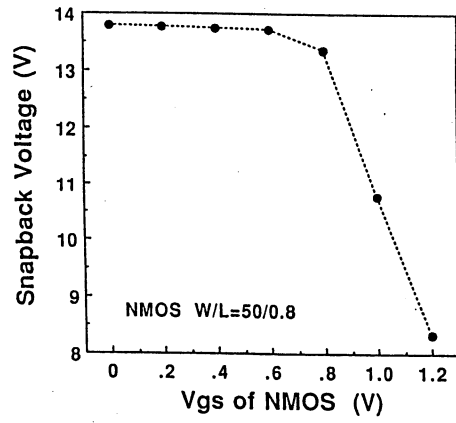
第四圖：其係為ESD之四種放電模式示意圖。

第五圖(a)~(h)：其係為本案之較佳實施例中配合ESD之四種放電模式而出現於輸入及輸出接線區之工作狀態示意圖。

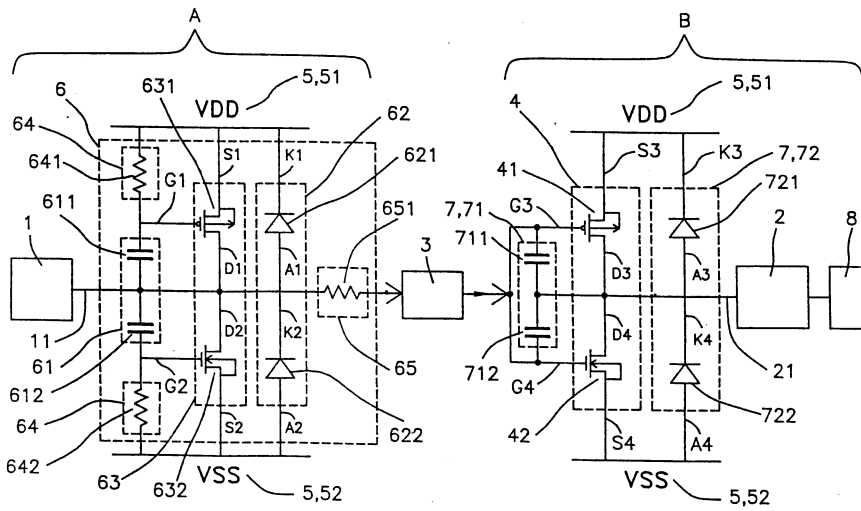
第六圖(a)及(b)：其係分別為第三圖標示A、B處所示電路架構以CMOS技術實施於P型基體／雙井區中之元件分佈結構剖視圖。

第七圖：其係為第三圖標示A處所示電路架構之佈局(Layout)示例圖。

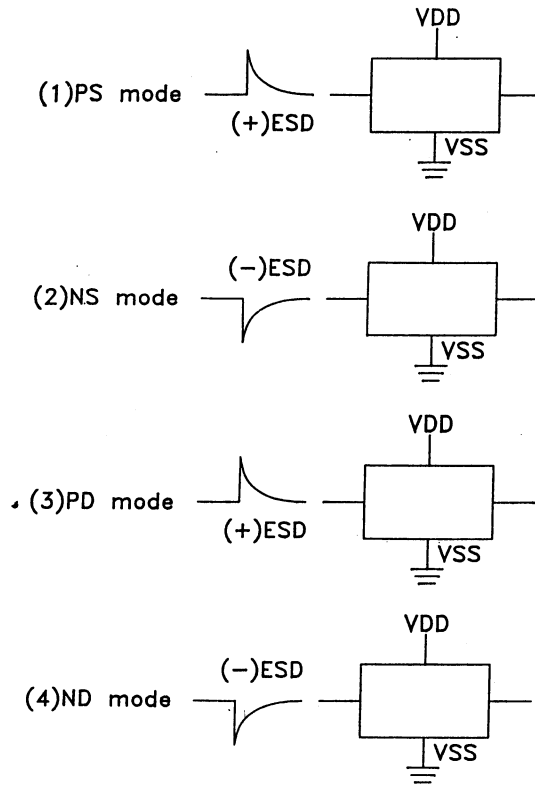
(5)



第二圖

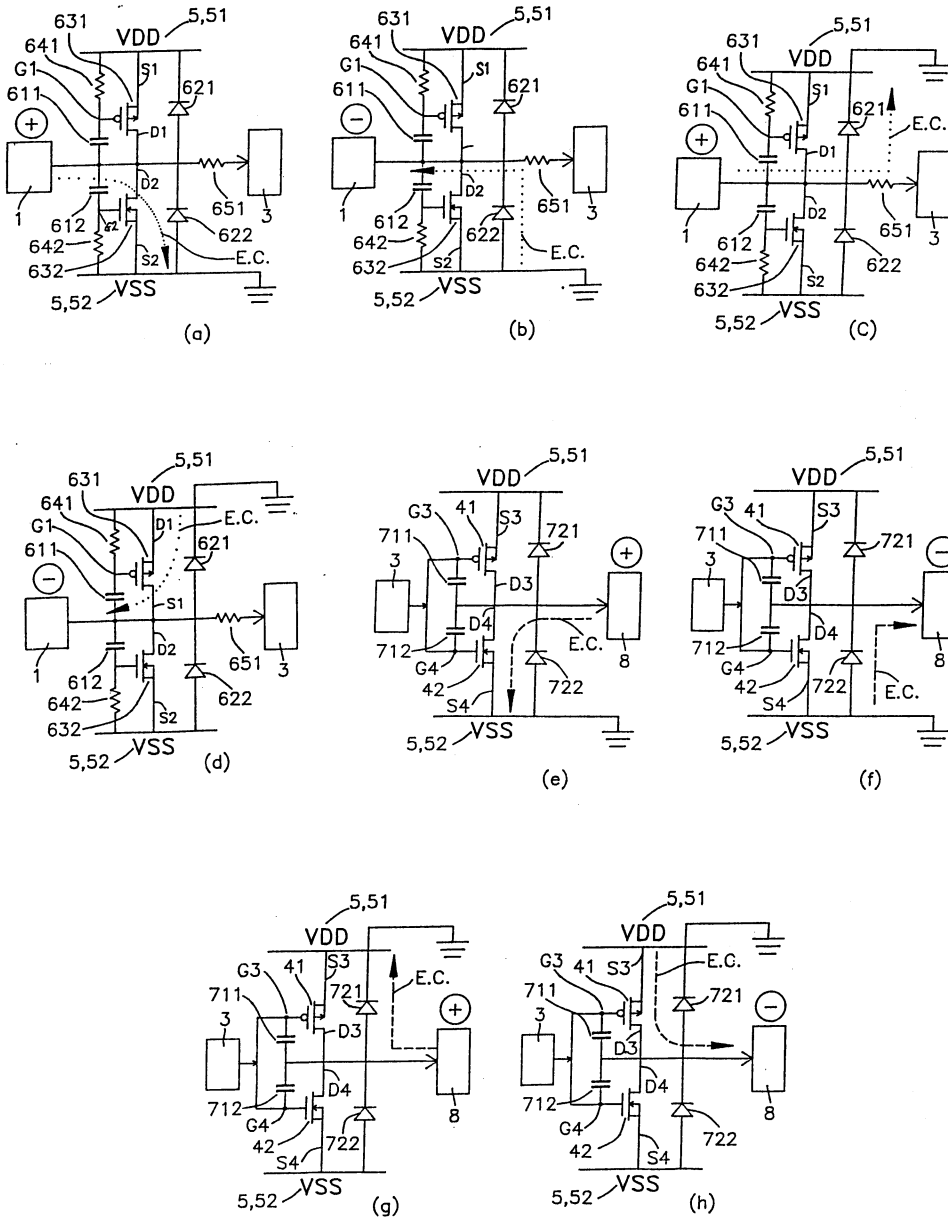


第三圖



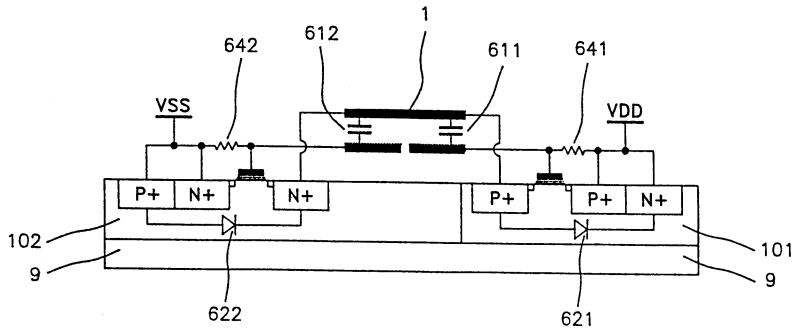
第四圖

(7)

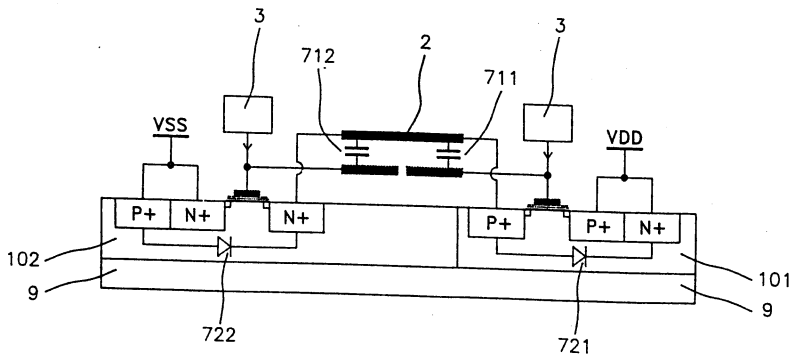


第五圖

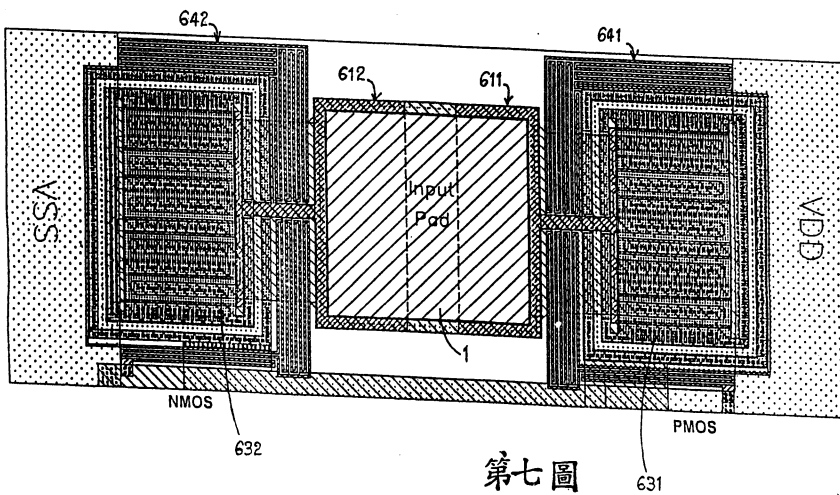
(8)



第六圖 (a)



第六圖 (b)



第七圖