

【11】證書號數：I271851

【45】公告日：中華民國96(2007)年1月21日

【51】Int. Cl. : **H01L23/60 (2006.01)**

發明

全 10 頁

---

【54】名稱： 靜電放電指環結構

SEAL-RING STRUCTURE OF ELECTROSTATIC DISCHARGE CIRCUITRY

【21】申請案號：094124123

【22】申請日：中華民國94(2005)年7月15日

【11】公開編號：200703613

【43】公開日：中華民國96(2007)年1月16日

【72】發明人： 柯明道 KER, MING DOU；李健銘 LEE, CHIEN MING

【71】申請人： 研統科技股份有限公司 SILICON INTEGRATED SYSTEMS CORP.  
新竹市新竹科學園區研新一路16號

【74】代理人： 陳達仁

1

2

[57]申請專利範圍：

1.一種靜電放電指環結構，包含：

一第一靜電放電結構，位於一晶粒的邊緣，且電性連接於一第一電源結構，該第一靜電放電結構係由複數個第一導體層所組成；及

一第二靜電放電結構，相鄰於該第一靜電放電結構，並與其電性互相隔離，該第二靜電放電結構係電性連接於一第二電源結構，且係由複數個第二導體層所組成。

5.

2.如申請專利範圍第1項所述之靜電放電指環結構，其中該第一靜電放電結構係為一Vss靜電放電匯流排，且該第一電源結構係為一Vss電源匯流排。

10.

3.如申請專利範圍第2項所述之靜電放電指環結構，其中該第二靜電放電結構係為一Vdd靜電放電匯流排，且該第二電源結構係為一Vdd電源匯流排。

- 4.如申請專利範圍第1項所述之靜電放電指環結構，其中該第一靜電放電結構或該第二靜電放電結構於該晶粒上係成一封閉的環狀結構。
- 5.如申請專利範圍第1項所述之靜電放電指環結構，其中該第一靜電放電結構或該第二靜電放電結構於該晶粒上係成一非封閉的環狀結構。
- 6.如申請專利範圍第1項所述之靜電放電指環結構，其中該第二靜電放電結構係位於該第一靜電放電結構的上方。
- 7.如申請專利範圍第6項所述之靜電放電指環結構，其中該第一靜電放電結構與該晶粒之一基底內的一摻質區域電性連接。
- 8.如申請專利範圍第6項所述之靜電放電指環結構，其中該第一靜電放電結構與該第二靜電放電結構之間，所有的該等第一導體層和該等第二導體層位於不相同的層級。
- 9.如申請專利範圍第6項所述之靜電放電指環結構，其中該第一靜電放電結構的該等第一導體層與該第二靜電放電結構的該等第二導體層，其中每一該等第一導體層和每一該等第二導體層彼此位於相同層級。
- 10.如申請專利範圍第9項所述之靜電放電指環結構，其中該第一靜電放電結構的最頂端之該等第一導體層係與該第二靜電放電結構的最底端之該第二導體層位於同一層級。
- 11.如申請專利範圍第6項所述之靜電放電指環結構，其中該第一靜電放電結構的部份該等第一導體層與該第二靜電放電結構的部份該等第二導體層位於相同層級。
- 12.如申請專利範圍11項所述之靜電放電指環結構，其中該第一靜電放電結構與該第二靜電放電結構從剖面

- 觀之係呈一階梯形狀，且該第一靜電放電結構與該第二靜電放電結構之形狀互補。
- 13.如申請專利範圍第11項所述之靜電放電指環結構，其中該第一靜電放電結構之其中之一該等第一導體層與該第二靜電放電結構其中之一該等第二導體層位於相同層級，且其俯視觀之的形狀呈凹凸楔合形狀。
  - 14.如申請專利範圍第13項所述之靜電放電指環結構，其中至少該等之一第一導體層和該等之一第二導體層位於相同層級，且藉由交叉安排的一導電插塞予以連結。
  - 15.如申請專利範圍第1項所述之靜電放電指環結構，其中該第二靜電放電結構係位於該第一靜電放電結構的上方，該第一靜電放電結構或該第二靜電放電結構的寬度介於4微米與40微米之間。
  - 16.如申請專利範圍第1項所述之靜電放電指環結構，其中該第二靜電放電結構係位於該第一靜電放電結構的旁邊。
  - 17.如申請專利範圍第16項所述之靜電放電指環結構，其中該第一靜電放電結構與該晶粒之一基底內的一摻質區域電性連接，該第二靜電放電結構與該晶粒之該基底內的另一摻質區域電性連接，該兩個摻質區域之導電性相反。
  - 18.如申請專利範圍第1項所述之靜電放電指環結構，其中該第二靜電放電結構係位於該第一靜電放電結構的旁邊，該第一靜電放電結構與該第二靜電放電結構的寬度總和介於4微米與40微米之間。
  - 19.如申請專利範圍第1項所述之靜電放電指環結構，其中每一該等第一導體層和每一該等第二導體層上下
  - 20.
  - 25.
  - 30.
  - 35.
  - 40.

之間形成一介電材質。

20.如申請專利範圍第19項所述之靜電放電指環結構，其中每一該等第一導體層上下之間和每一該等第二導體層上下之間係由至少一導電插塞穿過該介電材質，而進行該上下第一導體層和該上下第二導體層之電性連結。

圖式簡單說明：

第一A圖為半導體晶粒的俯視圖。

第一B圖為靜電放電結構於晶粒上係成一非封閉的環狀結構之俯視圖。

第二圖為先前技術半導體晶粒指

環的剖面圖。

第三圖為根據本發明第一實施例的指環結構的剖面圖。

第四圖為根據本發明第二實施例的指環結構的剖面圖。

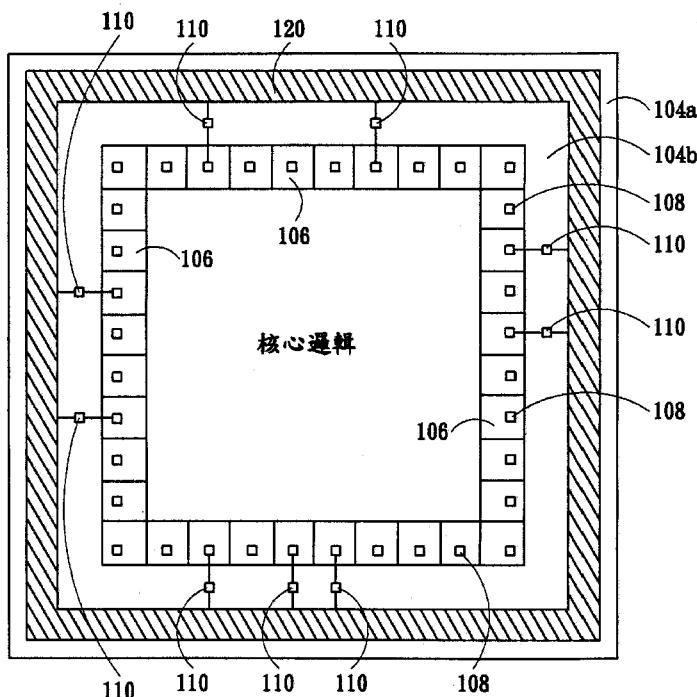
第五圖為根據本發明第三實施例的指環結構的剖面圖。

第六圖為根據本發明第四實施例的指環結構的剖面圖。

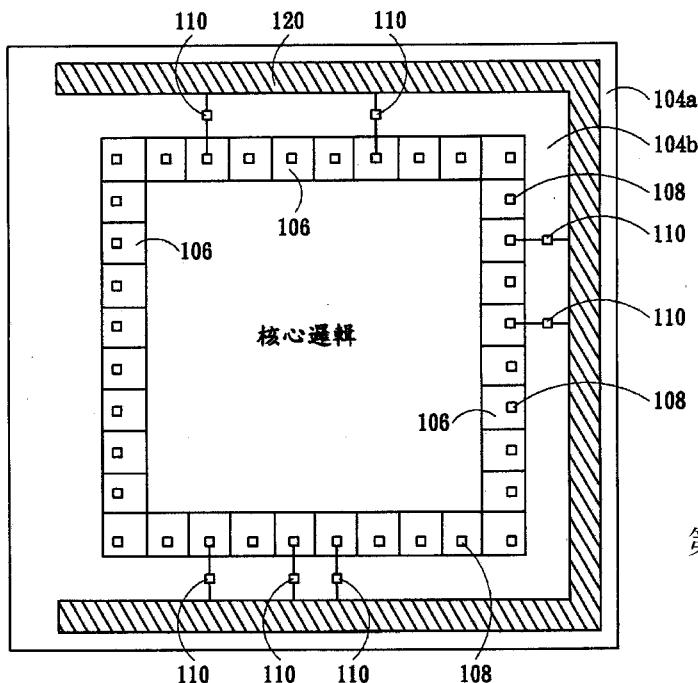
第七A圖為根據本發明第五實施例的第三層金屬層俯視圖。

第七B圖為根據本發明第五實施例的指環結構的第一剖面圖。

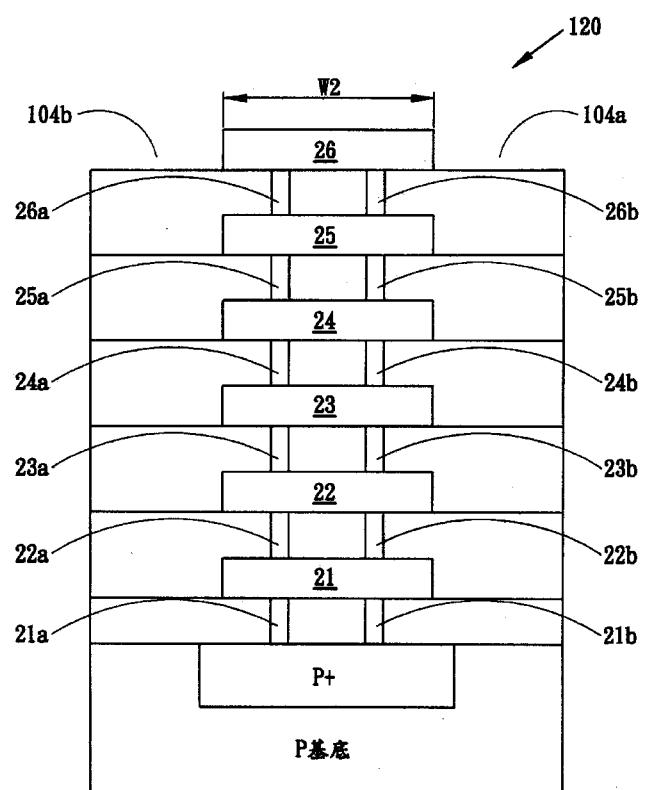
第七C圖為根據本發明第五實施例的指環結構的第二剖面圖。



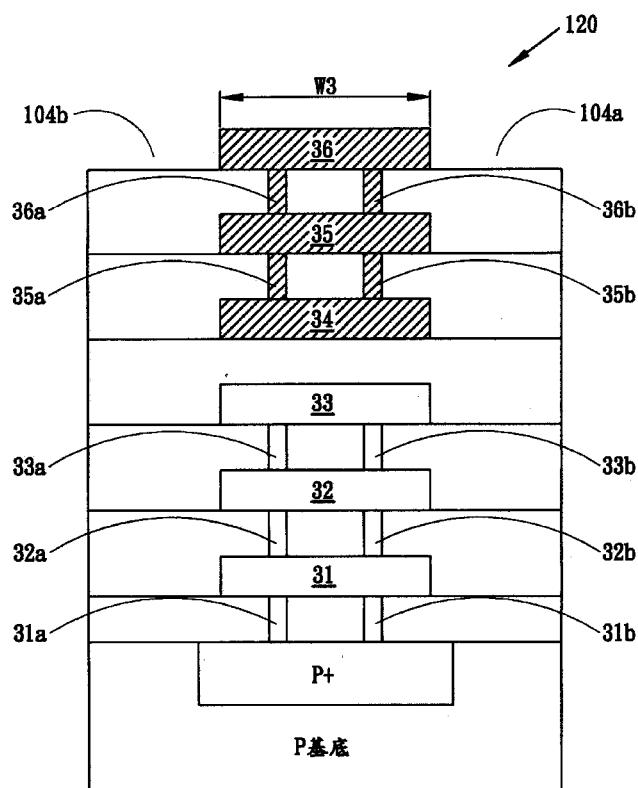
第一A圖



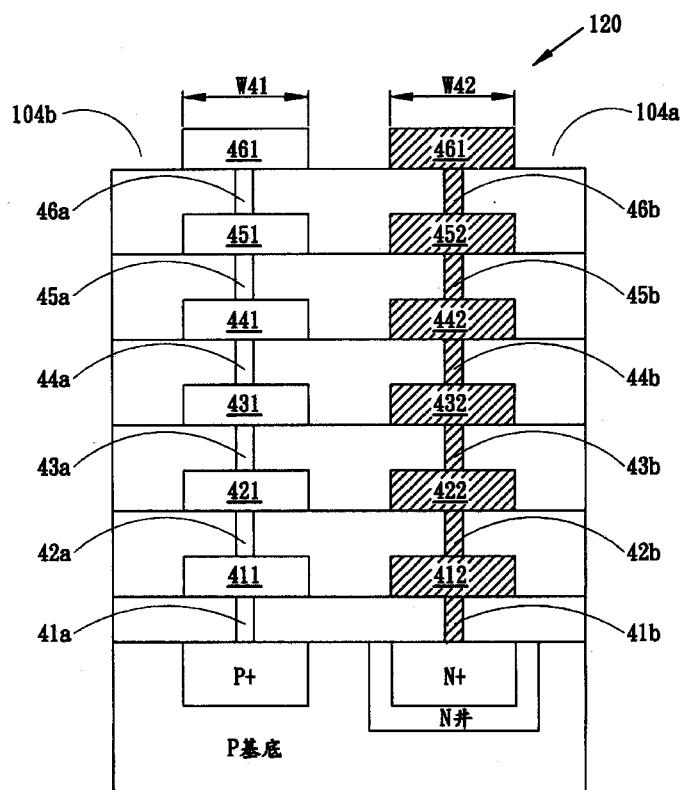
第一B圖



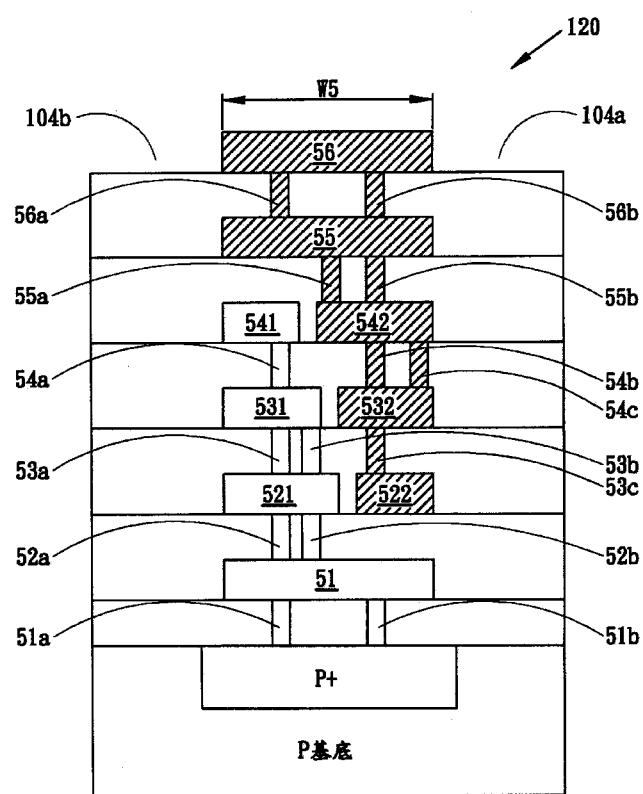
第二圖



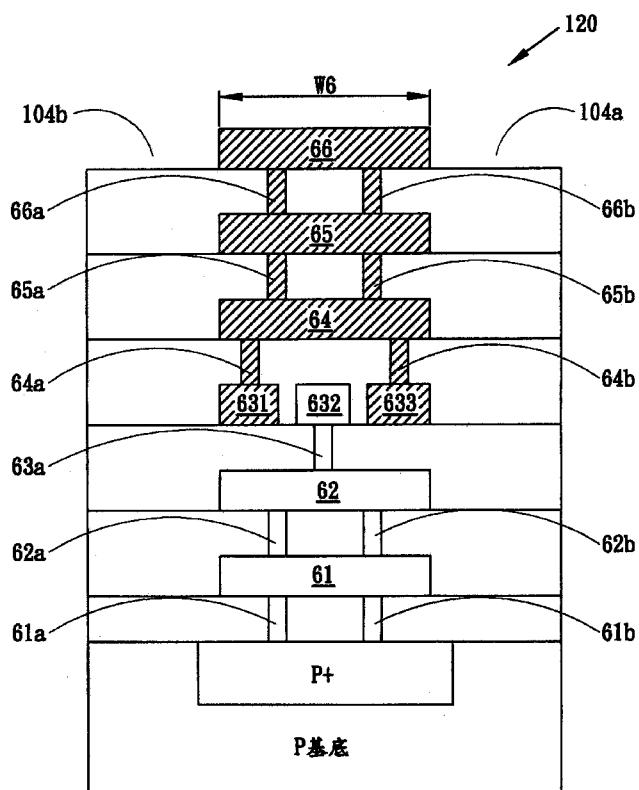
第三圖



第四圖

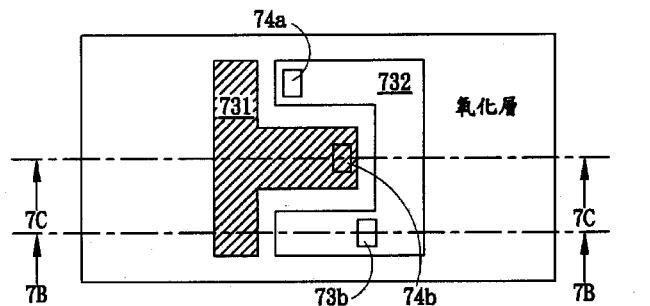


第五圖

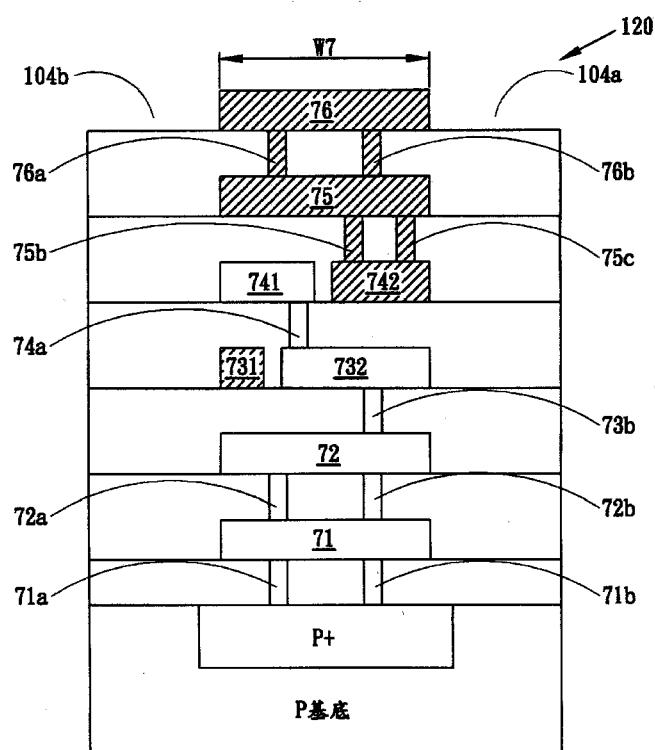


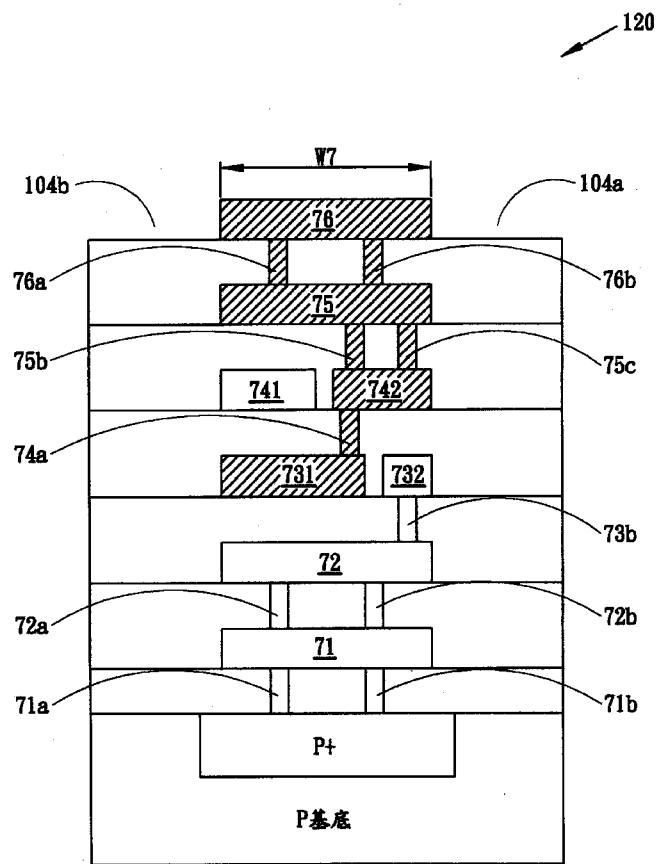
第六圖

第七 A 圖



第七 B 圖





第七C圖