

【54】名稱：具有新穎之浮動N井區電路及閘極追蹤電路之混壓輸出入設計

MIXED-VOLTAGE I/O DESIGN WITH NOVEL FLOATING N-WELL AND GATE-TRACKING CIRCUITS

【21】申請案號：092133936

【22】申請日：中華民國92(2003)年12月2日

【11】公開編號：200419908

【43】公開日：中華民國93(2004)年10月1日

【30】優先權：2003/03/28 美國 10/400,873

【72】發明人：莊哲豪 CHUANG, CHE HAO；柯明道 KER, MING DOU；李國忠 LEE, KUO CHUNG；姜信欽 JIANG, HSIN CHIN

【71】申請人：財團法人工業技術研究院 INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE
新竹縣竹東鎮中興路4段195號

【74】代理人：邱琦瑛

1

2

[57]申請專利範圍：

1. 一種可連接至電源之緩衝電路，包括：

一節點；

一驅動電路連接至該節點並且包含至少一第一 PMOS 電晶體，第一 PMOS 電晶體具有一基體、一汲極以及一個位於汲極與基體間之寄生二極體，驅動電路具有開啟及關閉狀態；

一第一部分，於出現在該節點之一

第一信號之電壓位準高於該電源電壓時，提供一第一偏壓至第一 PMOS 電晶體之基體；以及

一第二部分，於出現在該節點之一第二信號之電壓位準低於該電源電壓時，提供一第二偏壓至第一 PMOS 電晶體之基體，其中第二偏壓之電壓位準在驅動電路關閉時約等於該電源電壓。

10. 2.如申請專利範圍第1項之電路，其中

之電源電壓低於第一信號之電壓位準。

- 3.如申請專利範圍第1項之電路，其中第二信號之電壓位準約為0V。
- 4.如申請專利範圍第1項之電路，其中第一PMOS電晶體之寄生二極體在緩衝電路穩定時關閉。
- 5.如申請專利範圍第1項之電路，其中驅動電路另包含兩個堆疊式NMOS電晶體串聯至第一PMOS電晶體，當驅動電路呈關閉狀態時，第一PMOS電晶體與兩個堆疊式NMOS電晶體皆關閉，且當驅動電路呈開啟狀態時，第一PMOS電晶體或兩個堆疊式NMOS電晶體為開啟。
- 6.如申請專利範圍第1項之電路，其中第一部分包含一第二PMOS電晶體，第二PMOS電晶體具有一閘極、一源極、一汲極與一基體，且其中第二MOS電晶體之閘極可連接至電源，第二PMOS電晶體之源極連接至該節點，而第二PMOS電晶體之汲極與基體則連接至第一PMOS電晶體之基體。
- 7.如申請專利範圍第1項之電路，其中第二部份包含一NMOS電晶體及一連接至該節點之第二PMOS電晶體，當第二信號出現在該節點時，NMOS電晶體及第二PMOS電晶體皆開啟。
- 8.如申請專利範圍第7項之電路，另包括一第三PMOS電晶體連接至該節點、NMOS電晶體及第二PMOS電晶體，其中當第一信號出現在該節點時，第三PMOS電晶體被開啟已使NMOS電晶體與第二PMOS電晶體關閉，且其中當第二信號出現在該節點時，第三PMOS電晶體被關閉。
- 9.如申請專利範圍第1項之電路，其中

第一偏壓之電壓位準約等於第一信號之電壓位準。

- 10.如申請專利範圍第1項之電路，其中當驅動電路呈開啟狀態時，第二偏壓之電壓位準約等於電源電壓。
- 11.如申請專利範圍第1項之電路，其中緩衝電路包含多個PMOS電晶體，每一個PMOS電晶體皆具有一基體，且其中每一個PMOS電晶體之基體皆連接至第一PMOS電晶體之基體。
- 12.一種可連接至一電源之緩衝電路，包括：
 - 一節點；
 - 一驅動電路包含至少一第一PMOS電晶體，第一PMOS電晶體具有一閘極、一源極與一汲極，源極與汲極之一連接至該節點；一第一部分，於出現在該節點之一第一信號之電壓位準高於該電源電壓時，提供一第一偏壓至第一PMOS電晶體之閘極；
 - 一第二部分，於出現在該節點之一第二信號之電壓位準不高於該電源電壓時，提供一第二偏壓至第一PMOS電晶體之閘極，其中第二部份包含相連之NMOS電晶體及第二PMOS電晶體以提供第二偏壓至第一PMOS電晶體之閘極；以及
 - 一第三PMOS電晶體，連接至該第二部分，於第一信號出現在該節點時關閉NMOS電晶體及第二PMOS電晶體。
- 13.如申請專利範圍第12項之電路，其中之電源電壓低於第一信號之電壓位準。
- 14.如申請專利範圍第12項之電路，其中第二信號之電壓位準約為0V。
- 15.如申請專利範圍第12項之電路，其中第一部分包含一第四PMOS電晶

體連接至第一 PMOS 電晶體之閘極。

- 16.如申請專利範圍第 12 項之電路，其中第一偏壓之電壓位準約等於第一信號之電壓位準。
- 17.如申請專利範圍第 12 項之電路，其中第二偏壓之電壓位準約等於電源電壓。
- 18.如申請專利範圍第 12 項之電路，另包括一第四 PMOS 電晶體連接至第二 PMOS 電晶體，當第一 PMOS 電晶體開啟時，關閉第二 PMOS 電晶體以防止第二 PMOS 電晶體之漏電流。
- 19.一種可連接至一電源之緩衝電路，包括：
 - 一節點；
 - 一驅動電路連接至該節點，包含至少一第一 PMOS 電晶體，第一 PMOS 電晶體具有一閘極與一基體，驅動電路具有開啟及關閉狀態；
 - 一第一部分連接至第一 PMOS 電晶體之閘極與基體，於出現在該節點之一第一信號之電壓位準高於該電源電壓時，提供一第一偏壓至第一 PMOS 電晶體之閘極，以及一第二偏壓至第一 PMOS 電晶體之基體；以及
 - 一第二部分連接至第一 PMOS 電晶體之閘極與基體，於出現在該節點之一第二信號之電壓位準不高於該電源電壓時，提供一第三偏壓至第一 PMOS 電晶體之閘極，以及一第四偏壓至第一 PMOS 電晶體之基體，其中當驅動電路為關閉狀態時，第四偏壓之電壓位準約等於電源電壓。
- 20.如申請專利範圍第 19 項之電路，其中之電源電壓低於第一信號之電壓位準，而第二信號之電壓位準約為

0V。

- 21.如申請專利範圍第 19 項之電路，其中第一偏壓之電壓位準約等於第一信號之電壓位準。
5. 22.如申請專利範圍第 19 項之電路，其中第二偏壓之電壓位準約等於第一信號之電壓位準。
- 23.如申請專利範圍第 19 項之電路，其中第三偏壓之電壓位準約等於電源電壓。
10. 24.如申請專利範圍第 19 項之電路，其中第四偏壓之電壓位準在驅動電路開啟時約等於電源電壓。
- 25.一種混壓輸出入系統，包括：
 - 15. 一第一晶片上之第一電路與一第二晶片上之第二電路；
 - 一個位於第一晶體上之緩衝電路，其在操作上具有一輸入模式與一輸出模式，並且連接於第一電路與第二電路之間，其中緩衝電路可連接至一第一電源，而第二電路可連接至一第二電源，第一電源電壓低於第二電源電壓；
 - 一節點，將緩衝電路連接至第二電路；以及
 - 一控制信號端，用以提供一第一控制信號將緩衝電路切換至輸出模式，其中緩衝電路接收來自第一電路之至少一個信號並輸出至少一個信號至第二電路，控制信號端也用以提供一第二控制信號將緩衝電路切換至輸入模式，其中緩衝電路接收來自第二電路之至少一個信號，並輸出至少一個信號至第一電路；
 - 30. 其中緩衝電路包含：
 - 一驅動電路，包含至少一第一 PMOS 電晶體，第一 PMOS 電晶體具有一汲極與一基體；
 - 一第一部分連接至第一 PMOS 電晶體之基體，於出現在該節點之一第
- 40.

一信號之電壓位準高於該電源電壓時，提供一第一偏壓至第一 PMOS 電晶體之基體，其中第一偏壓之電壓位準約等於第一信號之電壓位準；以及

一第二部分連接至第一 PMOS 電晶體之基體，於出現在該節點之一第二信號之電壓位準低於該電源電壓時，提供一第二偏壓至第一 PMOS 電晶體之基體，其中在輸入模式下，第二偏壓之電壓位準約等於第一電源電壓。

26.如申請專利範圍第25項之系統，其中第一電源電壓低於第二電源電壓。

27.如申請專利範圍第25項之系統，其中驅動電路於輸出模式時開啟，而於輸入模式時關閉。

28.如申請專利範圍第25項之系統，其中。驅動電路之第一部分包含一第二PMOS電晶體，第二PMOS電晶體具有一閘極、一源極、一汲極與一基體，且其中第二 PMOS 電晶體之閘極可連接至第一電源，第二PMOS電晶體之源極與汲極之一連接至該節點，而另一則與基體連接至第一 PMOS 電晶體之基體。

29.如申請專利範圍第25項之系統，其中驅動電路之第二部分包含一 NMOS 電晶體及一連接至該節點之第二 PMOS 電晶體，當第二信號出現在該節點時，NMOS 電晶體及第二 PMOS 電晶體皆開啟，其中 NMOS 電晶體及第二 PMOS 電晶體皆具有一基體、一源極、一汲極與一閘極，且其中 NMOS 電晶體之閘極與第二 PMOS 電晶體之源極與汲極之一可連接至第一電源，NMOS 電晶體之源極與汲極之一連接至第二 PMOS 電晶體之閘極，NMOS 電

晶體之源極與汲極之另一連接至該節點，NMOS 電晶體之基體接地，第二 PMOS 電晶體之基體與源極與汲極之另一則連接至第一 PMOS 電晶體之基體。

5.

30.如申請專利範圍第25項之系統，其中驅動電路另包括一第三 PMOS 電晶體連接至該節點、NMOS 電晶體及第二PMOS電晶體，第三PMOS電晶體具有一閘極可連接至第一電源、一源極連接至該節點、一汲極連接至第二 PMOS 電晶體之閘極、與一基體連接至第一 PMOS 電晶體之基體，其中當第一信號出現在該節點時，第三 PMOS 電晶體被開啟已使 NMOS 電晶體與第二 PMOS 電晶體關閉，且其中當第二信號出現在該節點時，第三 PMOS 電晶體被關閉。

10.

15.

20.

25.

30.

35.

40.

31.一種混壓輸出入系統，包括：
一第一晶片上之第一電路與一第二晶片上之第二電路；

一個位於第一晶片上之緩衝電路，其在操作上具有一輸入模式與一輸出模式，並且連接於第一電路與第二電路之間，其中緩衝電路可連接至一第一電源，而第二電路可連接至一第二電源，第一電源電壓低於第二電源電壓；

一節點，將緩衝電路連接至第二電路；以及

一控制信號端，用以提供一第一控制信號將緩衝電路切換至輸出模式，其中緩衝電路接收來自第一電路之至少一個信號，並輸出至少一個信號至第二電路，控制信號端也用以提供一第二控制信號將緩衝電路切換至輸入模式，其中緩衝電路接收來自第二電路之至少一個信號，並輸出至少一個信號至第一電

路；

其中緩衝電路包含：

一驅動電路，包含至少一第一PMOS電晶體，第一PMOS電晶體具有一閘極；

一第一部分，於出現在該節點之一第一信號之電壓位準高於該電源電壓時，提供一第一偏壓至第一PMOS電晶體之閘極；

一第二部分，於出現在該節點之一第二信號之電壓位準不高於該電源電壓時，提供一第二偏壓至第一PMOS電晶體之閘極，其中第二偏壓之電壓位準約等於電源電壓之電壓位準，且其中第二部份包含相連之NMOS電晶體及第二PMOS電晶體以提供第二偏壓至第一PMOS電晶體之閘極；以及

一第三PMOS電晶體，連接至該第二部分；

其中當第一信號出現在該節點時，第三PMOS電晶體被開啟已使NMOS電晶體與第二PMOS電晶體關閉，且當第二信號出現在該節點時，第三PMOS電晶體被關閉。

32.如申請專利範圍第31項之系統，其中驅動電路之第一部分包含一第四PMOS電晶體連接至第一PMOS電晶體之閘極，且當第一信號出現在該節點時，第四PMOS電晶體開啟。

33.如申請專利範圍第31項之系統，另包括一第四PMOS電晶體連接至第二PMOS電晶體，以於緩衝電路在輸出模式下輸出一高位邏輯信號至第二電路時，關閉第二PMOS電晶體以防止第二PMOS電晶體之漏電流。

34.一種混壓輸出入系統，包括：

一第一晶片上之第一電路與一第二晶片上之第二電路；

一個位於第一晶片上之緩衝電路，其在操作上具有一輸入模式與一輸出模式，並且連接於第一電路與第二電路之間，其中緩衝電路可連接至一第一電源，而第二電路可連接至一第二電源，第一電源電壓低於第二電源電壓；

一節點，將緩衝電路連接至第二電路；以及

5. 一控制信號端，用以提供一第一控制信號將緩衝電路切換至輸出模式，其中緩衝電路接收來自第一電路之至少一個信號，並輸出至少一個信號至第二電路，控制信號端也用以提供一第二控制信號將緩衝電路切換至輸入模式，其中緩衝電路接收來自第二電路之至少一個信號，並輸出至少一個信號至第一電路；

20. 其中緩衝電路包含：

一驅動電路，連接至該節點，包含至少一第一PMOS電晶體，第一PMOS電晶體具有一閘極與一基體；

25. 緩衝電路之一第一部分連接至第一PMOS電晶體之閘極與基體，於出現在該節點之一第一信號之電壓位準高於該第一電源電壓時，提供一第一偏壓至第一PMOS電晶體之閘極，以及一第二偏壓至第一PMOS電晶體之基體；以及

30. 緩衝電路之一第二部分連接至第一PMOS電晶體之閘極與基體，於出現在該節點之一第二信號之電壓位準低於該第一電源電壓時，提供一第三偏壓至第一PMOS電晶體之閘極，以及一第四偏壓至第一PMOS電晶體之基體。

35.如申請專利範圍第34項之系統，其中第一信號之電壓位準約等於第二電源電壓位準，而第二信號之電壓

位準約為 0V。

36.如申請專利範圍第34項之系統，其中第一偏壓之電壓位準及第二偏壓之電壓位準約等於第一信號之電壓位準，而第三偏壓之電壓位準及第四偏壓之電壓位準約等於第一電源電壓之位準。

37.如申請專利範圍第34項之系統，其中第一電路可連接至第一電源電壓。

圖式簡單說明：

圖 1 為習知 I/O 緩衝電路；

圖 2 為本發明具有浮動井區及閘追蹤電路之 I/O 緩衝電路；

5. 圖 3 為本發明之浮動井區電路及閘追蹤電路在輸入模式下之模擬結果；以及

圖 4 為本發明之浮動井區電路及閘追蹤電路在輸出模式下之模擬結果

10. 果。

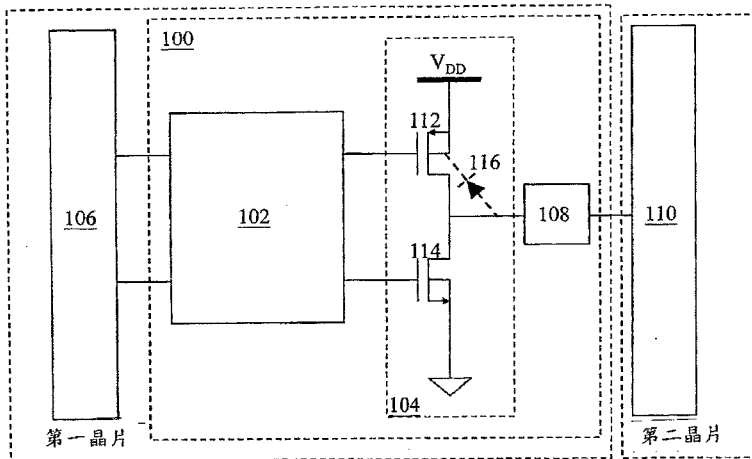


圖 1

(7)

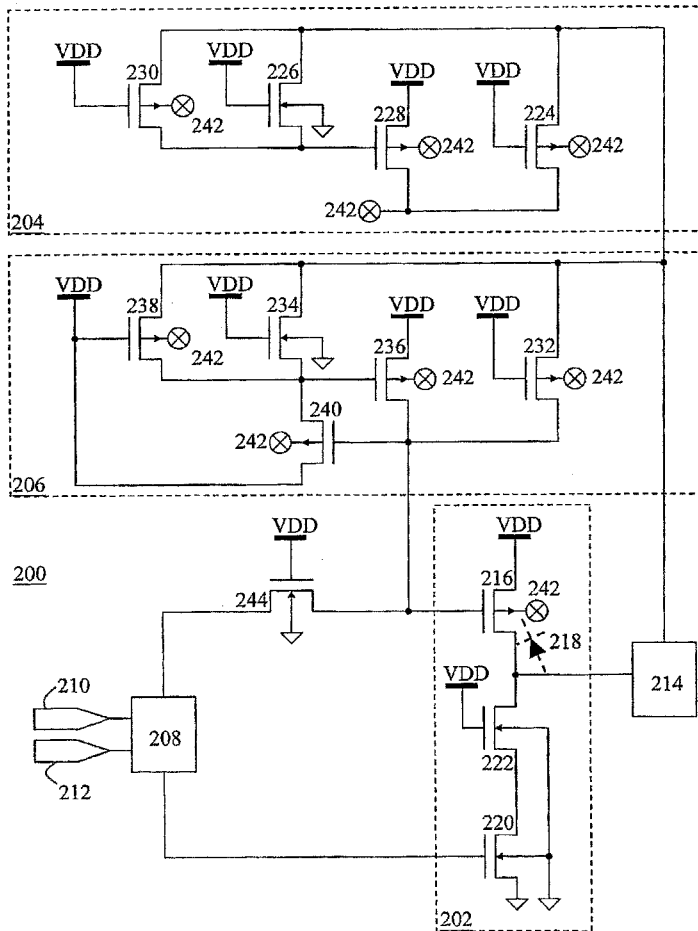


圖 2

模擬結果：輸入模式下浮動N井區及閘追蹤電路

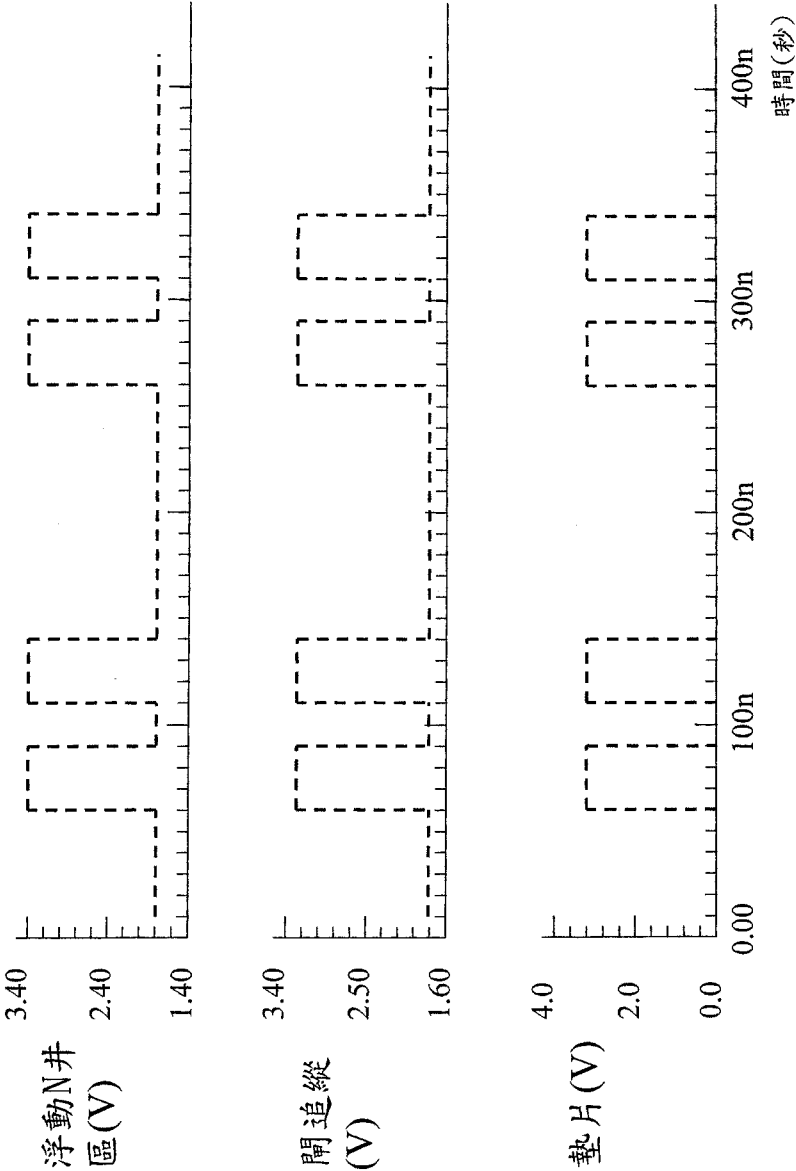


圖 3

模擬結果：輸入模式下浮動N井區及閘追縱電路

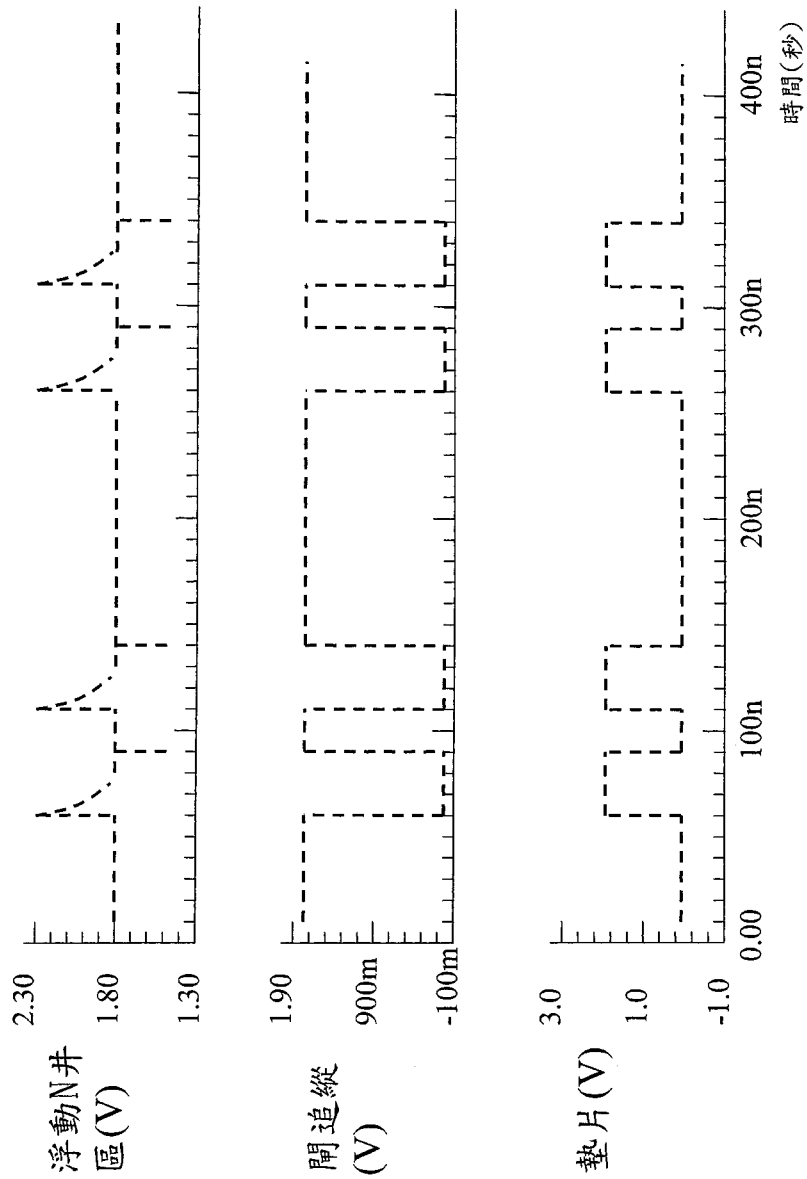


圖 4

