
【54】名稱：用於檢光二極體之新型多晶矽二極體結構

NOVEL POLY DIODE STRUCTURE FOR PHOTO DIODE

【21】申請案號：094116013

【22】申請日：中華民國94(2005)年5月17日

【11】公開編號：200623221

【43】公開日：中華民國95(2006)年7月1日

【30】優先權：2004/12/21 美國 11/017,053

【72】發明人：徐育達 SHIU, YU DA；柯明道 KER, MING DOU；莊哲豪 CHUANG, CHE HAO；張智毅 CHANG, CHYH YIH

【71】申請人：宇東科技股份有限公司 TRANSPACIFIC IP LTD.

臺北市松山區敦化北路205號14樓之1402室

【74】代理人：廖學忠

1

2

[57]申請專利範圍：

1.一種將一入射光信號轉化成一電氣信號之積體電路，包括：

一半導體基體；

一形成於半導體基體內之井區；

一形成於井區上方之介電層；以及

一形成於介電層上方用以接收該入射光信號之多晶矽層，其具有一p型區、一n型區以及一位於p型區與n型區之間的本質區，

其中該井區受偏壓以控制該多晶矽

來提供該電氣信號。

2.如請求項1之元件，另包括一第一隔絕結構以及一與該第一隔絕結構間隔開之第二隔絕結構。

5. 3.如請求項2之元件，其中至少該第一或第二隔絕結構與該井區相重疊。

4.如請求項2之元件，其中之本質區與井區位於第一及第二隔絕結構之間的一部分相重疊。

10. 5.如請求項1之元件，另包括一形成於

井區之內的擴散區。

- 6.如請求項5之元件，其中該擴散區受偏壓以使該井區受偏壓來控制多晶矽層提供該電氣信號。
- 7.如請求項5之元件，另包括一形成於井區之外的擴散區。
- 8.如請求項1之元件，其中之本質區與p型區及n型區相鄰接。
- 9.一種將一入射光信號轉化成一電氣信號之積體電路元件，包括：
 - 一半導體基體；
 - 一形成於井區上方之介電層；以及
 - 一形成於介電層上方用以接收該入射光信號之多晶矽層，其具有一第一摻雜型之第一區、一第二摻雜型之第二區，該第二摻雜型相異於第一摻雜型，以及一包圍著第一區且又受第二區所包圍之本質區，其中之井區受偏壓以控制多晶矽層來提供該電氣信號。
- 10.如請求項9之元件，另包括彼此相隔開之第一隔絕結構、第二隔絕結構以及第三隔絕結構。
- 11.如請求項10之元件，其中第一、第二或第三隔絕結構之一與部分井互相重疊。
- 12.如請求項9之元件，另包括一形成於井區內部之擴散區。
- 13.如請求項12之元件，其中該擴散區受偏壓以偏壓該井區來控制多晶矽層提供該電氣信號。
- 14.如請求項12之元件，另包括一形成於井區外部的擴散區。
- 15.一種將一入射光信號轉化成一電氣信號之積體電路之元件，包括：
 - 一半導體基體；
 - 一形成的半導體基體內之井區；
 - 一形成的井區上方之介電層；
 - 一形成於介電層上方用以接收該入射光信號之多晶矽層，其具有一第

- 一摻離型之第一區、一第二摻雜型之第二區，該第二摻雜型相異於第一摻雜型、以及一鄰接第一區與第二區之本質區；
5. 一形成於第一區與本質區之介面處的第一空乏區；以及
 - 一形成於本質區與第二區之介面處的第二空乏區，
 - 其中該井區受偏壓以控制第一或第二空乏區之寬度來提供該電氣信號。
 10. 16.如請求項15之元件，其中之本質區位於第一區與第二區之間。
 - 17.如請求項15之元件，其中之本質區包圍第一區或第二區之一。
 - 18.如請求項15之元件，其中之本質區由第一區或第二區之一所包圍。
 - 19.一種影像感測器積體電路元件，包括：
 - 一個以行、列方式排列之連接線陣列；
 - 一個檢光元件陣列，用以將一入射光信號轉化成一電氣信號，每一檢光元件位於一條列連接線與一條行連接線之交點附近，包括：
 - 一半導體基體；
 - 一形成於半導體基體內之井區；
 - 一形成於井區上方之介電層；
 - 一形成於介電層上方用以接收該入射光信號之多晶矽層，其具有一第一摻雜型之第一區、一第二摻雜型之第二區，該第二摻雜型相異於第一摻雜型、以及一鄰接第一區與第二區之本質區；
 30. 35. 一個列解碼器，連接至檢光元件陣列用以產生一個列選擇信號給該檢光元件陣列之一列；以及
 - 一個行解碼器，連接至檢光元件陣列用以對該檢光元件陣列之一行予以解碼，
 - 40.

其中該井區受偏壓以控制多晶矽層來提供該電氣信號。

- 20.如請求項19之元件，其中每一檢光元件包含一存取電晶體，該存取電晶體具有一連接至第一區或第二區之一的電極。
- 21.如請求項19之元件，其中每一檢光元件包含一放大電晶體，該放大電晶體具有一連接至第一區域或第二區之一的閘極。
- 22.如請求項19之元件，其中每一檢光元件包含：
 - 一形成於第一區與本質區之介面處的第一空乏區；以及
 - 一形成於本質區與第二區之介面處的第二空乏區。
- 23.如請求項22之元件，其中該井區受偏壓以控制第一或第二空乏區之寬度來提供該電氣信號。
- 24.如請求項19之元件，其中之本質區係位於第一區與第二區之間。
- 25.如請求項19之元件，其中之本質區包圍第一區或第二區之一。
- 26.如請求項19之元件，其中之本質區由第一區或第二區之一所包圍。
- 27.一種經由一互補式含有一氧化物一半導體元件將一光信號轉化成一電氣信號之方法，包括：
 - 預備一半導體基體；
 - 於半導體基體內形成一井區；
 - 於井區之上形成一介電層；
 - 於介電層之上形成一多晶矽層，該多晶矽層具有一p型區、一n型區、以及一位於p型區與n型區之間的本質區；
 - 將該光信號照射至多晶矽層；以及
 - 偏壓該井區以控制該多晶矽層提供該電氣信號。
- 28.如請求項27之方法，另包括的半導體基體內形成一第一隔絕結構與一

第二隔絕結構，第二隔絕結構與第一隔絕結構相隔開。

- 29.如請求項27之方法，另包括於井區內形成一擴散區。
5. 30.如請求項29之方法，另包括偏壓該擴散區以使井區受偏壓來控制該多晶矽層。
- 31.如請求項27之方法，另包括偏壓該井區以控制p型區與本質區之間的空乏區寬度。
10. 32.如請求項27之方法，另包括偏壓該井區以控制n型區與本質區之間的空乏區寬度。
- 33.如請求項27之方法，另包括於井區外部形成一擴散區。
15. 34.如請求項33之方法，另包括將該擴散區電連接至p型區或n型區之一，而將p型區或n型區之另一電連接至一參考電位。
20. 35.一種經由一互補式金屬一氧化物一半導體元件將一光信號轉化成一電氣信號之方法，包括：
 - 預備一半導體基體；
 - 於井區之上形成一介電層；
 - 25. 於介電層之上形成一多晶矽層，該多晶矽層具有一第一摻雜型之第一區、一第二摻雜型之第二區，該第二摻雜型相異的第一摻雜型、以及一包圍著第一區且由第二區所包圍之本質區；
 - 30. 將該光信號照射至多晶矽層；以及
 - 偏壓該井區以控制多晶矽層來提供該電氣信號。
 - 36.如請求項35之方法，另包括於半導體基體內形成彼此相隔開之第一隔絕結構、第二隔絕結構以及第三隔絕結構。
 - 35. 37.如請求項35之方法，另包括於該井區之內形成一擴散區。
 - 40. 38.如請求項37之方法，另包括對該擴

散區偏壓以使該井區受偏壓來控制多晶矽層提供該電氣信號。

39.如請求項35之方法，另包括對該井區偏壓以控制第一區與本質區之間的空乏區寬度。

40.如請求項35之方法，另包括對該井區偏壓以控制第二區與本質區之間的空乏區寬度。

圖式簡單說明：

圖1A為習知製作於積體電路之二極體結構之剖面圖；

圖1B為另一習知製作於積體電路之二極體結構之剖面圖；

圖2為一習知ESD防護電路的電路圖；

圖3為圖2所示之電路中，鉗墊電壓與輸入寄生電容之關係圖；

圖4為依據本發明實施例之矽晶層二極體的剖面圖；

圖5為本發明另一實施例之矽晶層二極體的剖面圖；

圖6為本發明實施例之基體偏壓式矽晶層二極體的剖面圖；

圖7為圖6所示基體偏壓式矽晶層二極體的佈局圖；

圖8A至8H為形成具有一n型中央區之基體偏壓式矽晶體二極體的方法步驟剖面圖；

圖9A至9H為形成具有一p型中央區之基體偏壓式矽晶層二極體的方法步驟剖面圖；

圖10為本發明基體偏壓式矽晶層二極體的電路符號圖；

圖11為具有本發明之基體偏壓式矽晶層二極體的ESD防護電路之電路圖；

圖12A為圖10所示之雙基體偏壓式矽晶層二極體之鉗墊電壓與個別寄生輸入電容之關係圖；

圖12B為圖10所示之雙基體偏壓式矽晶層二極體之鉗墊電壓與總寄生輸入電容之關係圖；

圖13A為利用本發明之基體偏壓式矽晶層二極體之ESD防護電路圖；

圖13B為利用本發明相堆疊之基體偏壓式矽晶層二極體之ESD防護電路圖；

圖13C為利用本發明另一相堆疊之基體偏壓式之矽晶層二極體之ESD防護電路圖；

圖14為本發明具有雙基體偏壓式矽晶層二極體之ESD防護電路圖；

圖15為本發明實施例之基體偏壓式檢光二極體結構之剖面圖；

圖16A為本發明另一實施例之基體偏壓式檢光二極體結構之剖面圖；

圖16B為圖16A所示基體偏壓式檢光二極體結構之立體圖；

圖17為本發明實施例之基體偏壓式檢光二極體結構之剖面圖；

圖18A為本發明另一實施例之基體偏壓式檢光二極體結構之剖面圖；

圖18B為圖18A所示基體偏壓式檢光二極體結構之立體圖；

圖19A為本發明實施例之影像感測器之示意圖；

圖19B為本發明實施例之檢光元件的電路圖；

圖19C為本發明另一實施例之檢光元件的電路圖；以及

圖20為本發明實施例之檢光元件的剖面圖。

(5)

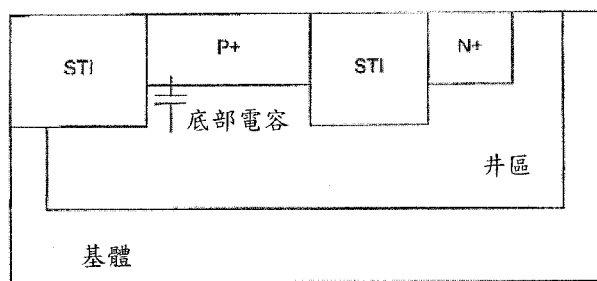


圖 1A

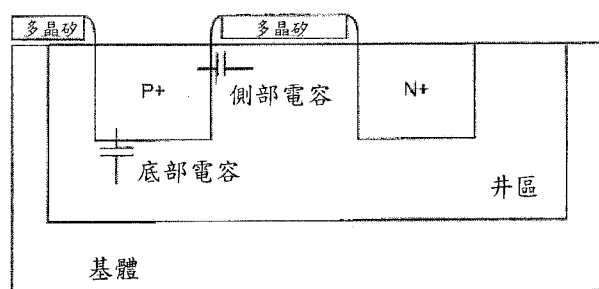


圖 1B

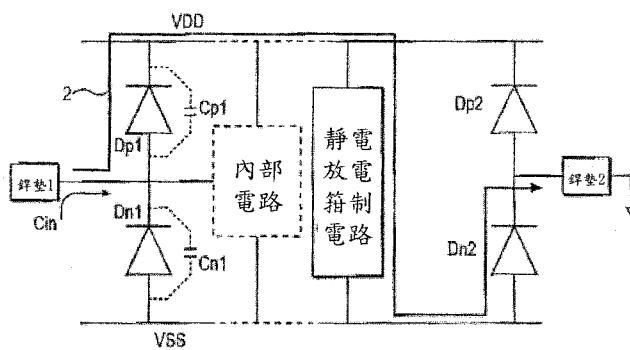


圖 2

(6)

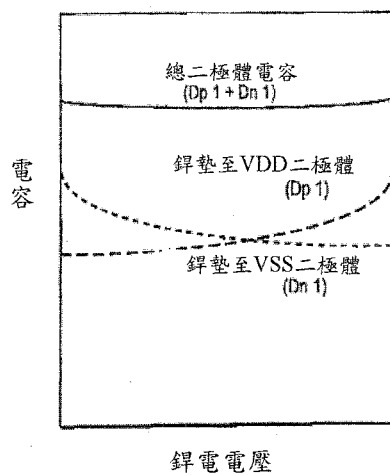


圖 3

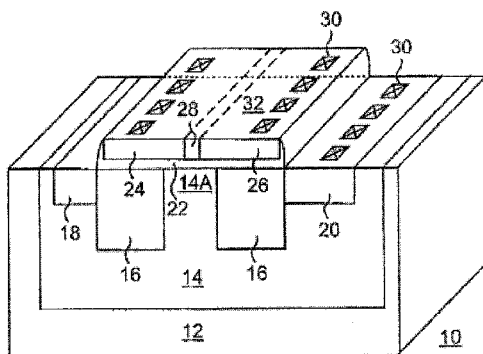


圖 4

(7)

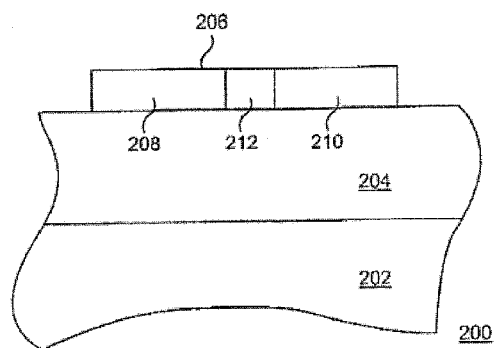


圖 5

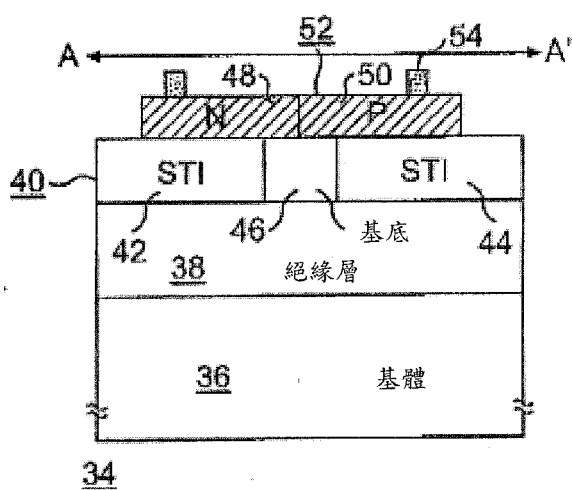


圖 6

(8)

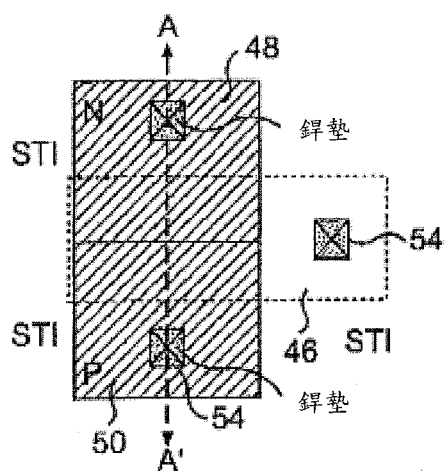


圖 7

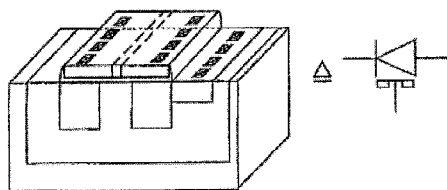


圖 10

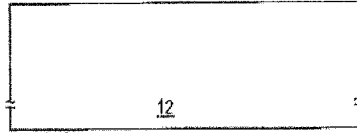


圖 8A

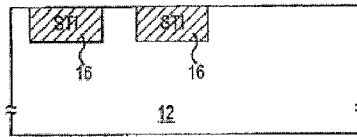


圖 8B

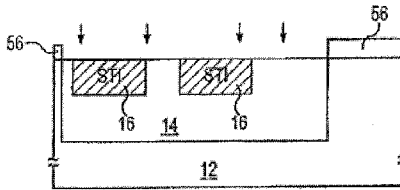


圖 8C

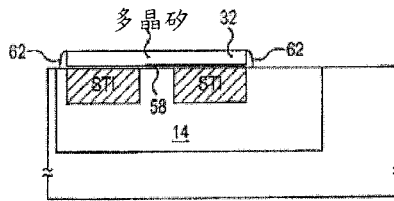


圖 8D

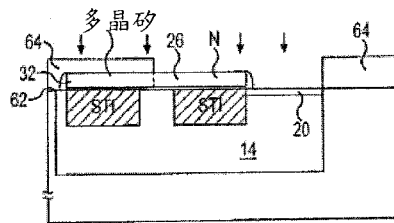


圖 8E

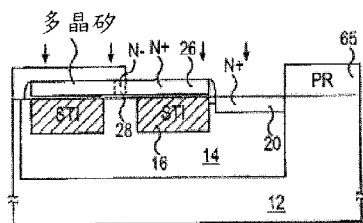


圖 8F

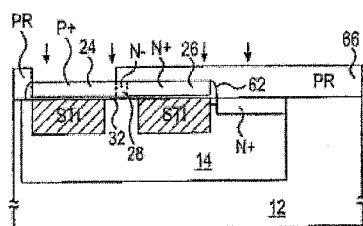


圖 8G

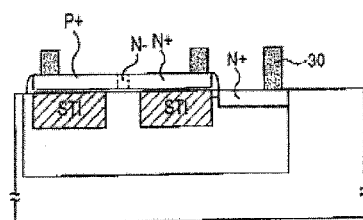


圖 8H



圖 9A

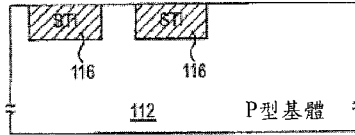


圖 9B

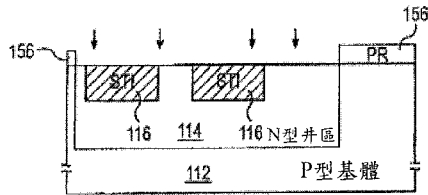


圖 9C

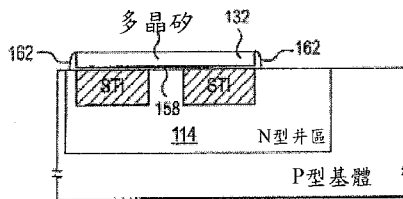


圖 9D

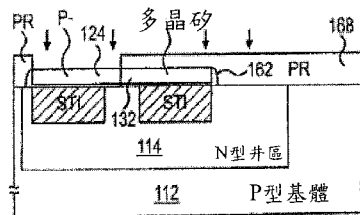
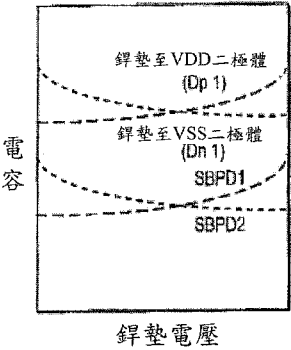
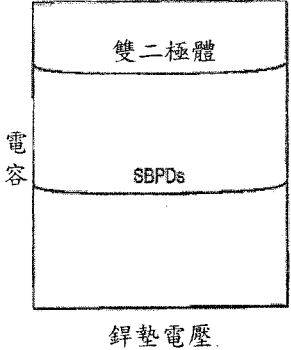


圖 9E



鉀墊電壓

圖 12A



鉀墊電壓

圖 12B

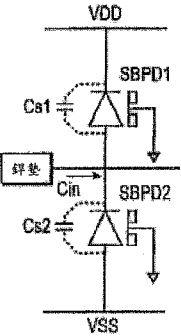


圖 13A

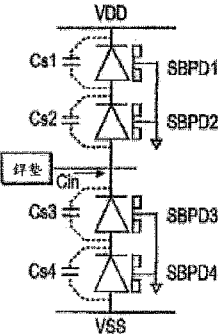


圖 13B

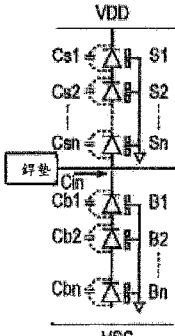


圖 13C

(14)

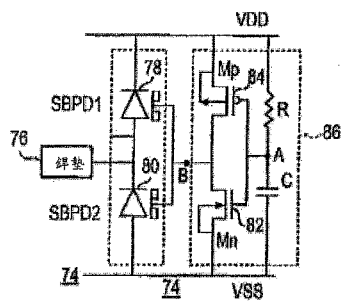


圖 14

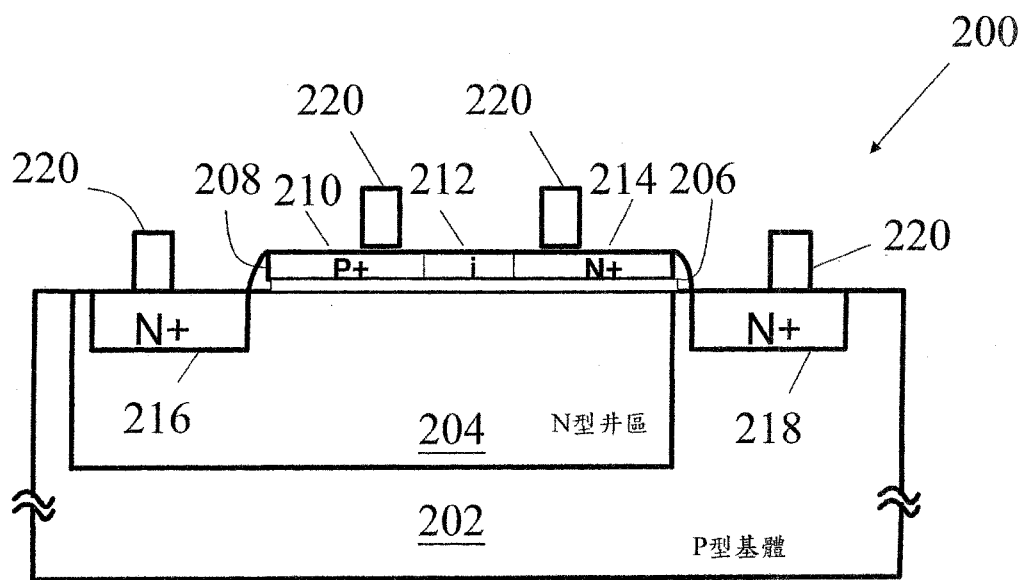


圖 15

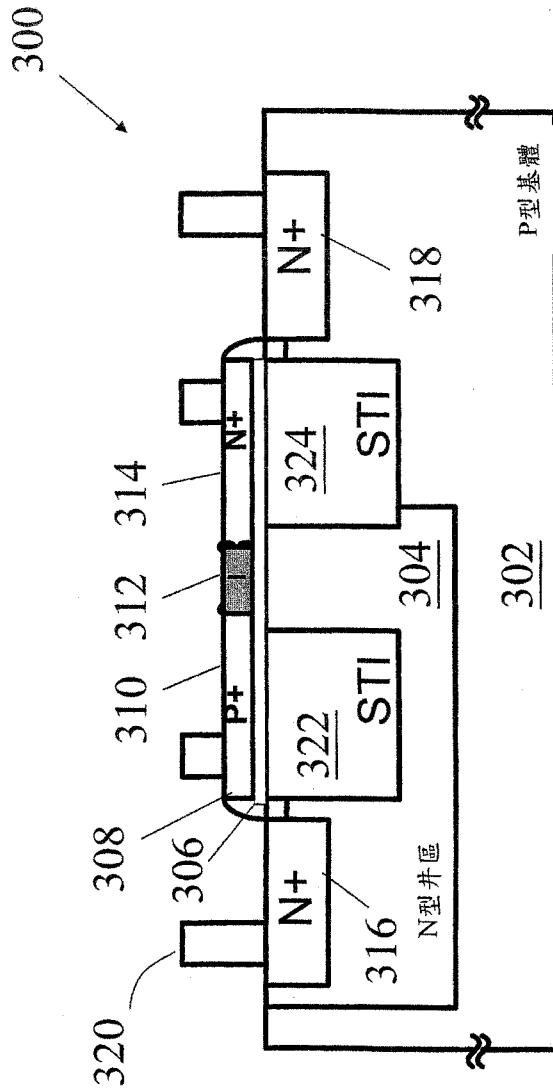


圖 16A

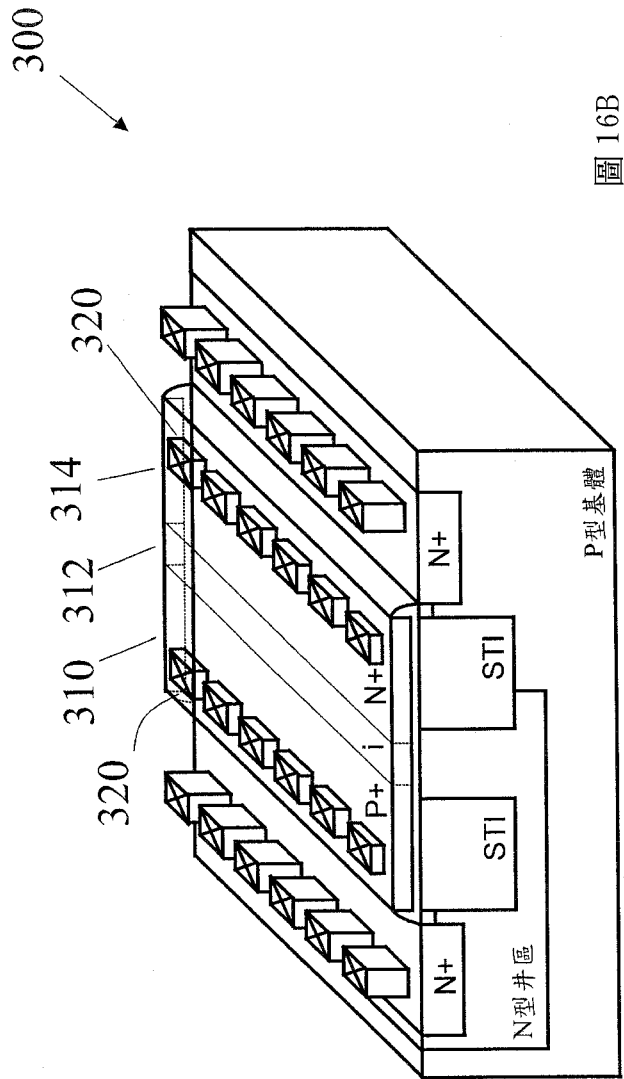


圖 16B

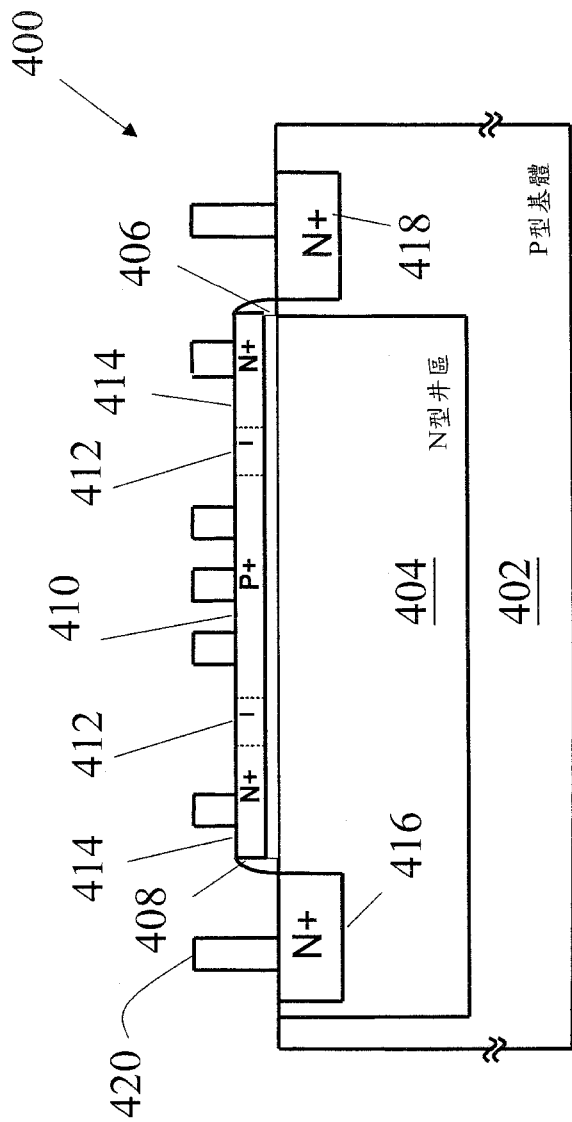


圖 17

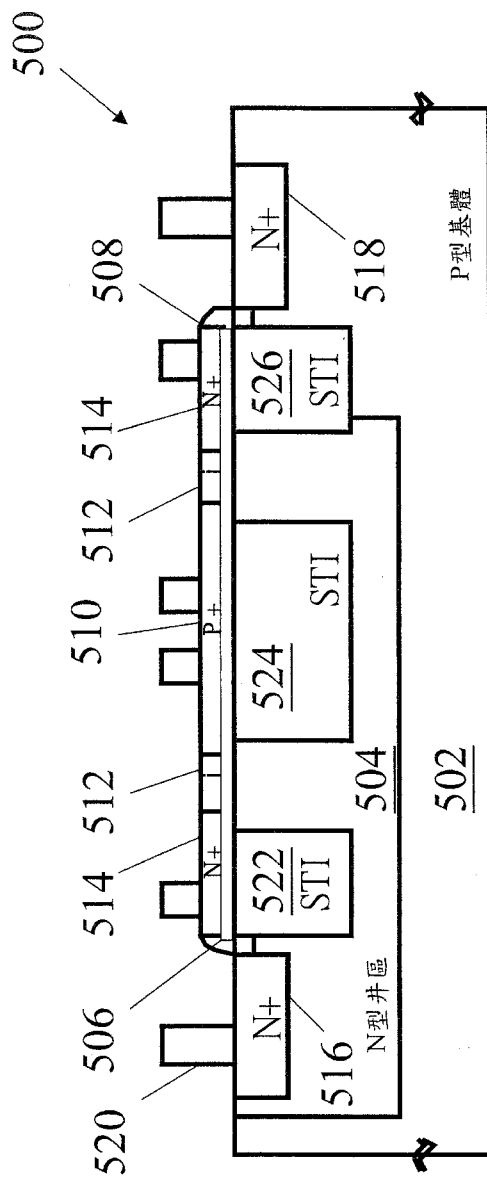


圖 18A

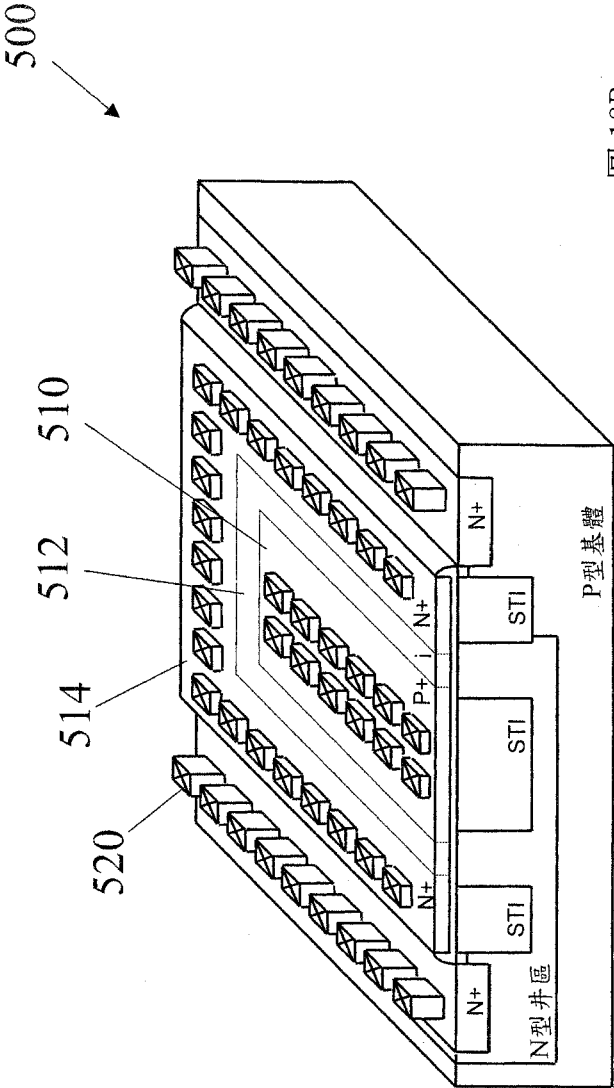


圖 18B

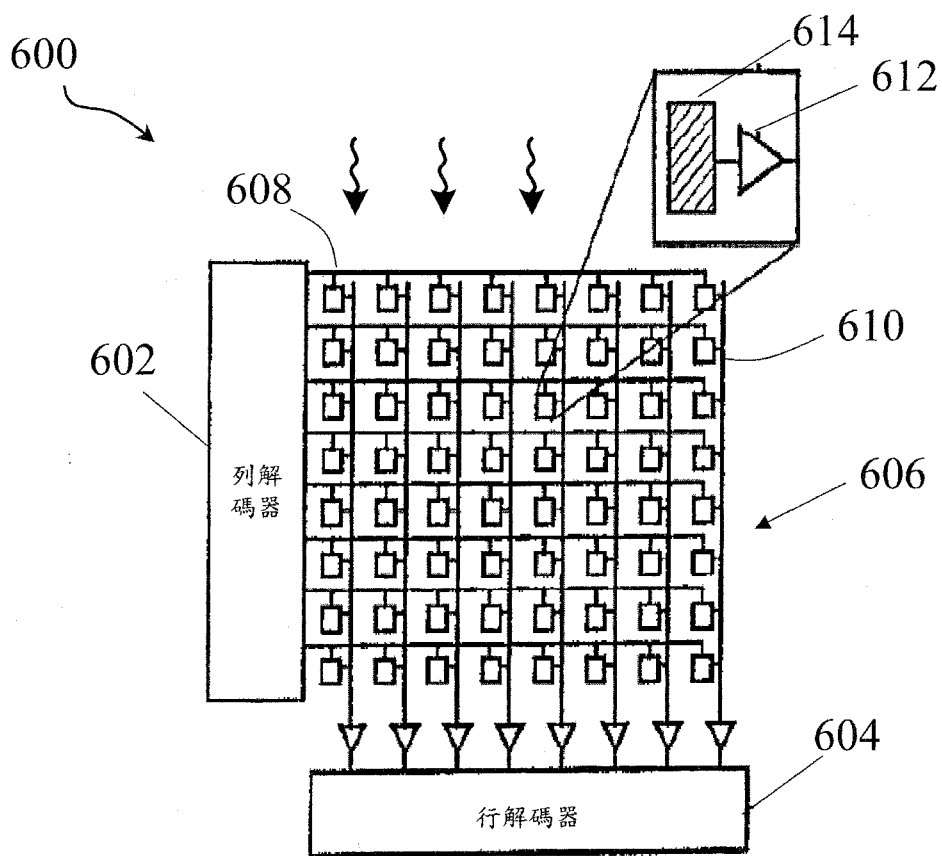


圖 19A

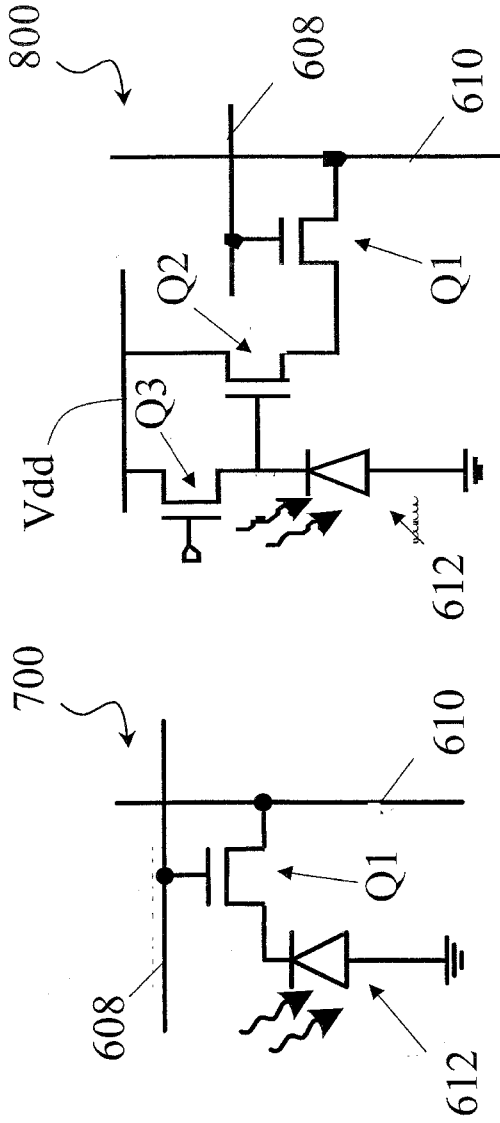


圖 19B

圖 19C

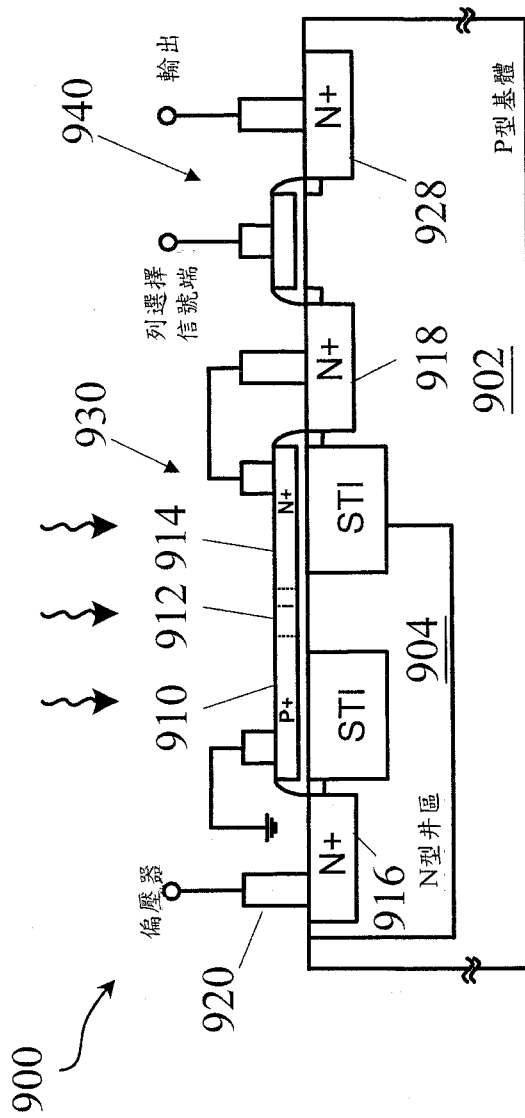


圖 20