
【54】名稱： 利用NMOS來保護混合電壓輸入輸出介面之電路

【21】申請案號：094123213

【22】申請日：中華民國94(2005)年7月8日

【11】公開編號：200703904

【43】公開日：中華民國96(2007)年1月16日

【72】發明人： 柯明道；蔡佳昇

【71】申請人： 國立交通大學 NATIONAL CHIAO-TUNG UNIVERSITY
新竹市東區大學路1001號

【74】代理人： 林火泉

1

2

[57]申請專利範圍：

1. 一種利用 NMOS 來保護混合電壓輸入輸出介面之電路，包括：

一預驅動裝置，不傳送訊號或傳送高、低邏輯準位訊號；

一對相耦合之第一 PMOS 及第一 NMOS 與該預驅動裝置連接；

一閘極追蹤電路，其輸入端係與該預驅動裝置連接，處理由該預驅動裝置送該第一 PMOS 所發出之訊號，該閘極追蹤電路與該對相耦合

之第一 PMOS 及第一 NMOS 並聯，作傳遞高、低邏輯準位訊號用並依據高、低邏輯準位訊號送出 VDDH 或 VDDL；

5. 一第二 NMOS，其係與該閘極追蹤電路之輸出端連接，該第二 NMOS 之一端係與該對相耦合之第一 PMOS 及第一 NMOS 連接；

10. 一輸入輸出介面，其係與該第二 NMOS 之另一端連接，該第二

NMOS 將依據該閘極追蹤電路所發出之高、低邏輯準位訊號作為保護該輸入輸出介面；

一第一反相器作為加速輸入訊號轉態之用，其輸入端係接受該第二 NMOS 及該對相耦合之第一 PMOS 及第一 NMOS 所傳送之訊號，與該第二 NMOS 並聯；

一第二 PMOS，其係接收該第一反相器輸出端所輸出之訊號，該第二 PMOS 接收訊號後又回授訊號給該第二 PUS 輸入端增強訊號；以及
一第二反相器，其輸入端係接收該第一反相器所輸出之訊號，該第二反相器與該第二 PMOS 並聯。

2.如申請範圍第1項所述之利用NMOS來保護混合電壓輸入輸出介面之電路，其中該閘極追蹤電路係包含：
一對互耦合的PMOS反相器，包含一第三PMOS及一第四PMOS；
一對NMOS，包含一第三NMOS及一第四NMOS分別與該對互耦合的PMOS反相器差動連接；
一對複數二極體，其係與該對互耦合的PMOS連接；
一對電容，係包含一第一電容及一第二電容其係與該對互耦合的PMOS連接，並與該對複數二極體並聯；
一第三反相器，其輸入端係接收該預驅動裝置傳送之訊號其輸出端係與該第一電容及該第一複數二極體連接；
一第四反相器，其輸入端係與該第三反相器連接並與該對複數二極體並聯，該第四反相器輸出端係與該第二電容連接；以及
一第五反相器，其輸入端係與該第二電容連接，其輸出端係與該第二NMOS連接，從預驅動裝置發出之訊號經過該第三反相器及該第四反

相器，在該第一電容及該第二電容充電，通過該對互耦合的PMOS及與該對互耦合的PMOS接合之該對NMOS，將訊號送至該對複數二極體，最後經由該第五反相器將訊號送至該第二NMOS。

3.如申請範圍第1項所述之利用NMOS來保護混合電壓輸入輸出介面之電路，其中該輸入輸出介面係接收訊號狀態時，該第二NMOS將會從該閘極追蹤電路接收一固定的偏壓。

4.如申請範圍第3項所述之利用NMOS來保護混合電壓輸入輸出介面之電路，其中該固定的偏壓訊號係VDDL。

5.如申請範圍第1項所述之利用NMOS來保護混合電壓輸入輸出介面之電路，其中該輸入輸出介面係接收訊號狀態時，該預驅動裝置對該對相耦合之第一PMOS及第一NMOS執行關閉。

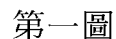
6.如申請範圍第1項所述之利用NMOS來保護混合電壓輸入輸出介面之電路，其中該輸入輸出介面係傳送訊號狀態時，若傳送訊號為低邏輯準位，該閘極追蹤電路將該保護混合電壓輸入輸出介面之NMOS之閘極電壓偏壓為VDDL，當輸入輸出介面係傳送狀態時，若傳送訊號為高邏輯準位，該閘極追蹤電路會將該保護混合電壓輸入輸出介面之NMOS之閘極電壓偏壓為VDDH。

7.如申請範圍第1項或第2項所述之利用NMOS來保護混合電壓輸入輸出介面之電路，其中該第四PMOS與該第三PMOS係交叉耦合(cross-couple)，當該第四PMOS之閘極電壓為VDDL時，該第三PMOS係VDDH，當該第四PMOS之閘極電壓訊號為VDDH，該第三PMOS係

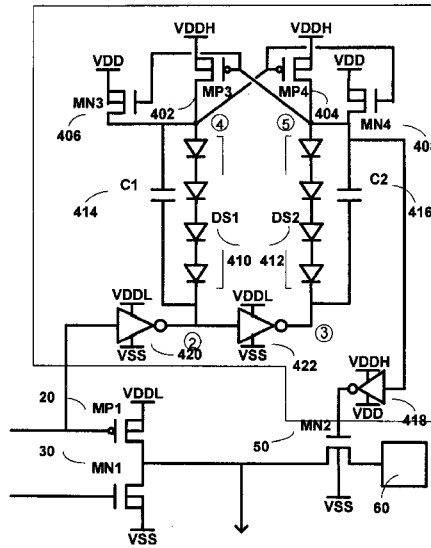
- 一第九 NMOS ，其係接收該第七 NMOS 所送出之訊號；
- 一第六 PMOS ，其係接收該第八 NMOS 所送出之訊號，連接至該第五 PMOS 及該第七 PMOS ；
- 一第十 NMOS ，其係接收該第七 PMOS 所送出之訊號，該第十 NMOS 之另一端與該第七 NMOS 、該第八 NMOS 及該第九 NMOS 連接；以及
- 一第十一 NMOS ，其係一二極體連接形式的 NMOS ，連接輸入輸出介面與第七 NMOS 、第八 NMOS 、第九 NMOS 及第十 NMOS 。

15. $\Phi_n = \theta_n \times k + \theta_{n+2} \times (1-k) \quad 0 \leq k \leq 1$ 。

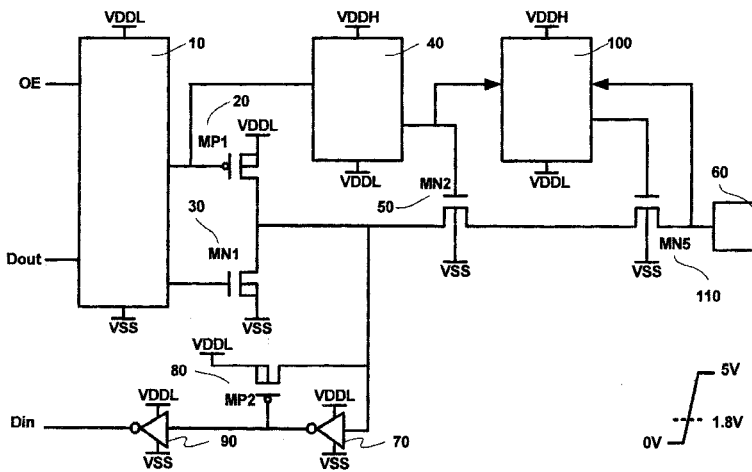
第四圖係本發明之另一實施例之第一閘極追蹤電路之電路示意圖。



(4)



第二圖



第三圖

