

【11】證書號數：I273773

【45】公告日：中華民國96(2007) 年 2 月 11 日

【51】Int. Cl. : **H03K19/0185 (2006.01)**

發明

全 5 頁

【54】名稱： 利用NMOS來保護混合電壓輸入輸出介面之電路

【21】申請案號：094123213

【22】申請日：中華民國94(2005)年7月8日

【11】公開編號：200703904

【43】公開日：中華民國96(2007)年1月16日

【72】發明人： 柯明道；蔡佳昇

【71】申請人： 國立交通大學 NATIONAL CHIAO-TUNG UNIVERSITY
新竹市東區大學路1001號

【74】代理人： 林火泉

1

2

[57]申請專利範圍：

- 1.一種利用 NMOS 來保護混合電壓輸入輸出介面之電路，包括：
一預驅動裝置，不傳送訊號或傳送高、低邏輯準位訊號；
一對相耦合之第一 PMOS 及第一 NMOS 與該預驅動裝置連接；
一閘極追蹤電路，其輸入端係與該預驅動裝置連接，處理由該預驅動裝置送該第一 PMOS 所發出之訊號，該閘極追蹤電路與該對相耦合
- 5.
- 10.

之第一 PMOS 及第一 NMOS 並聯，作傳遞高、低邏輯準位訊號用並依據高、低邏輯準位訊號送出 VDDH 或 VDDL；

一第二 NMOS，其係與該閘極追蹤電路之輸出端連接，該第二 NMOS 之一端係與該對相耦合之第一PMOS 及第一 NMOS 連接；

一輸入輸出介面，其係與該第二 NMOS 之另一端連接，該第二

NMOS 將依據該閘極追蹤電路所發出之高、低邏輯準位訊號作為保護該輸入輸出介面；

一第一反相器作為加速輸入訊號轉態之用，其輸入端係接受該第二 NMOS 及該對相耦合之第一 PMOS 及第一 NMOS 所傳送之訊號，與該第二 NMOS 並聯；

二第二 PMOS，其係接收該第一反相器輸出端所輸出之訊號，該第二 PMOS 接收訊號後又回授訊號給該第二 PUS 輸入端增強訊號；以及

三第二反相器，其輸入端係接收該第一反相器所輸出之訊號，該第二反相器與該第二 PMOS 並聯。

2.如申請範圍第 1 項所述之利用 NMOS 來保護混合電壓輸入輸出介面之電路，其中該閘極追蹤電路係包含：

一對互耦合的 PMOS 反相器，包含一第三 PMOS 及一第四 PMOS；

一對 NMOS，包含一第三 NMOS 及一第四 NMOS 分別與該對互耦合的 PMOS 反相器差動連接；

一對複數二極體，其係與該對互耦合的 PMOS 連接；

一對電容，係包含一第一電容及一第二電容其係與該對互耦合的 PMOS 連接，並與該對複數二極體並聯；

一第三反相器，其輸入端係接收該預驅動裝置傳送之訊號其輸出端係與該第一電容及該第一複數二極體連接；

一第四反相器，其輸入端係與該第三反相器連接並與該對複數二極體並聯，該第四反相器輸出端係與該第二電容連接；以及

一第五反相器，其輸入端係與該第二電容連接，其輸出端係與該第二 NMOS 連接，從預驅動裝置發出之訊號經過該第三反相器及該第四反

相器，在該第一電容及該第二電容充電，通過該對互耦合的 PMOS 及與該對互耦合的 PMOS 接合之該對 NMOS，將訊號送至該對複數二極體，最後經由該第五反相器將訊號送至該第二 NMOS。

3.如申請範圍第 1 項所述之利用 NMOS 來保護混合電壓輸入輸出介面之電路，其中該輸入輸出介面係接收訊號狀態時，該第二 NMOS 將會從該閘極追蹤電路接收一固定的偏壓。

4.如申請範圍第 3 項所述之利用 NMOS 來保護混合電壓輸入輸出介面之電路，其中該固定的偏壓訊號係 VDDL。

5.如申請範圍第 1 項所述之利用 NMOS 來保護混合電壓輸入輸出介面之電路，其中該輸入輸出介面係接收訊號狀態時，該預驅動裝置對該對相耦合之第一 PMOS 及第一 NMOS 執行關閉。

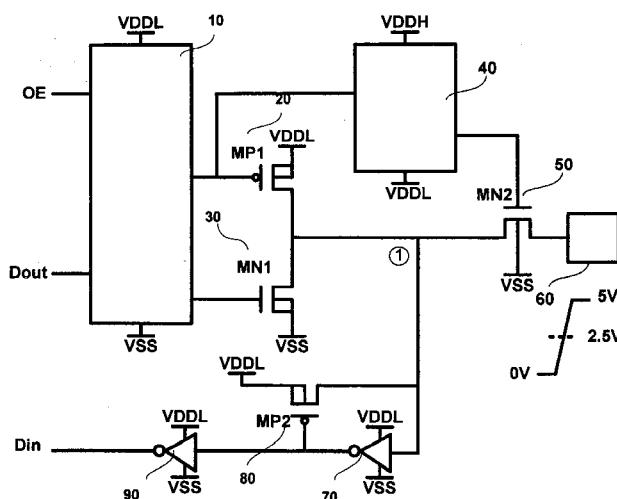
6.如申請範圍第 1 項所述之利用 NMOS 來保護混合電壓輸入輸出介面之電路，其中該輸入輸出介面係傳送訊號狀態時，若傳送訊號為低邏輯準位，該閘極追蹤電路將該保護混合電壓輸入輸出介面之 NMOS 之閘極電壓偏壓為 VDDL，當輸入輸出介面係傳送狀態時，若傳送訊號為高邏輯準位，該閘極追蹤電路會將該保護混合電壓輸入輸出介面之 NMOS 之閘極電壓偏壓為 VDDH。

7.如申請範圍第 1 項或第 2 項所述之利用 NMOS 來保護混合電壓輸入輸出介面之電路，其中該第四 PMOS 與該第三 PMOS 係交叉耦合(cross-couple)，當該第四 PMOS 之閘極電壓為 VDDL 時，該第三 PMOS 係 VDDH，當該第四 PMOS 之閘極電壓訊號為 VDDH，該第三 PMOS 係

VDDL。

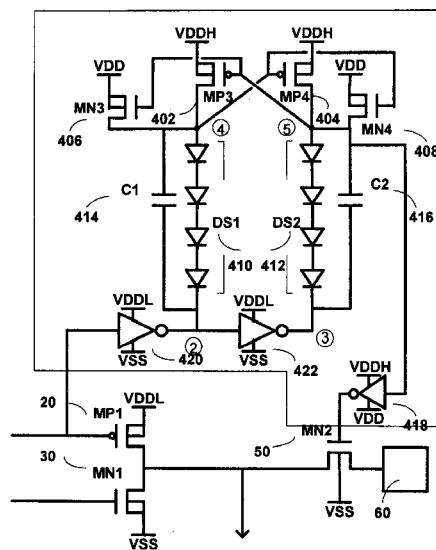
- 8.如申請範圍第1項所述之利用NMOS來保護混合電壓輸入輸出介面之電路，其中更可設一第五NMOS及第一閘極追蹤電路來提高混合電壓輸入輸出介面電路可保護之最大值，該第五NMOS耦合該第二NMOS及該輸入輸出介面，該第一閘極追蹤電路可依據高、低邏輯準位訊號送出VDDH或VDDL，該第一閘極追蹤電路包含：
 一第五PMOS，其係連結第五NMOS與第二NMOS，必要時可將第二NMOS閘極電壓提昇至與第五NMOS閘極電壓相同；
 一對互耦合之第六NMOS及第七NMOS，其係接收第二NMOS的閘極訊號；
 一第八NMOS，當所接收電壓為高過VDDH之電壓，可使第三NMOS導通，則第三NMOS可將第二NMOS閘極電壓提高至VDDH，使得接收的高電壓經過第二NMOS會降至VDDH-Vt左右；

5. 一第九NMOS，其係接收該第七NMOS所送出之訊號；
 一第六PMOS，其係接收該第八NMOS所送出之訊號，連結至該第五PMOS及該第七PMOS；
 一第十NMOS，其係接收該第七PMOS所送出之訊號，該第十NMOS之另一端與該第七NMOS、該第八NMOS及該第九NMOS連接；以及
 一第十一NMOS，其係一二極體連接形式的NMOS，連結輸入輸出介面與第七NMOS、第八NMOS、第九NMOS及第十NMOS。
 10. $\Phi_n = \theta_n \times k + \theta_{n+2} \times (1-k) \quad 0 \leq k \leq 1$ 。
 圖式簡單說明：
 第一圖係本發明之一實施例之電路示意圖。
 第二圖係本發明之閘極追蹤電路之電路示意圖。
 15. 第三圖係本發明之另一實施例之電路示意圖。
 第四圖係本發明之另一實施例之第一閘極追蹤電路之電路示意圖。

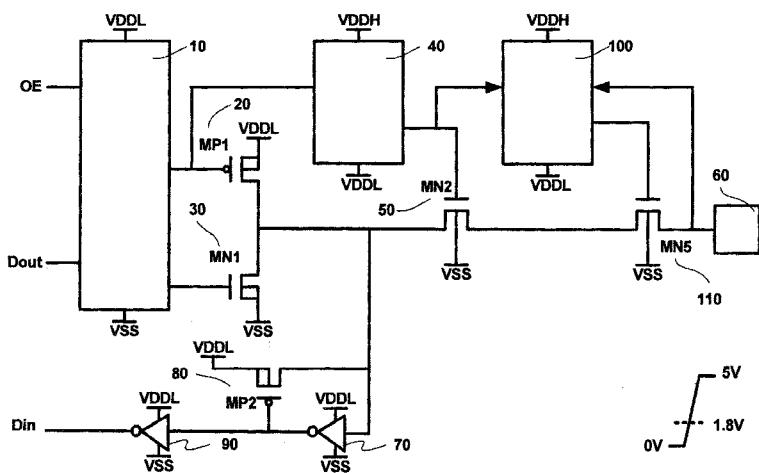


第一圖

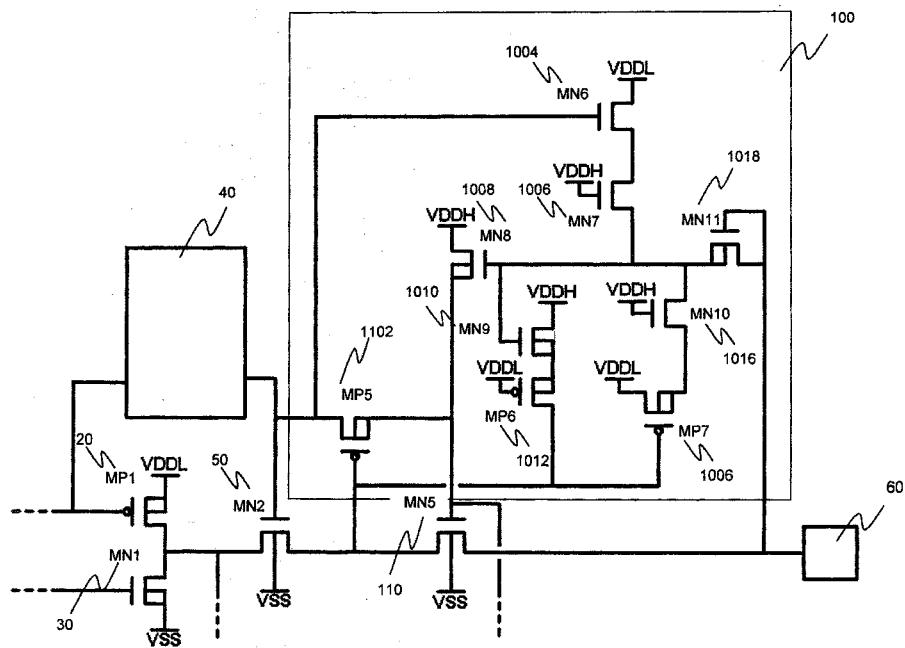
(4)



第二圖



第三圖



第四圖

