

【54】名稱： 利用低壓元件基極觸發和閘極驅動技巧所實現的高壓電源靜電放電保護電路
HIGH VOLTAGE ESD CIRCUIT BY USING LOW-VOLTAGE DEVICE WITH SUBSTRATE-
TRIGGER AND GATE-DRIVEN TECHNIQUE

【21】申請案號：094139831

【22】申請日：中華民國94(2005)年11月11日

【72】發明人： 柯明道 KER, MING DOU；李健銘 LEE, CHIEN MING

【71】申請人： 矽統科技股份有限公司 SILICON INTEGRATED SYSTEMS CORP.
新竹市新竹科學園區研新一路16號

【74】代理人： 陳達仁

1

2

[57]申請專利範圍：

- 1.一種靜電放電保護電路，其中包含：
- 一第一靜電偵測電路，其第一端連結至一第一輸入端，其第二端連結至一接地端，其第三端輸出一第一靜電偵測信號；
- 一第二靜電偵測電路，其第一端連結至一第二輸入端，其第二端連結至該接地端，其第三端輸出一第二靜電偵測信號；
- 一觸發電流產生電路，其第一端連

- 結至該第一輸入端，其第二端連結至該接地端，其第三端接收該第一靜電偵測信號，其第四端接收該第二靜電偵測信號，其第五端輸出一觸發信號；
5. 一側面雙載子接面電晶體，其基極接收該觸發信號；及
- 一堆疊 MOS 電路，包含一第一 NMOS、一第二 NMOS 以及一第一電阻，其中該第一 NMOS 的汲極連

結該第一輸入端以及該側面雙載子接面電晶體的集極，該第一 NMOS 的閘極連結該第一電阻的第一端，該第一 NMOS 的源極連結該第二 NMOS 的汲極，該第二 NMOS 的源極連結該接地端以及該側面雙載子接面電晶體的射極，該第二 NMOS 的閘極也連結該接地端，該第一 NMOS 與該第二 NMOS 的基底也共同連結至該接地端，該第一電阻的第二端連結該第二輸入端；

其中當該第一輸入端的一靜電電壓高於一預設值時，該觸發電流產生電路會輸出該觸發信號，使該堆疊 MOS 電路成為一靜電放電路徑以排除該靜電電壓。

2.如申請專利範圍第1項所述之靜電放電保護電路，其中上述之觸發電流產生電路包含：

一第一PMOS，該第一PMOS的汲極連結於該第一輸入端，該第一PMOS的閘極接收該第一靜電偵測信號；

一第二PMOS，該第二PMOS的汲極連結於該第一PMOS的源極，該第二PMOS與該第一PMOS的基底共同連結於該第一輸入端；及

一第三NMOS，該第三NMOS與該第二PMOS的閘極共同連結並接收該第二靜電偵測信號，該第三NMOS的汲極與該第二PMOS的源極相連結並輸出該觸發信號，該第三NMOS的基底與源極共同連結於該接地端。

3.如申請專利範圍第2項所述之靜電放電保護電路，其中上述之第一靜電偵測電路包含：

一第二電阻，其第一端連結於該第一輸入端，其第二端會輸出該第一靜電偵測信號；

一第一電容，其第一端連結於該第

二電阻的該第二端；及

一第二電容，其第一端連結於該第一電容的第二端，其第二端連結於該接地端。

5. 4.如申請專利範圍第3項所述之靜電放電保護電路，其中上述之第二靜電偵測電路包含：

一第三電阻，其第一端連結於該第二輸入端，其第二端會輸出該第二靜電偵測信號；及

10. 一第三電容，其第一端連結於該第三電阻的該第二端，其第二端連結於該接地端。

5. 5.如申請專利範圍第4項所述之靜電放電保護電路，其中上述之第一電容、第二電容，以及第三電容是利用金氧半場效應電晶體(MOSFET)所構成的電容。

20. 6.如申請專利範圍第5項所述之靜電放電保護電路，其中上述之側面雙載子接面電晶體為寄生雙載子接面電晶體。

25. 7.如申請專利範圍第1項所述之靜電放電保護電路，其中上述之觸發電流產生電路包含一第一PMOS、一第二PMOS、一第三PMOS、一第三NMOS、一第四NMOS，以及一第五NMOS；其中，該第一PMOS的汲極與基底、該第二PMOS的基底以及該第三PMOS的汲極與基底，全部連結於該第一輸入端；該第一PMOS與該第三PMOS的閘極共同連結，並接收該第一靜電偵測信號；該第一PMOS的源極與該第二PMOS

30. 的汲極共同連結；該第三PMOS的源極與該第四NMOS的汲極共同連結；該第二PMOS、第三NMOS，以及第五NMOS的閘極共同連結並接收該第二靜電偵測信號；該第二PMOS的源極、該第三NMOS的汲

40.

極，以及該第四 NMOS 的閘極共同連結；該第四 NMOS 的源極與該第五 NMOS 的汲極共同連結並輸出該觸發信號；該第四 NMOS 與該第五 NMOS 的基底、該第五 NMOS 的源極、該第三 NMOS 的基底與源極則共同連結於該接地端。

8.如申請專利範圍第7項所述之靜電放電保護電路，其中上述之第一靜電偵測電路包含：

一第二電阻，其第一端連結於該第一輸入端，其第二端會輸出該第一靜電偵測信號；

一第一電容，其第一端連結於該第二電阻的該第二端；及

一第二電容，其第一端連結於該第一電容的第二端，其第二端連結於該接地端。

9.如申請專利範圍第8項所述之靜電放電保護電路，其中上述之第二靜電偵測電路包含：

一第三電阻，其第一端連結於該第二輸入端，其第二端會輸出該第二靜電偵測信號；及

一第三電容，其第一端連結於該第三電阻的該第二端，其第二端連結於該接地端。

10.如申請專利範圍第9項所述之靜電放電保護電路，其中上述之第一電容、第二電容，以及第三電容是利用金氧半場效應電晶體(MOSFET)所構成的電容。

11.如申請專利範圍第10項所述之靜電放電保護電路，其中上述之側面雙載子接面電晶體為寄生雙載子接面電晶體。

12.一種靜電放電保護電路，其中包含：

一第一靜電偵測電路，其第一端連結至一第一輸入端，其第二端連結

至一接地端，其第三端輸出一第一靜電偵測信號；

一第二靜電偵測電路，其第一端連結至一第二輸入端，其第二端連結至該接地端，其第三端輸出一第二靜電偵測信號；

一閘極驅動電路，其第一端連結至該第一輸入端，其第二端連結至該接地端，其第三端接收該第一靜電偵測信號，其第四端接收該第二靜電偵測信號，其第五端輸出一第一閘極驅動信號，其第六端輸出一第二閘極驅動信號；及

一堆疊 MOS 電路，包含一第一 NMOS 以及一第二 NMOS，其中該第一 NMOS 的汲極連結該第一輸入端，該第一 NMOS 的閘極接收該第一閘極驅動信號，該第一 NMOS 的源極連結該第二 NMOS 的汲極，該第二 NMOS 的源極連結該接地端，該第二 NMOS 的閘極接收該第二閘極驅動信號，該第一 NMOS 與該第二 NMOS 的基底也共同連結至該接地端；

其中當該第一輸入端的一靜電電壓高於一預設值時，該閘極驅動電路會輸出該第一閘極驅動信號以及該第二閘極驅動信號，使該堆疊 MOS 電路成為一靜電放電路徑以排除該靜電電壓。

13.如申請專利範圍第12項所述之靜電放電保護電路，其中上述之閘極驅動電路包含一第一 PMOS、一第二 PMOS、一第三 PMOS、一第一電阻以及一第三 NMOS；其中該第一 PMOS 的汲極與基底、該第三 PMOS 的汲極與基底，以及該第二 PMOS 的基底共同連結於該第一輸入端；該第一 PMOS 與該第三 PMOS 的閘極共同連結並接收該第一靜電偵測信

號；該第一 PMOS 的源極與該第二 PMOS 的汲極共同連結；該第二 PMOS 與該第三 NMOS 的閘極，以及該第一電阻的第一端共同連結，並接收該第二靜電偵測信號；該第一電阻的第二端與該第三 PMOS 的源極共同連結，並輸出該第一閘極驅動信號；該第二 PMOS 的源極與該第三 NMOS 的汲極共同連結並輸出該第二閘極驅動信號；該第三 NMOS 的基底與源極則共同連結至該接地端。

14.如申請專利範圍第 13 項所述之靜電放電保護電路，其中上述之第一靜電偵測電路包含：

一第二電阻，其第一端連結於該第一輸入端，其第二端會輸出該第一靜電偵測信號；

一第一電容，其第一端連結於該第二電阻的該第二端；及

一第二電容，其第一端連結於該第一電容的第二端，其第二端連結於該接地端。

15.如申請專利範圍第 14 項所述之靜電放電保護電路，其中上述之第二靜電偵測電路包含：

一第三電阻，其第一端連結於該第二輸入端，其第二端會輸出該第二靜電偵測信號；及

一第三電容，其第一端連結於該第三電阻的該第二端，其第二端連結於該接地端。

16.如申請專利範圍第 15 項所述之靜電放電保護電路，其中上述之第一電容、第二電容，以及第三電容是利用金氧半場效應電晶體(MOSFET)所構成的電容。

17.如申請專利範圍第 12 項所述之靜電放電保護電路，其中上述之閘極驅動電路包含一第一 PMOS、一第二

PMOS、一第三 PMOS、一第四 PMOS、一第一電阻、一第三 NMOS、一第四 NMOS，以及一第五 NMOS；其中該第一 PMOS 的汲極與基底、該第二 PMOS 的基底、該第三 PMOS 與該第四 PMOS 的汲極與基底，都共同連結於該第一輸入端；該第一 PMOS、第三 PMOS，以及該第四 PMOS 的閘極都共同連結，並接收該第一靜電偵測信號；該第四 PMOS 的源極與該第一電阻的第二端共同連結並輸出該第一閘極驅動信號；該第一電阻的第一端、該第二 PMOS 的閘極、該第三 NMOS 的閘極，以及該第五 NMOS 的閘極共同連結，並接收該第二靜電偵測信號；該第二 PMOS 的源極、該第三 NMOS 的汲極，以及該第四 NMOS 的閘極共同連結；該第四 NMOS 的源極與該第五 NMOS 的汲極共同連結並輸出該第二閘極驅動信號；該第三 NMOS 的源極與基底、該第五 NMOS 的源極與基底，以及該第四 NMOS 的基底，都共同連結於該接地端；該第一 PMOS 的源極與該第二 PMOS 的汲極共同連結；該第三 PMOS 的源極與該第四 NMOS 的汲極共同連結。

18.如申請專利範圍第 17 項所述之靜電放電保護電路，其中上述之第一靜電偵測電路包含：

一第二電阻，其第一端連結於該第一輸入端，其第二端會輸出該第一靜電偵測信號；

一第一電容，其第一端連結於該第二電阻的該第二端；及

一第二電容，其第一端連結於該第一電容的第二端，其第二端連結於該接地端。

19.如申請專利範圍第 18 項所述之靜電

放電保護電路，其中上述之第二靜電偵測電路包含：

一第三電阻，其第一端連結於該第二輸入端，其第二端會輸出該第二靜電偵測信號；及

一第三電容，其第一端連結於該第三電阻的該第二端，其第二端連結於該接地端。

20.如申請專利範圍第19項所述之靜電放電保護電路，其中上述之第一電容、第二電容，以及第三電容是利用金氧半場效應電晶體(MOSFET)所構成的電容。

21.如申請專利範圍第12項所述之靜電放電保護電路，其中上述之閘極驅動電路包含一第一PMOS、一第二PMOS、一第三PMOS、一第一電阻、一第三NMOS、一第四NMOS，以及一第四電容；其中該第一PMOS的汲極與基底、該第二PMOS的基底、該第三PMOS的汲極與基底，以及該第一電阻的第一端，都共同連結於該第一輸入端；該第一PMOS的閘極接收該第一靜電偵測信號；該第二PMOS與該第三NMOS的閘極共同連結並接收該第二靜電偵測信號；該第三NMOS的基底與源極共同連結於該接地端；該第二PMOS的源極與該第三NMOS的汲極共同連結並輸出該第二閘極驅動信號；該第一PMOS的源極與該第二PMOS的汲極共同連結；該第一電阻的第二端、該第三PMOS與該第四NMOS的閘極，以及該第四電容的第一端共同連結；該第四NMOS的基底與源極，以及該第四電容的第二端共同連結於該第二輸入端；該第三PMOS的源極與該第四NMOS的汲極共同連結並輸出該第一閘極驅動信號。

22.如申請專利範圍第21項所述之靜電放電保護電路，其中上述之第一靜電偵測電路包含：

一第二電阻，其第一端連結於該第一輸入端，其第二端會輸出該第一靜電偵測信號；

一第一電容，其第一端連結於該第二電阻的該第二端；及

一第二電容，其第一端連結於該第一電容的第二端，其第二端連結於該接地端。

23.如申請專利範圍第22項所述之靜電放電保護電路，其中上述之第二靜電偵測電路包含：

一第三電阻，其第一端連結於該第二輸入端，其第二端會輸出該第二靜電偵測信號；及

一第三電容，其第一端連結於該第三電阻的該第二端，其第二端連結於該接地端。

24.如申請專利範圍第23項所述之靜電放電保護電路，其中上述之第一電容、第二電容，以及第三電容是利用金氧半場效應電晶體(MOSFET)所構成的電容。

圖式簡單說明：

第一圖顯示傳統堆疊NMOS電路的I-V曲線圖；

第二圖顯示一傳統堆疊NMOS的電路圖；

第三圖顯示本發明之一較佳實施例的靜電放電保護電路圖；

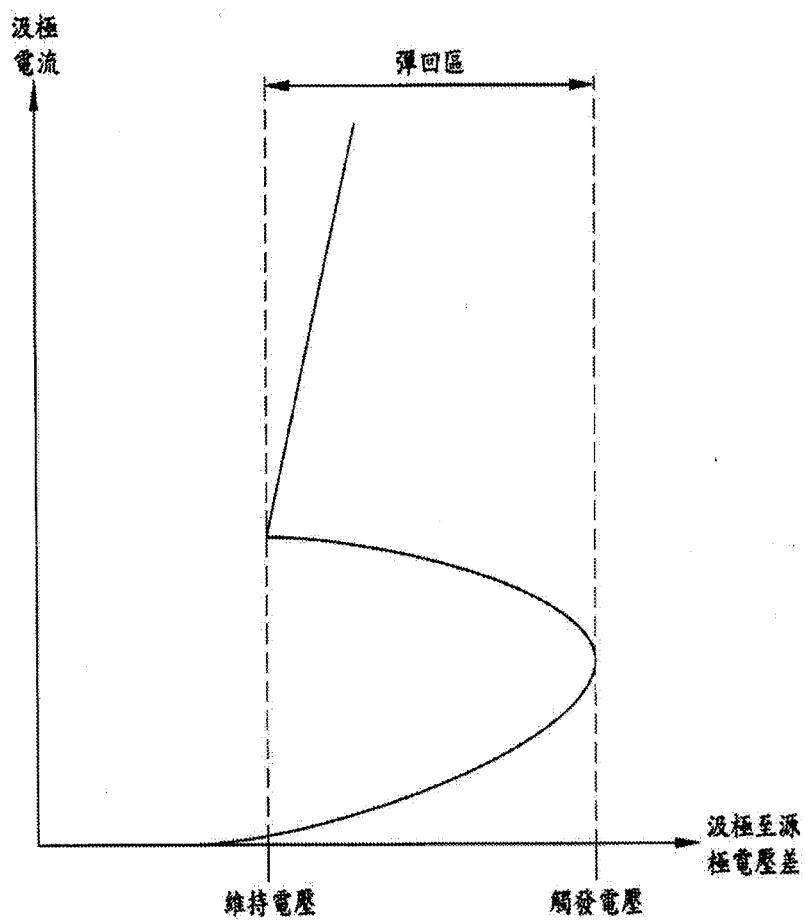
第四圖顯示本發明另一較佳實施例的靜電放電保護電路圖；

第五圖顯示本發明另一較佳實施例的靜電放電保護電路圖；

第六圖顯示本發明另一較佳實施例的靜電放電保護電路圖；及

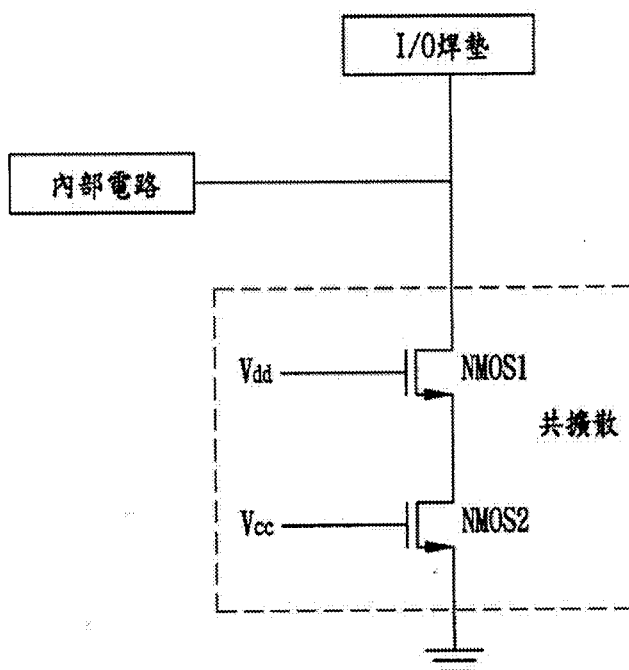
第七圖顯示本發明另一較佳實施例的靜電放電保護電路圖。

(6)

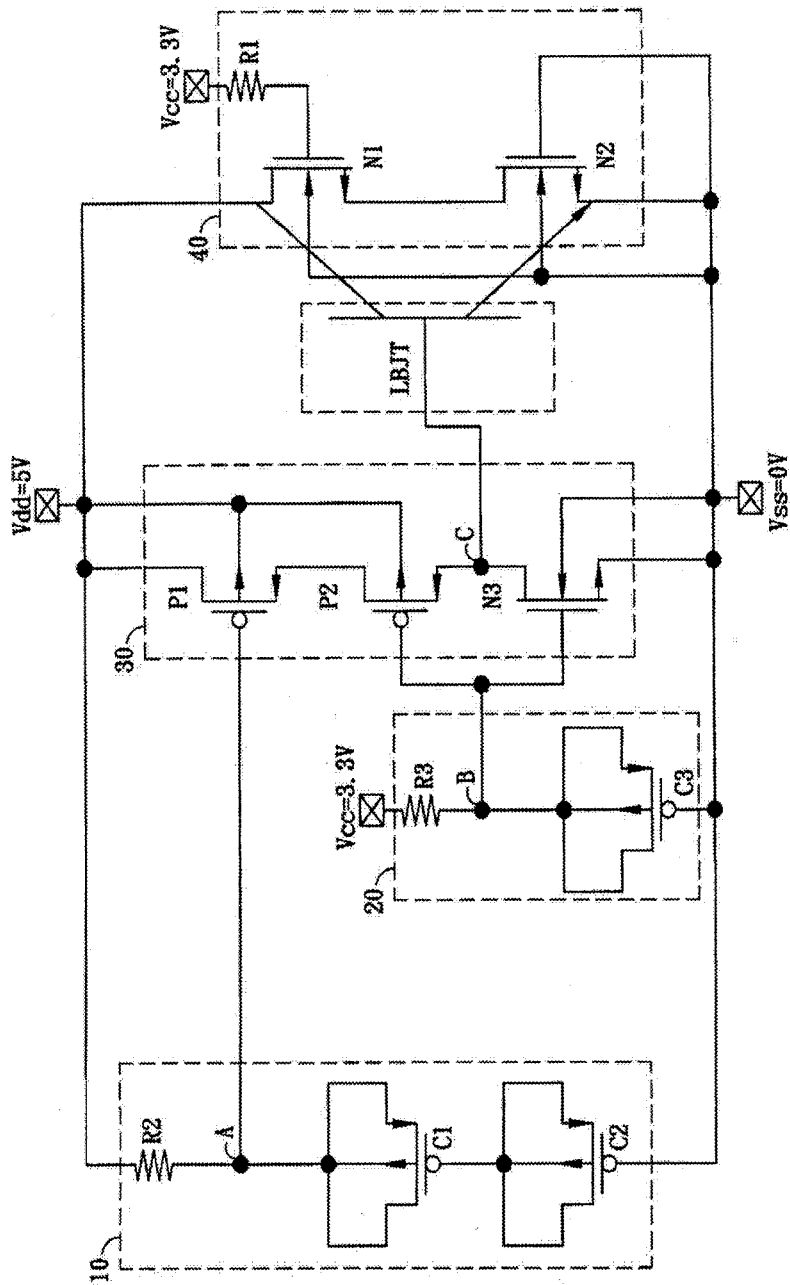


第一圖

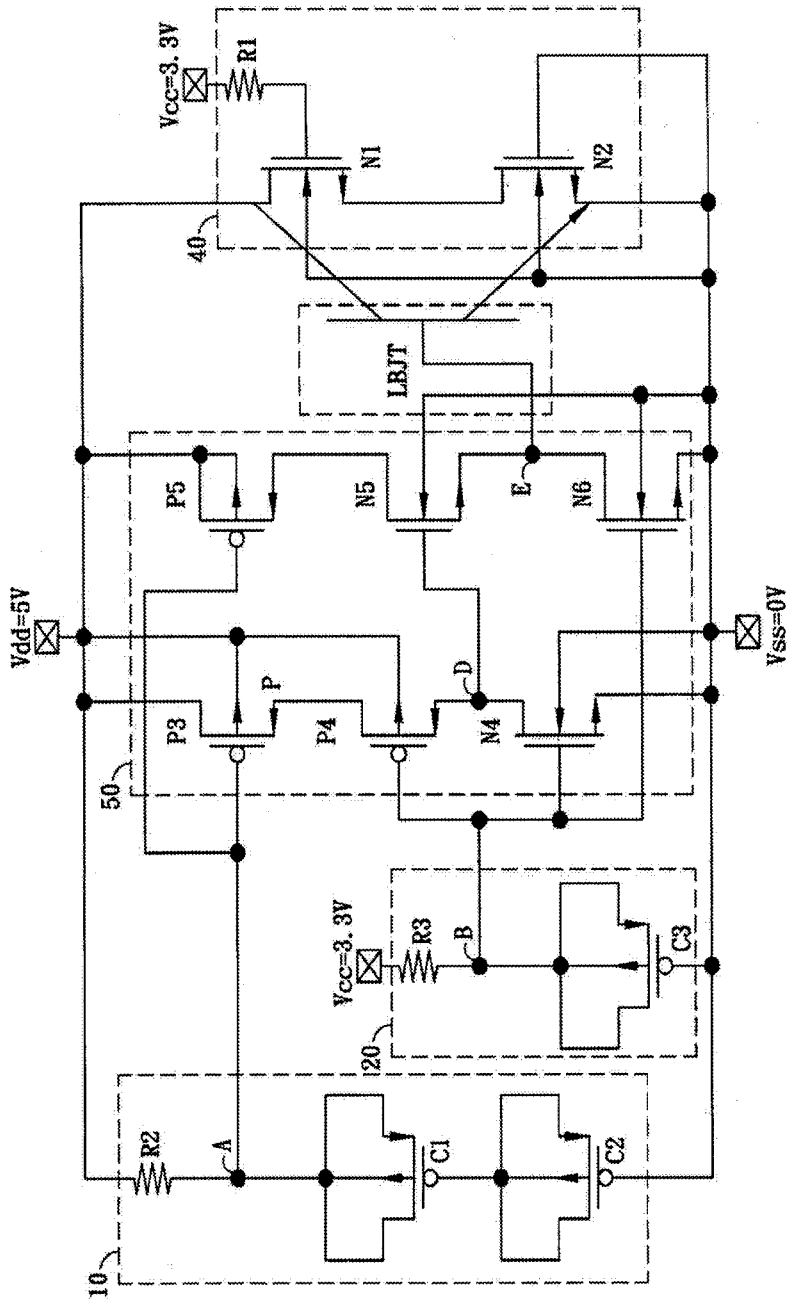
(7)



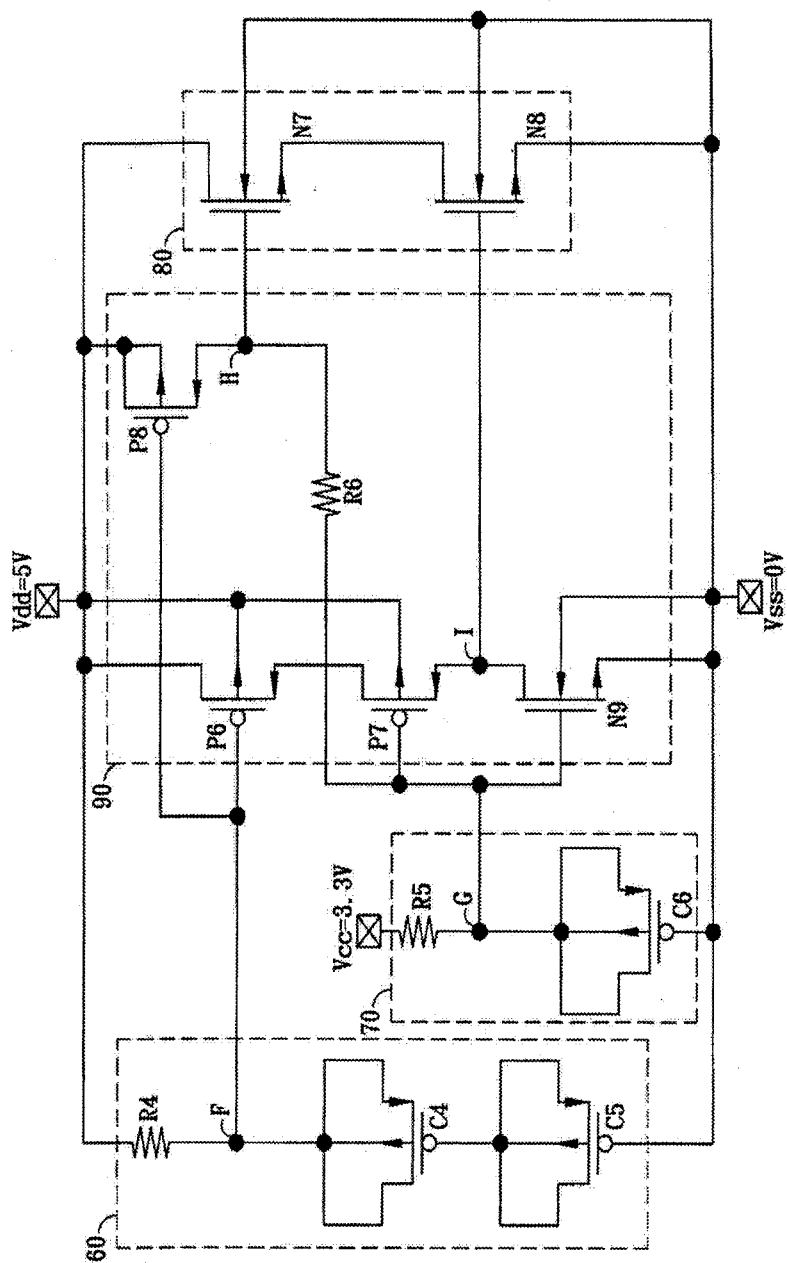
第二圖



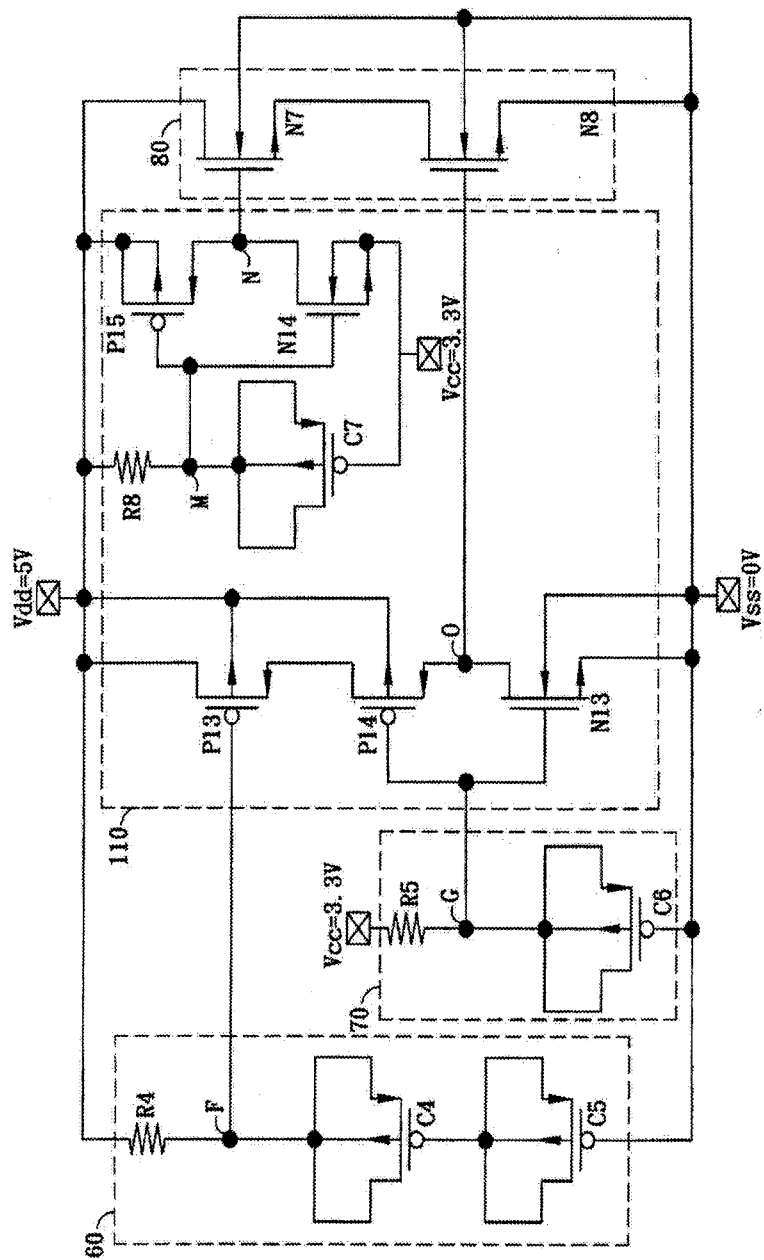
第三圖



第四圖



第五圖



第七圖