
【54】名稱：靜電放電保護結構及其製程

ELECTROSTATIC DISCHARGE PROTECTION DEVICE AND METHOD OF FABRICATION THEREOF

【21】申請案號：092115944

【22】申請日：中華民國92(2003)年6月12日

【11】公開編號：200428633

【43】公開日：中華民國93(2004)年12月16日

【72】發明人：柯明道 KER, MING DOU；徐新智 HSU, HSIN CHYH；羅文裕 LO, WEN YU

【71】申請人：矽統科技股份有限公司 SILICON INTEGRATED SYSTEMS CORP.
新竹市新竹科學園區研新一路16號

【74】代理人：洪澄文；顏錦順

1

2

[57]申請專利範圍：

1.一種靜電放電保護結構之製造方法，
包括下列步驟：提供一第一導電型之基底，具有一
第一閘極以及一第二閘極；形成一第二導電型態淡摻雜區於上
述基底表面，其乃位於上述第一閘
極與第二閘極之間；形成一遮蔽層於上述第一閘極與第
二閘極之間部分區域之第二導電型
態淡摻雜區，並露出位於上述第一閘極、第二閘極與上述遮蔽層之間
未被上述遮蔽層覆蓋之第二導電型
態淡摻雜區；執行淡第二型離子佈植製程，以於
上述基底中露出之第二導電型態淡
摻雜區之區域形成一淡第二導電型
態離子 ESD 佈植區；

移除上述遮蔽層；

形成側壁絕緣間隔物於上述第一閘
極及第二閘極之兩側；以及

執行濃第二型離子佈植製程，以於上述上述第一閘極與第二閘極之側壁絕緣間隔物之間之上述基底形成一第二導電型態濃摻雜區。

- 2.如申請專利範圍第1項所述之靜電放電保護結構之製造方法，其中上述第一導電型態為P型。
- 3.如申請專利範圍第2項所述之靜電放電保護結構之製造方法，其中上述第二導電型態為N型。
- 4.如申請專利範圍第1項所述之靜電放電保護結構之製造方法，其中上述第一導電型態為N型。
- 5.如申請專利範圍第4項所述之靜電放電保護結構之製造方法，其中上述第二導電型態為P型。
- 6.如申請專利範圍第1項所述之靜電放電保護結構之製造方法，更包括於上述第一閘極與上述基底以及上述第二閘極與基底之間形成一閘極氧化層之步驟。
- 7.如申請專利範圍第3項所述之靜電放電保護結構之製造方法，其中上述淡第二型離子佈植製程係摻雜磷離子與砷離子之至少一者。
- 8.如申請專利範圍第5項所述之靜電放電保護結構之製造方法，其中上述淡第二型離子佈植製程係摻雜硼離子。
- 9.如申請專利範圍第1項所述之靜電放電保護結構之製造方法，其中位於上述第一閘極與第二閘極之間之遮蔽層係位於上述第一閘極與第二閘極之間區域的中央。
- 10.如申請專利範圍第1項所述之靜電放電保護結構之製造方法，其中上述第二導電型態濃摻雜區之摻雜濃度係高於上述淡第二導電型態離子ESD佈植區之摻雜濃度。
- 11.如申請專利範圍第1項所述之靜電

放電保護結構之製造方法，其中上述淡第二導電型態離子ESD佈植區之底部深度係大於上述第二導電型態濃摻雜區之底部深度。

5. 12.一種靜電放電保護結構之製造方法，包括下列步驟：
提供一第一導電型之基底，具有設置於一第一隔離結構以及一第二隔離結構之間之一第一閘極以及一第二閘極；
形成一第二導電型態淡摻雜區於上述基底表面，其乃位於上述第一閘極與第一隔離結構之間、上述第二閘極與第二隔離結構之間以及上述第一閘極與第二閘極之間；
形成一遮蔽層於上述第一閘極與第一隔離結構之間、上述第二閘極與第二隔離結構之間以及上述第一閘極與第二閘極之間部分區域之第二導電型態淡摻雜區，並露出位於上述第一閘極、第二閘極與上述遮蔽層之間未被上述遮蔽層覆蓋之第二導電型態淡摻雜區；
執行淡第二型離子佈植製程，以於上述基底中露出之第二導電型態淡摻雜區之區域形成一淡第二導電型態離子ESD佈植區；
移除上述遮蔽層；
形成側壁絕緣間隔物於上述第一閘極及第二閘極之兩側；以及
執行濃第二型離子佈植製程，以分別於上述第一閘極之側壁絕緣間隔物與第一隔離結構之間、上述第二閘極之側壁絕緣間隔物與第二隔離結構之間以及上述第一閘極與第二閘極之側壁絕緣間隔物之間之上述基底形成一第二導電型態濃摻雜區。
- 10.
- 15.
- 20.
- 25.
- 30.
- 35.
40. 13.如申請專利範圍第12項所述之靜電放電保護結構之製造方法，其中上

- 述第一導電型態為 P 型。
- 14.如申請專利範圍第 13 項所述之靜電放電保護結構之製造方法，其中上述第二導電型態為 N 型。
- 15.如申請專利範圍第 12 項所述之靜電放電保護結構之製造方法，其中上述第一導電型態為 N 型。
- 16.如申請專利範圍第 15 項所述之靜電放電保護結構之製造方法，其中上述第二導電型態為 P 型。
- 17.如申請專利範圍第 12 項所述之靜電放電保護結構之製造方法，更包括於上述第一閘極與上述基底以及上述第二閘極與基底之間形成一閘極氧化層之步驟。
- 18.如申請專利範圍第 14 項所述之靜電放電保護結構之製造方法，其中上述淡第二型離子佈植製程係摻雜磷離子與砷離子之至少一者。
- 19.如申請專利範圍第 16 項所述之靜電放電保護結構之製造方法，其中上述淡第二型離子佈植製程係摻雜硼離子。
- 20.如申請專利範圍第 12 項所述之靜電放電保護結構之製造方法，其中位於上述第一閘極與第二閘極之間之遮蔽層係位於上述第一閘極與第二閘極之間區域的中央。
- 21.如申請專利範圍第 12 項所述之靜電放電保護結構之製造方法，其中上述第二導電型態濃摻雜區之摻雜濃度係高於上述淡第二導電型態離子 ESD 佈植區之摻雜濃度。
- 22.如申請專利範圍第 12 項所述之靜電放電保護結構之製造方法，其中上述淡第二導電型態離子 ESD 佈植區之底部深度係大於上述第二導電型態濃摻雜區之底部深度。
- 23.一種靜電放電保護結構之製造方法，包括下列步驟：

- 提供一第一導電型之基底，具有依序設置於一第一隔離結構以及一第二隔離結構之間之一第一閘極、一第二閘極、一第三閘極以及一第四閘極；
5. 形成一第二導電型態淡摻雜區於上述基底表面之第一隔離結構以及一第二隔離結構間，未設置上述第一閘極、第二閘極、第三閘極以及第四閘極之處；
10. 形成一遮蔽層於上述第一閘極與第一隔離結構之間、上述第一閘極與第二閘極之間、上述第三閘極與第四閘極之間、上述第四閘極與第二隔離結構之間以及上述第二閘極與第三閘極之間部分區域之第二導電型態淡摻雜區，並露出位於上述第二閘極、第三閘極與上述遮蔽層之間未被上述遮蔽層覆蓋之第二導電型態淡摻雜區；
20. 執行淡第二型離子佈植製程，以於上述基底中露出之第二導電型態淡摻雜區之區域形成一淡第二導電型態離子 ESD 佈植區；
25. 移除上述遮蔽層；
- 形成側壁絕緣間隔物於上述第一閘極、第二閘極、第三閘極及第四閘極之兩側；以及
- 執行濃第二型離子佈植製程，以於上述第一隔離結構與第二隔離結構之間未設置上述閘極之處形成一第二導電型態濃摻雜區。
- 24.如申請專利範圍第 23 項所述之靜電放電保護結構之製造方法，其中上述第一導電型態為 P 型。
35. 如申請專利範圍第 24 項所述之靜電放電保護結構之製造方法，其中上述第二導電型態為 N 型。
- 26.如申請專利範圍第 23 項所述之靜電放電保護結構之製造方法，其中上
- 40.

述第一導電型態為 N 型。

- 27.如申請專利範圍第 26 項所述之靜電放電保護結構之製造方法，其中上述第二導電型態為 P 型。
- 28.如申請專利範圍第 23 項所述之靜電放電保護結構之製造方法，更包括於上述第一閘極與上述基底以及上述第二閘極與基底之間形成一閘極氧化層之步驟。
- 29.如申請專利範圍第 25 項所述之靜電放電保護結構之製造方法，其中上述淡第二型離子佈植製程係摻雜磷離子與砷離子之至少一者。
- 30.如申請專利範圍第 27 項所述之靜電放電保護結構之製造方法，其中上述淡第二型離子佈植製程係摻雜硼離子。
- 31.如申請專利範圍第 23 項所述之靜電放電保護結構之製造方法，其中位於上述第二閘極與第三閘極之間之遮蔽層係位於上述第二閘極與第三閘極之間區域的中央。
- 32.如申請專利範圍第 23 項所述之靜電放電保護結構之製造方法，其中上述第二導電型態濃摻雜區之摻雜濃度係高於上述淡第二導電型態離子 ESD 佈植區之摻雜濃度。
- 33.如申請專利範圍第 23 項所述之靜電放電保護結構之製造方法，其中上述淡第二導電型態離子 ESD 佈植區之底部深度係大於上述第二導電型態濃摻雜區之底部深度。
- 34.一種靜電放電保護結構，包括：
 - 一第一導電型態之基底；
 - 一第一閘極以及一第二閘極，設置於上述基底表面；
 - 複數濃第二導電型態離子摻雜區，分別設置位於上述第一閘極與第二閘極之間以及上述第一閘極與第二閘極之間未相鄰之另一側之基底；

以及

- 一淡第二導電型態離子 ESD 佈植區，設置於上述第一閘極與第二閘極之間之基底，具有一開口，使得設置於上述第一閘極與第二閘極之間之部分濃第二型離子摻雜區直接接觸上述基底。
5. 35.如申請專利範圍第 34 項所述之靜電放電保護結構，更包括一汲極接觸區，設置於上述開口。
10. 36.如申請專利範圍第 34 項所述之靜電放電保護結構，更包括設置於上述第一閘極與第二閘極兩側之側壁絕緣間隔物。
15. 37.如申請專利範圍第 34 項所述之靜電放電保護結構，其中上述第一導電型態為 P 型。
20. 38.如申請專利範圍第 37 項所述之靜電放電保護結構，其中上述第二導電型態為 N 型。
25. 39.如申請專利範圍第 34 項所述之靜電放電保護結構，其中上述第一導電型態為 N 型。
30. 40.如申請專利範圍第 39 項所述之靜電放電保護結構，其中上述第二導電型態為 P 型。
35. 41.如申請專利範圍第 34 項所述之靜電放電保護結構，更包括設置於上述第一閘極與上述基底以及上述第二閘極與基底之間之閘極氧化層。
40. 42.如申請專利範圍第 38 項所述之靜電放電保護結構，其中上述淡第二導電型態離子 ESD 佈植區係摻雜磷離子與砷離子之至少一者。
- 43.如申請專利範圍第 40 項所述之靜電放電保護結構，其中上述淡第二導電型態離子 ESD 佈植區係摻雜硼離子。
- 44.如申請專利範圍第 34 項所述之靜電放電保護結構，其中位於上述淡第

二導電型態離子 ESD 佈植區之開口係位於上述第一閘極與第二閘極之間區域的中央。

45.如申請專利範圍第34項所述之靜電放電保護結構，其中上述濃第二導電型態摻雜區之摻雜濃度係高於上述淡第二導電型態離子 ESD 佈植區之摻雜濃度。

46.如申請專利範圍第34項所述之靜電放電保護結構，其中上述淡第二導電型態離子 ESD 佈植區之底部深度係大於上述濃第二導電型態摻雜區之底部深度。

圖式簡單說明：

第1A圖係顯示傳統輸入電路之電路圖。

第1B圖係顯示對應於第1A圖之半導體剖面圖。

第2A圖係顯示傳統具有ESD佈植區之ESD防護裝置之剖面圖。

第2B圖係顯示傳統形成第2A圖所示之ESD防護裝置之製程流程圖。

5. 第3A圖至第30圖係顯示根據本發明實施例所述之ESD防護裝置製造方法之剖面圖。

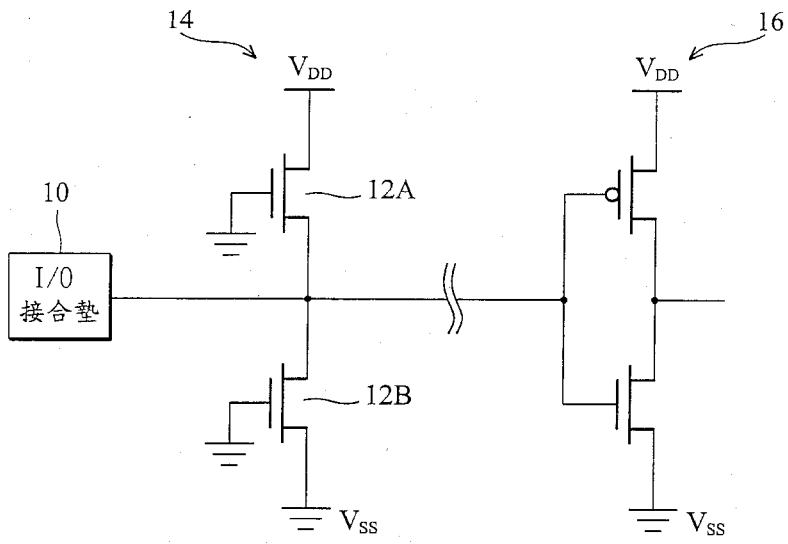
10. 第4A圖係顯示根據本發明實施例所述之ESD防護裝置製造方法所形成之ESD防護裝置之上視圖。

第4B圖係顯示沿第4A圖中AA'線之半導體剖面圖。

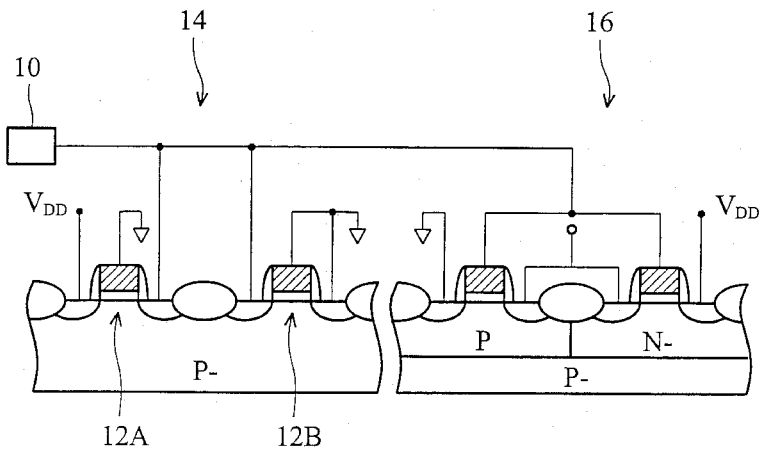
15. 第5A圖係顯示根據本發明實施例所述之另一ESD防護裝置製造方法所形成之ESD防護裝置之上視圖。

第5B圖係顯示沿第5A圖中BB'線之半導體剖面圖。

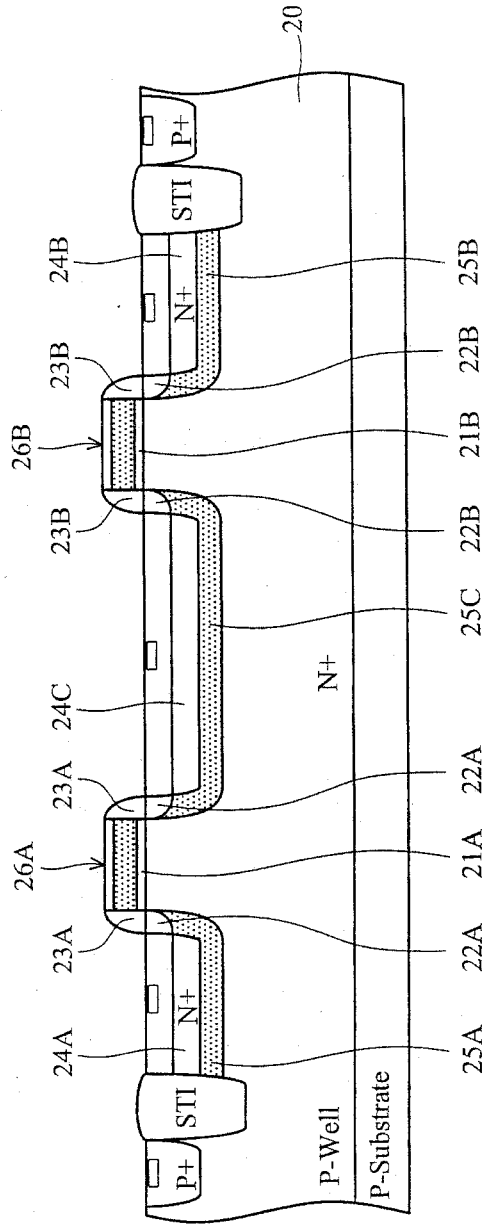
(6)



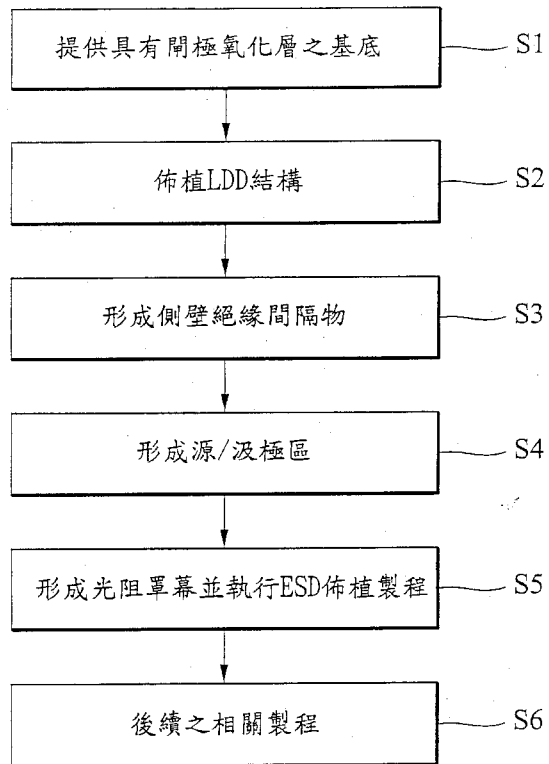
第 1A 圖



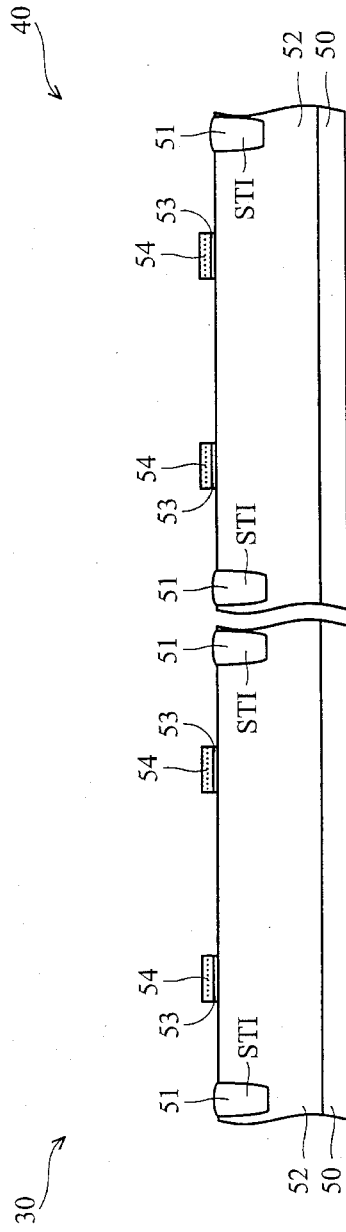
第 1B 圖



第 2A 圖

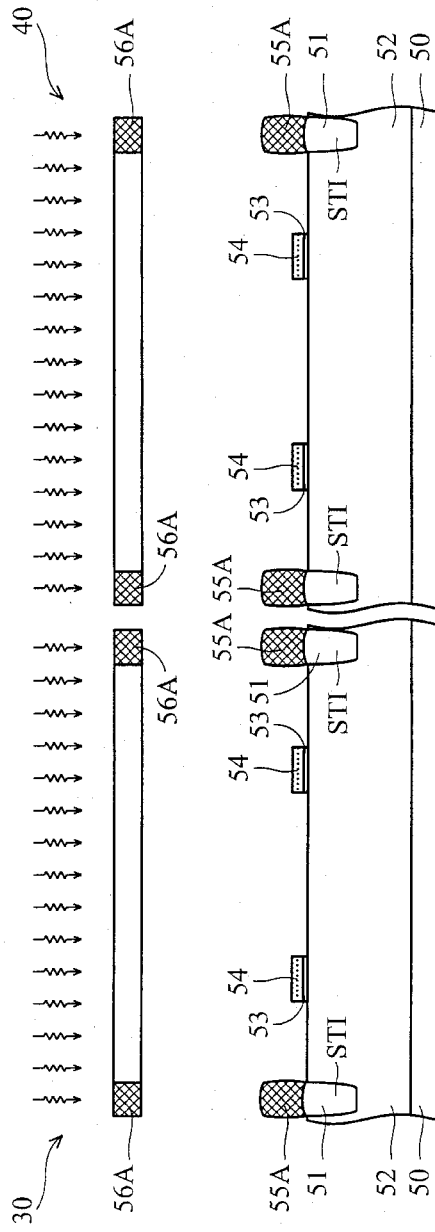


第 2B 圖

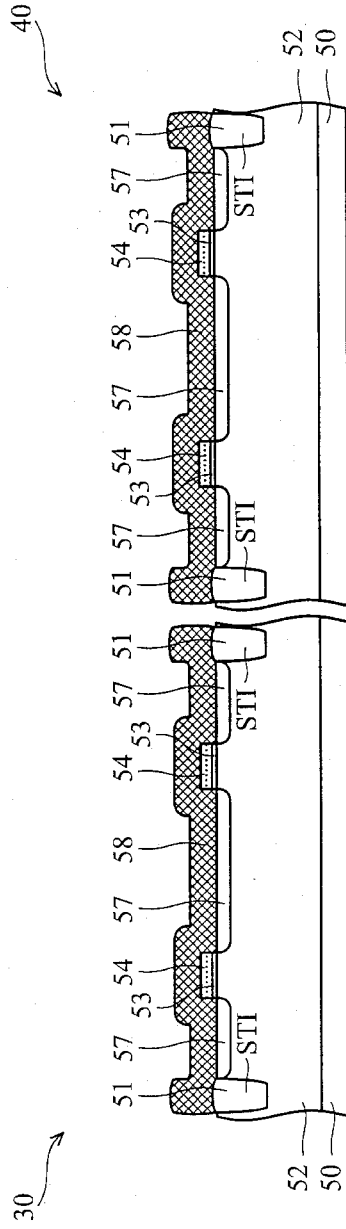


第 3A 圖

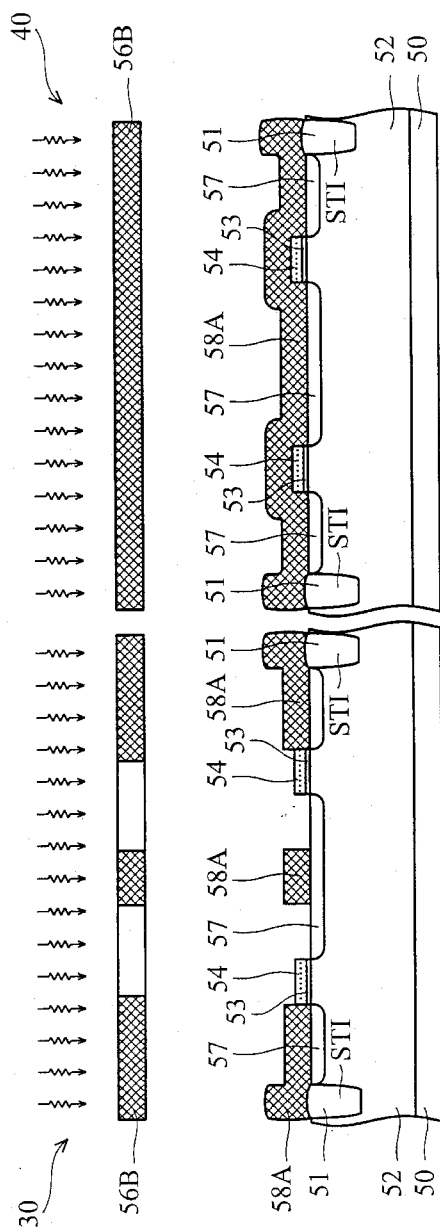
(11)



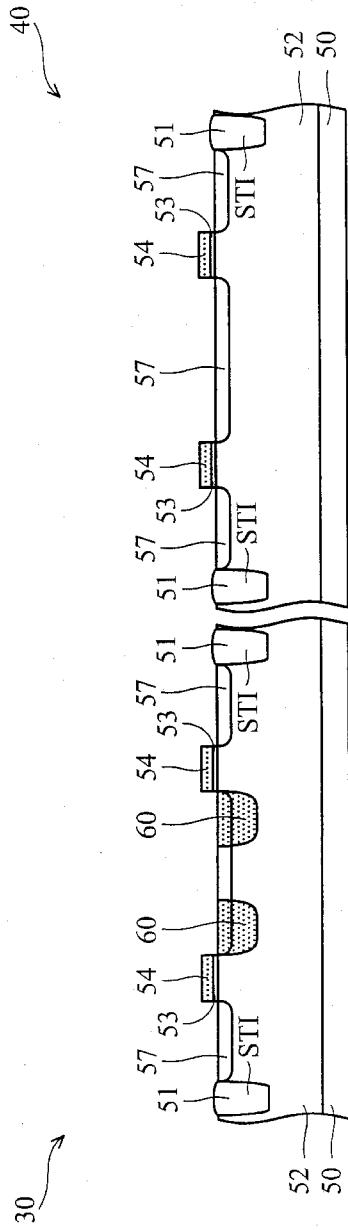
第3C圖



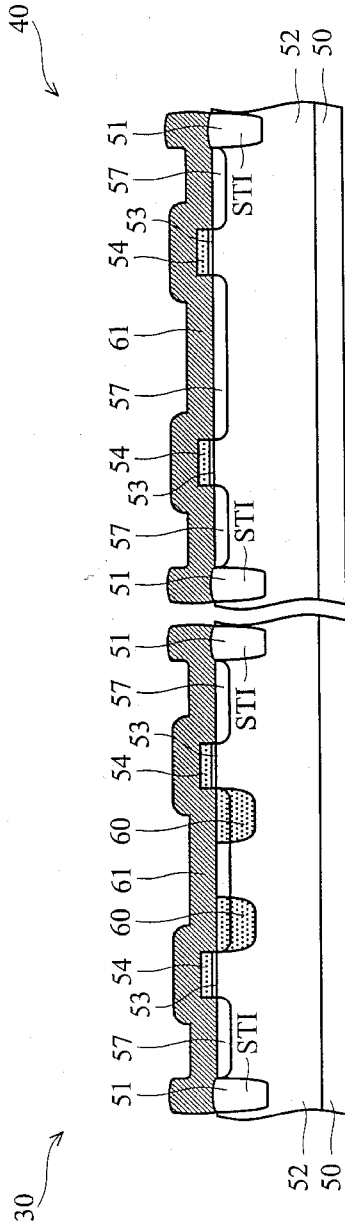
第 3F 圖



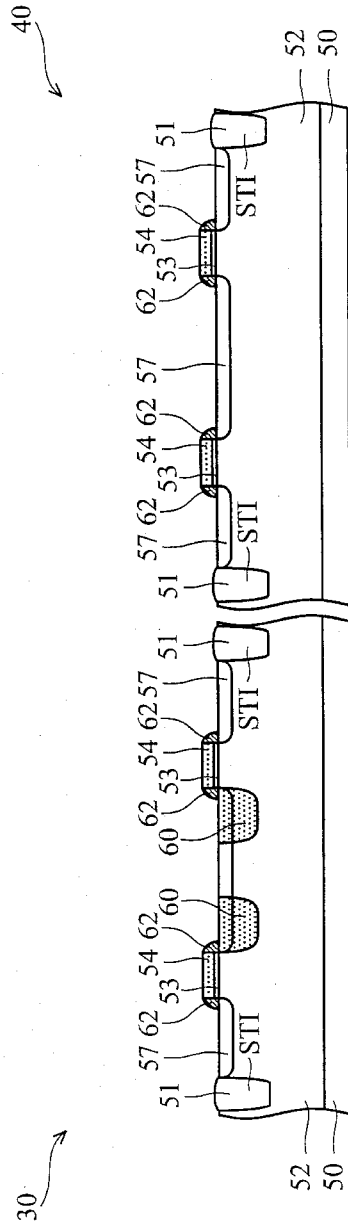
第3G圖



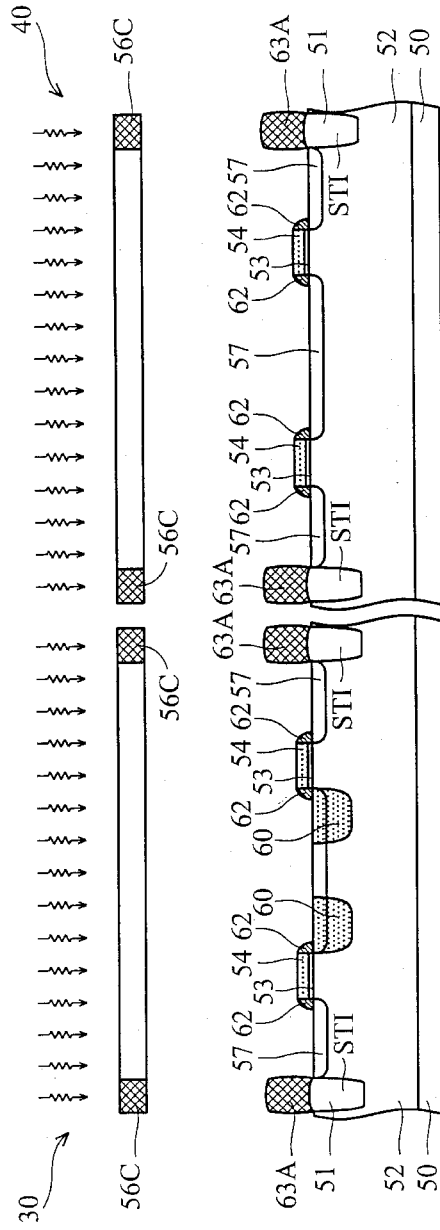
第31圖



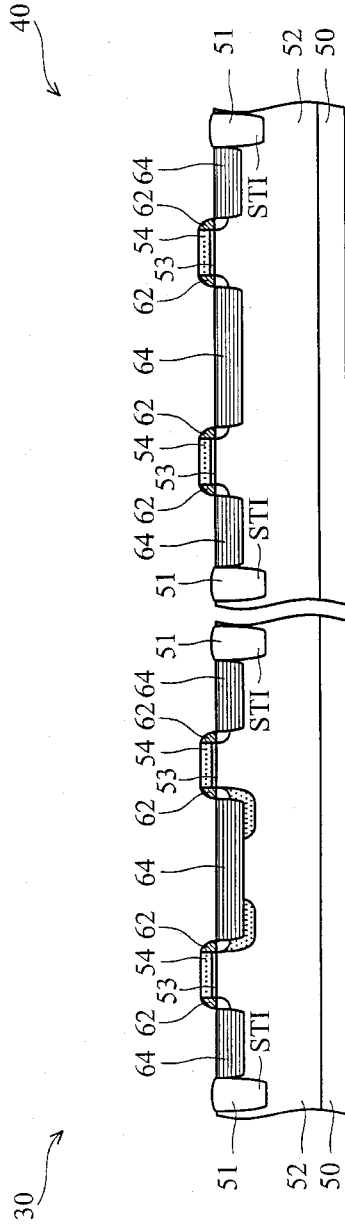
第3J圖



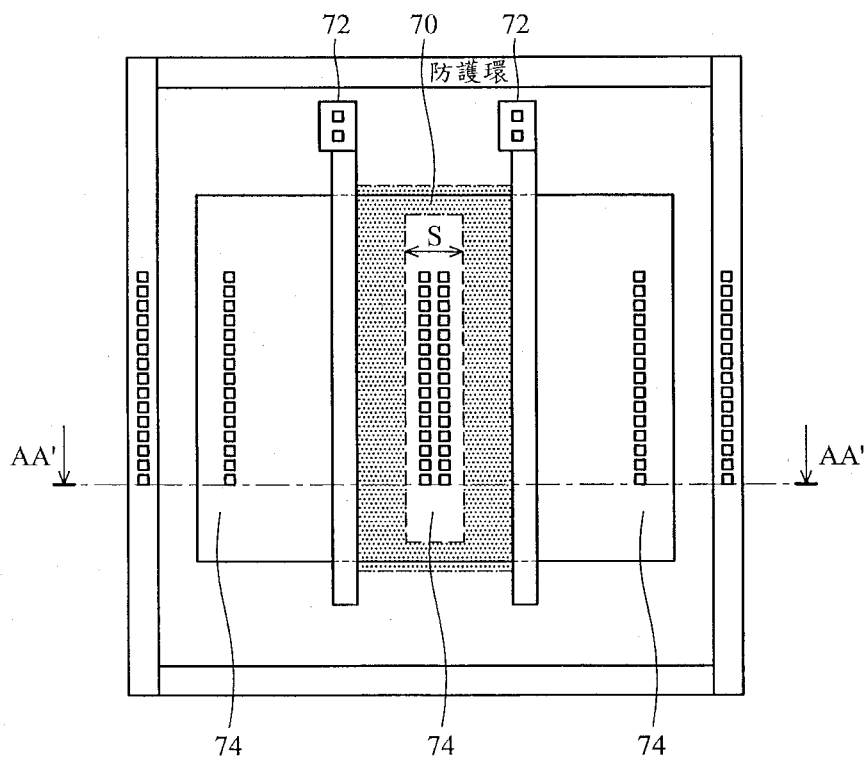
第3K圖



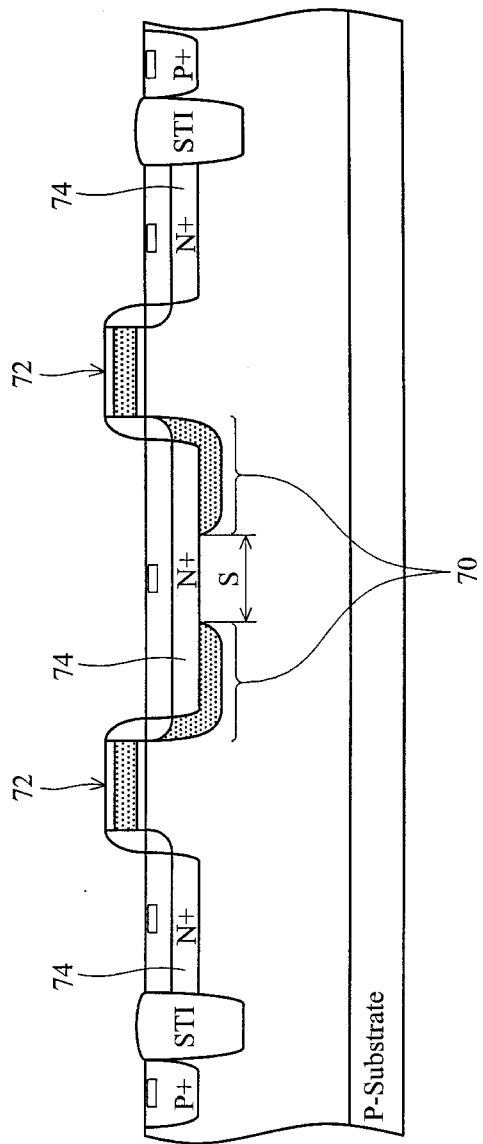
第 3M 圖



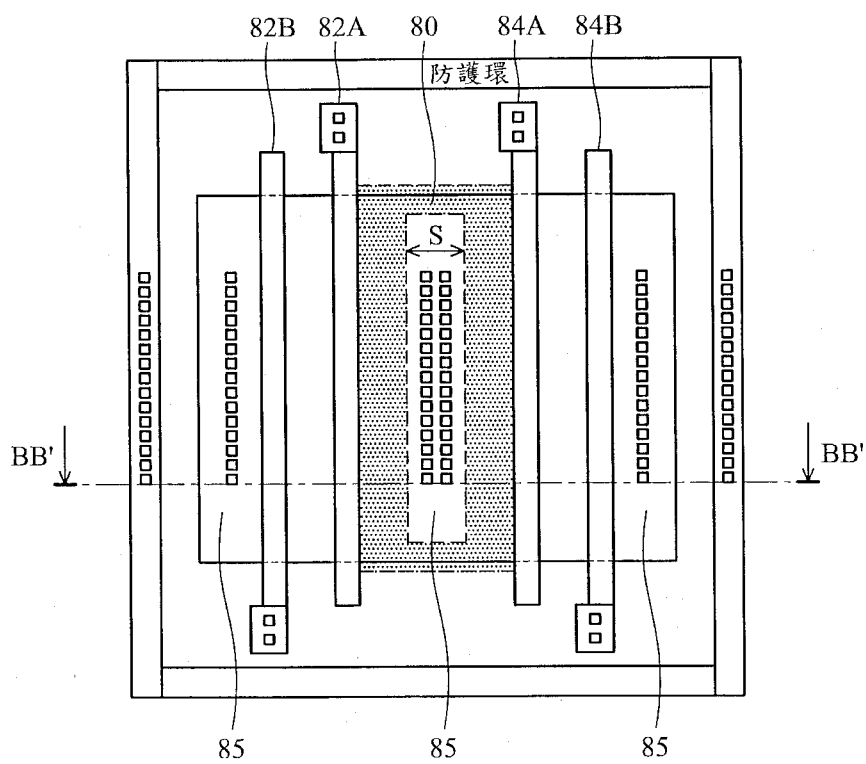
第 30 圖



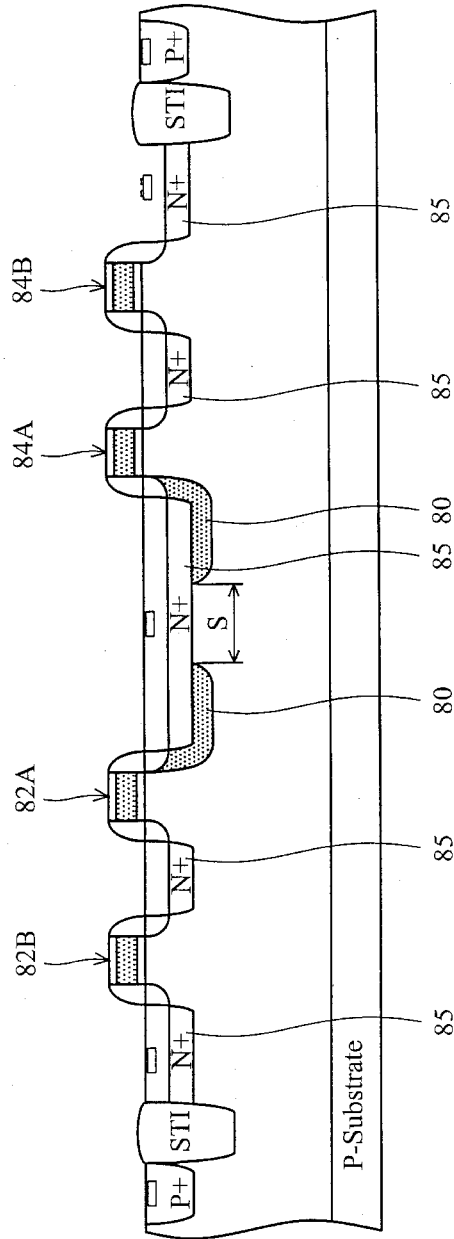
第 4A 圖



第 4B 圖



第5A圖



第 5B 圖

