

(11)公告編號：279257

(44)中華民國85年(1996)06月21日

發 明

全 6 頁

(51)Int. Cl.⁵: H01L23/60

(54)名 稱：使用閘極耦合矽控整流器之靜電放電防護電路

(21)申請案號：84113123

(22)申請日期：中華民國84年(1995)12月07日

(72)發 明 人：

柯明道
吳添祥

台南縣歸仁鄉西埔村大埔十一號
苗栗縣後龍鎮北龍里三鄰一〇四號

(71)申 請 人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

(74)代 理 人：

1

2

[57]申請專利範圍：

1. 一個互補式金氧半靜電放電防護電路包含：

一第一低電壓觸發矽控整流器連接於VDD與一墊片(pad)之間，用來防護ND模式的靜電放電，該第一低電壓觸發矽控整流器另包含有一第一寄生二極體，用來防護NS模式之靜電放電；該第一低電壓觸發矽控整流器包含有一PMOS元件，用來降低該第一低電壓觸發矽控整流器的觸發導通電壓等效於該PMOS元件的驟回崩潰電壓；

一第一電容器連接於該墊片與該第一低電壓觸發矽控整流器之間，用來耦合暫態變化的電壓自該墊片到該第一低電壓觸發矽控整流器，該第一電容器更加降低該第一低電壓觸發矽控整流器的觸發導通電壓，使其低於該PMOS元件的驟回崩潰電壓；

一第二低電壓觸發矽控整流器連接於VSS與該墊片之間，用來防護PS模式

的靜電放電，該第二低電壓觸發矽控整流器另包含有一第二寄生二極體，用來防護PD模式之靜電放電；該第二低電壓觸發矽控整流器包含有一NMOS元件，用來降低該第二低電壓觸發矽控整流器的觸發導通電壓等效於該NMOS元件的驟回崩潰電壓；以及

一第二電容器連接於該墊片與該第二低電壓觸發矽控整流器之間，用來耦合暫態變化的電壓自該墊片到該第二低電壓觸發矽控整流器，該第二電容器更加降低該第二低電壓觸發矽控整流器的觸發導通電壓，使其低於該NMOS元件的驟回崩潰電壓。

2. 如申請專利範圍第1項所述之互補式金氧半靜電放電防護電路，該靜電放電防護電路有一N型井區/P型基底的結構。

3. 如申請專利範圍第1項所述之互補式金氧半靜電放電防護電路，該靜電放

電防護電路有一P型井區／N型基底的結構。

- 4.如申請專利範圍第1項所述之互補式金氧半靜電放電防護電路，該墊片是一輸入墊片。
- 5.如申請專利範圍第1項所述之互補式金氧半靜電放電防護電路，該墊片是一輸出墊片。
- 6.如申請專利範圍第1項所述之互補式金氧半靜電放電防護電路，該第一低電壓觸發矽控整流器有一陽極連接到VDD，有一陰極連接到該墊片；該第二低電壓觸發矽控整流器有一陽極連接到該墊片，有一陰極連接到VSS。
- 7.一靜電放電防護電路包含：
 - 一第一橫向矽控整流器，其陽極連接到第一電壓源，其陰極連接到一墊片；該第一橫向矽控整流器包含一PMOS元件，用來降低該第一橫向矽控整流器的觸發導通電壓等效於該PMOS元件的驟回崩潰電壓；另包含一第一電容器連接於該墊片與該PMOS元件閘極，該第一電容器可降低第一橫向矽控整流器的觸發導通電壓，使其低於該PMOS元件的驟回崩潰電壓；以及
 - 一第二橫向矽控整流器，其陰極連接到第二電壓源，其陽極連接到該墊片；該第二橫向矽控整流器包含一NMOS元件，用來降低該第二橫向矽控整流器的觸發導通電壓等效於該NMOS元件的驟回崩潰電壓；另包含一第二電容器連接於該墊片與該NMOS元件的閘極，該第二電容器可降低該第二橫向矽控整流器的觸發導通電壓，使其低於該NMOS元件的驟回崩潰電壓。
- 8.如申請專利範圍第7項所述之靜電放電防護電路，該第一橫向矽控整流器

- 用來防護ND模式的靜電放電；該第一橫向矽控整流器包含有一第一寄生二極體，用來防護NS模式的靜電放電；該第二橫向矽控整流器用來防護PS模式的靜電放電；該第二橫向矽控整流器包含有一第二寄生二極體，用來防護PD模式的靜電放電。
- 9.如申請專利範圍第7項所述之靜電放電防護電路，該靜電放電防護電路有一N型井區/P型基底的結構。
- 10.如申請專利範圍第7項所述之靜電放電防護電路，該靜電放電防護電路有一P型井區/N型基底的結構。
- 11.如申請專利範圍第7項所述之靜電放電防護電路，該墊片是一輸入墊片。
- 12.如申請專利範圍第7項所述之靜電放電防護電路，該墊片是一輸出墊片。
- 13.一半導體裝置，用來提供互補式金氧半積體電路輸入級的靜電放電防護作用，包含有：
 - 一第一低電壓觸發橫向矽控整流器製作於一半導體基底，其陽極連接到第一電壓源，其陰極連接到該積體電路的一墊片；該第一低電壓觸發橫向矽控整流器包含一PMOS元件，用來降低該第一低電壓觸發橫向矽控整流器的觸發導通電壓等效於該PMOS元件的驟回崩潰電壓。
- 14.如申請專利範圍第13項所述之半導體裝置，另包含有一第一電容器連接於該墊片與該PMOS元件的閘極；該第一電容器可降低該第一低電壓觸發橫向矽控整流器的觸發導通電壓，使其低於該PMOS元件的驟回崩潰電壓。
- 15.如申請專利範圍第14項所述之半導體裝置，該第一電容器是利用一多晶矽(poly)層做在該墊片下而成的。
- 16.如申請專利範圍第13項所述之半導體裝置，該第一低電壓觸發橫向矽控整流器是陽極是用一P型濃佈植區做在

—N型井區於一P型基底上而成的。

- 17.如申請專利範圍第13項所述之半導體裝置，另包含有一第二低電壓觸發橫向矽控整流器與該第一低電壓觸發橫向矽控整流器集積在一起；該第二低電壓觸發橫向矽控整流器包含有一陰極連接到第二電壓源，有一陽極連接到該墊片；該第二低電壓觸發橫向矽控整流器包含一NMOS元件，用來降低該第二低電壓觸發橫向矽控整流器的觸發導通電壓等效於該NMOS元件的驟回崩潰電壓。
- 18.如申請專利範圍第17項所述之半導體裝置，該第二低電壓觸發橫向矽控整流器的陰極是用一N型濃佈植區做在一N型井區於一P型基底上而成的。
- 19.如申請專利範圍第17項所述之半導體裝置，另包含有一第二電容器連接於該墊片與該NMOS元件的閘極；該第二電容器可降低該第二低電壓觸發橫向矽控整流器的觸發導通電壓，使其低於該NMOS元件的驟回崩潰電壓。
- 20.如申請專利範圍第19項所述之半導體裝置，該第二電容器是用一多晶矽(poly)層做在該墊片下而成的。

21.如申請專利範圍第13項所述之半導體裝置，該半導體裝置可用N型井區/P型基底的製程結構來實現。

- 22.如申請專利範圍第13項所述之半導體裝置，該半導體裝置可用P型井區/N型基底的製程結構來實現。
- 23.如申請專利範圍第13項所述之半導體裝置，該墊片是一輸入墊片。
- 24.如申請專利範圍第13項所述之半導體裝置，該墊片是一輸出墊片。

10.

圖示簡單說明：

第1圖係顯示一習知的靜電放電防護電路，此電路利用閘極接地的NMOS元件來當做第二級的靜電放電防護；

15. 第2圖係顯示一利用互補式低電壓觸發矽控整流器結構做的一習知的靜電放電防護電路；

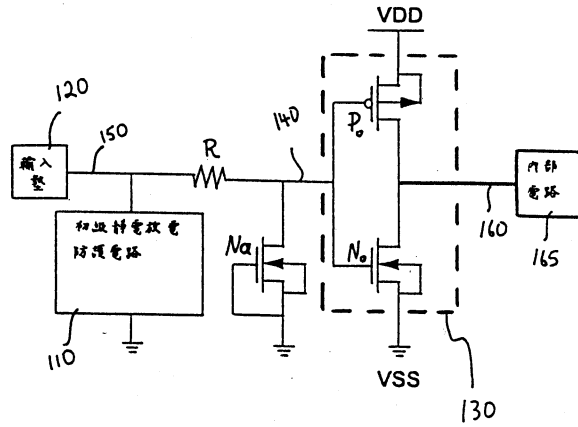
第3圖係顯示利用本發明所實現靜電放電防護電路；

20. 第4圖係顯示本發明之閘極耦合NTLSCR與PTLSCR元件製做於N型井區/P型基底互補式金氧半製程技術下之元件結構剖面圖；

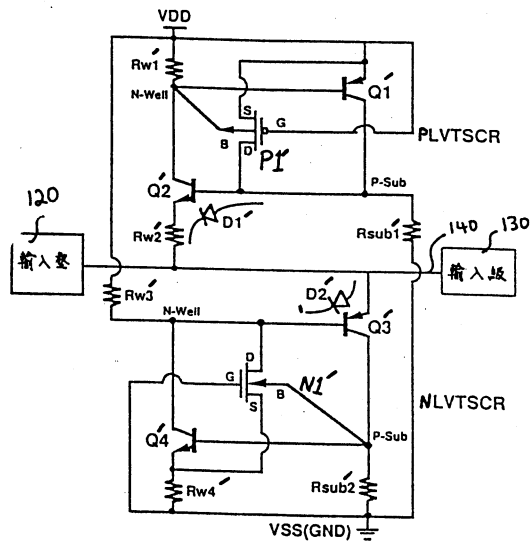
第5圖係顯示實施本發明之佈局上視圖。

25.

(4)

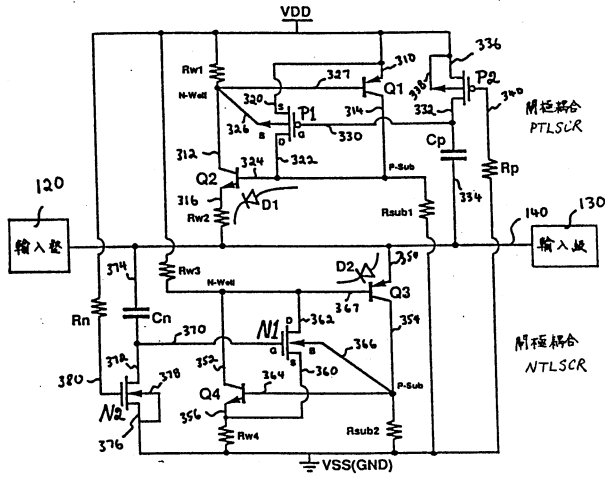


第一圖

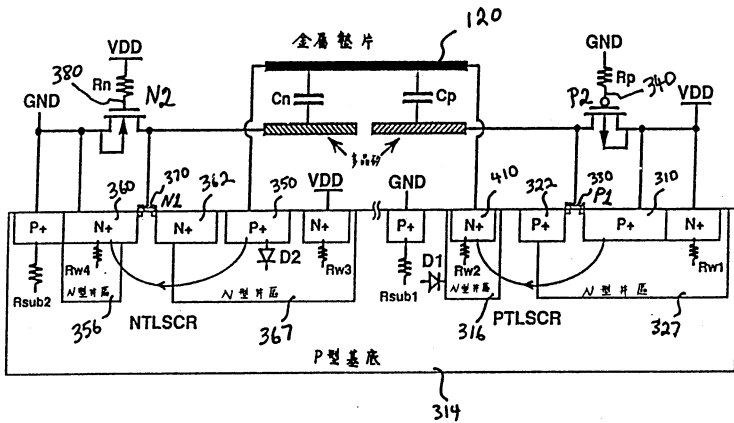


第二圖

(5)

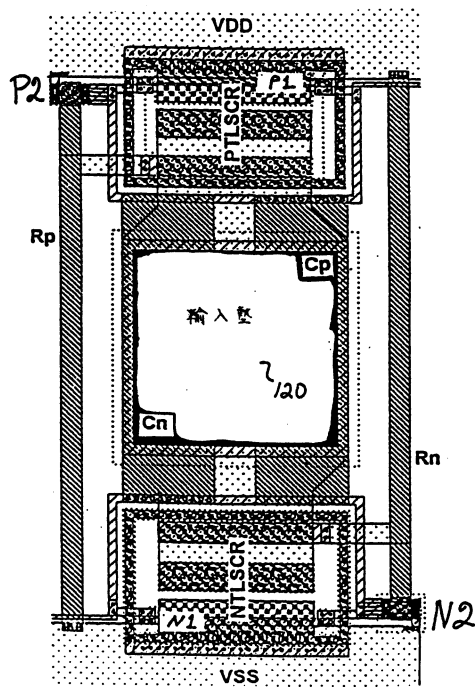


第三圖



第四圖

(6)



500 $\nearrow$

第五圖