

【54】名稱：高壓積體電路之靜電放電保護裝置

【21】申請案號：092131637

【22】申請日：中華民國92(2003)年11月12日

【11】公開編號：200516755

【43】公開日：中華民國94(2005)年5月16日

【72】發明人：林耿立 LIN, GEENG LIH；周業甯 JOU, YEH NING；柯明道 KER, MING DOU

【71】申請人：世界先進積體電路股份有限公司 VANGUARD INTERNATIONAL SEMICONDUCTOR CORPORATION
新竹縣新竹科學工業園區園區三路123號

【74】代理人：洪澄文；顏錦順

1

2

[57]申請專利範圍：

1.一種靜電放電保護裝置，包括：

一第一導電型基底；

一第二導電型井區，形成於該基底中；

一第二導電型第一擴散區，形成於該基底中；

一閘極，用以控制該第二導電型第一擴散區與該井區之電性連接，該閘極、該第二導電型第一擴散區與該井區構成一場效電晶體(field effect

transistor)；

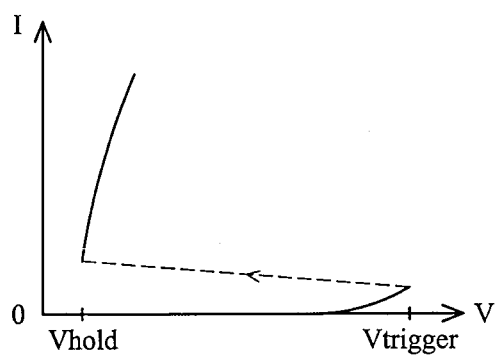
一第二導電型第二擴散區，形成於該井區中，作為該井區之電接觸點；以及

一第一導電型第一擴散區，形成於該井區中，位於該第二導電型第二擴散區與該閘極之間，其中，該第一導電型第一擴散區、該井區、該基底以及該第二導電型第一擴散區組成一寄生的矽控整流器。

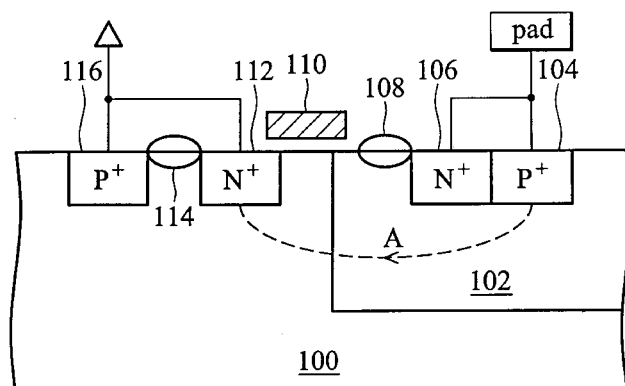
- 2.如申請專利範圍第1項所述之靜電放電保護裝置，其中，該靜電放電保護裝置另包含有一第一導電型第二擴散區，形成於該基底中，作為該基底之電接觸點。
- 3.如申請專利範圍第2項所述之靜電放電保護裝置，其中，該第一導電型為P型，該第二導電型為N型。
- 4.如申請專利範圍第3項所述之靜電放電保護裝置，其中，該第二導電型第一擴散區及該第一導電型第二擴散區在正常操作下，係連接一第一電源線。
- 5.如申請專利範圍第1項所述之靜電放電保護裝置，其中，該第一導電型為N型，該第二導電型為P型。
- 6.如申請專利範圍第5項所述之靜電放電保護裝置，其中，該第二導電型第一擴散區及該第一導電型第二擴散區在正常操作下，係連接一第二電源線。
- 7.如申請專利範圍第1項所述之靜電放電保護裝置，更包括一場氧化區，位於該閘極與該第一導電型第一擴散區之間。
- 8.如申請專利範圍第7項所述之靜電放電保護裝置，其中，該場氧化區係由STI或LOCOS製程所形成。
- 9.如申請專利範圍第1項所述之靜電放電保護裝置，其中，更包括一場氧化區，位於該第一導電型第二擴散區與該第二導電型第一擴散區之間。

- 10.如申請專利範圍第1項所述之靜電放電保護裝置，其中，更包括一虛置閘極，形成於該第一導電型第一擴散區與該第二導電型第二擴散區之間。
- 5.
- 11.如申請專利範圍第1項所述之靜電放電保護裝置，其中，該第一導電型第一擴散區接觸該第二導電型第二擴散區。
10. 圖式簡單說明：
第1圖為矽控整流器之IV曲線圖。
第2圖為習知ESD防護元件之剖面示意圖。
15. 第3圖為具有本發明之ESD保護裝置的一耐高電壓NMOS之剖面示意圖。
第4圖為具有本發明之ESD保護裝置的一耐高電壓NMOS之第二實施例剖面示意圖。
20. 第5圖為具有本發明之ESD保護裝置的一耐高電壓NMOS之第三實施例剖面示意圖。
第6圖為具有本發明之ESD保護裝置的一耐高電壓PMOS之第一實施例剖面示意圖。
25. 第7圖為具有本發明之ESD保護裝置的一耐高電壓PMOS之第二實施例剖面示意圖。
第8圖為具有本發明之ESD保護裝置的一耐高電壓PMOS之第三實施例剖面示意圖。
- 30.

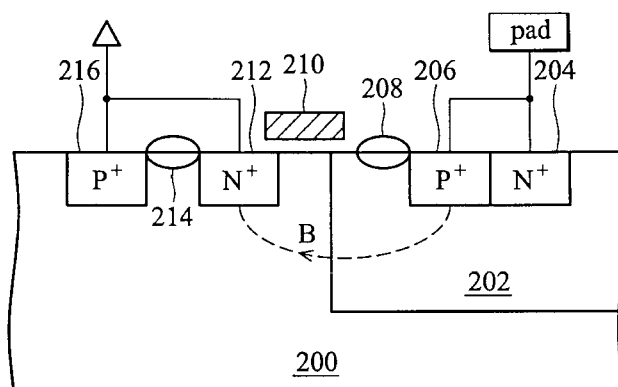
(3)



第 1 圖

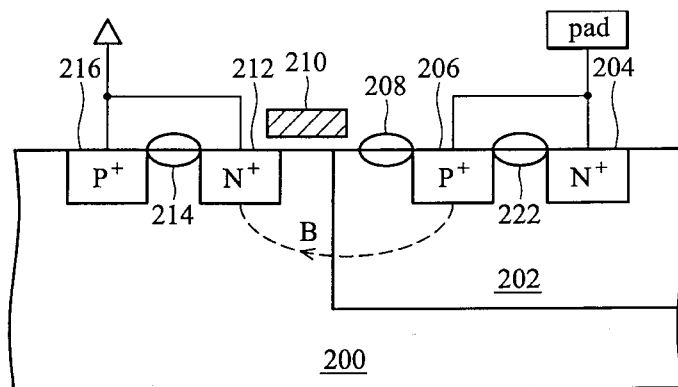


第 2 圖

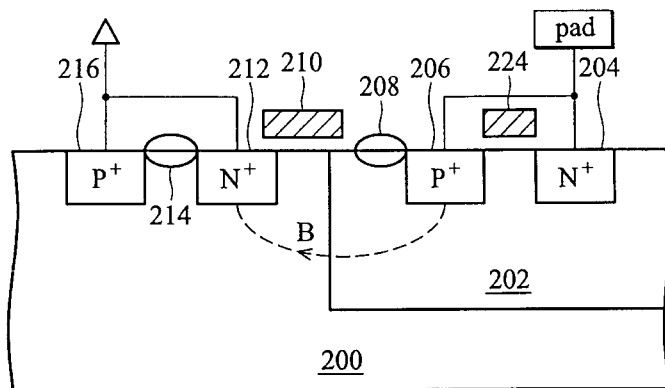


第 3 圖

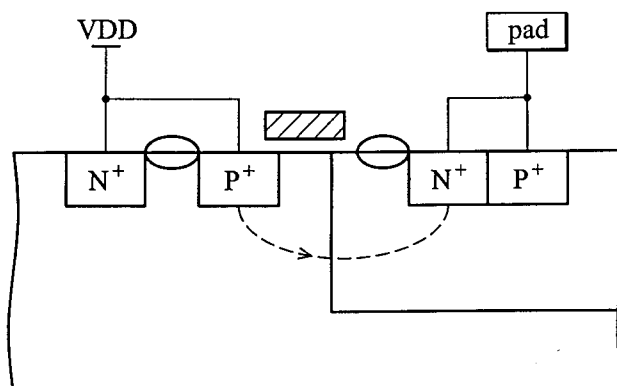
(4)



第 4 圖

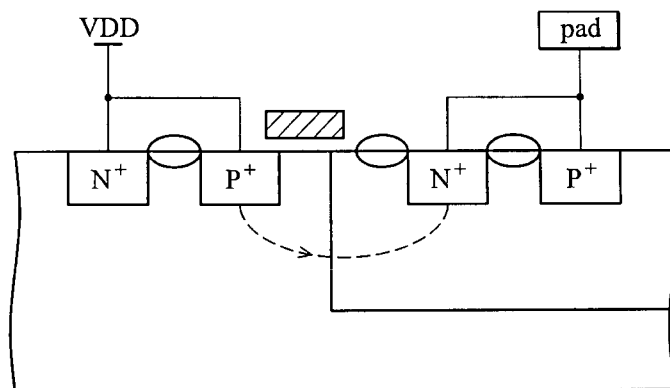


第 5 圖

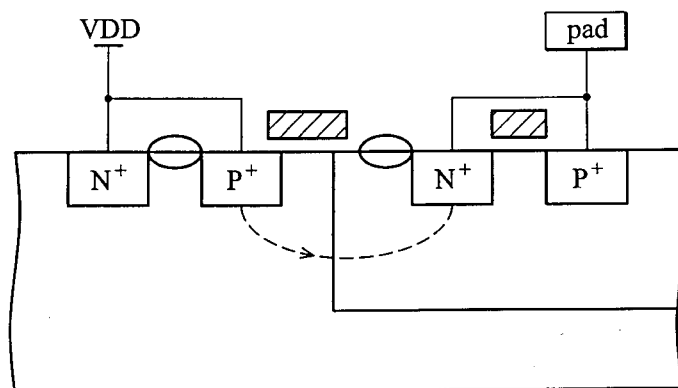


第 6 圖

(5)



第 7 圖



第 8 圖

