
【54】名稱： 具低電壓觸發雙極性電晶體之靜電放電防護單元

ESD PROTECTION UNIT HAVING LOW VOLTAGE TRIGGERED BJT

【21】申請案號：094138402

【22】申請日：中華民國94(2005)年11月2日

【11】公開編號：200625593

【43】公開日：中華民國95(2006)年7月16日

【30】優先權： 2005/01/12 美國 11/033,395

【72】發明人： 柯明道 KER, MING DOU；李健銘 LEE, CHEIN MING

【71】申請人： 矽統科技股份有限公司 SILICON INTEGRATED SYSTEMS CORP.

新竹縣新竹科學工業園區研新一路16號

【74】代理人： 劉育志

1

2

[57]申請專利範圍：

1. 一種靜電放電防護單元，提供從一 I/O 墊到一高電壓端 VDD 或一低電壓端 VSS 之靜電放電路徑，其包括：
第一靜電放電偵測電路連接該 I/O 墊；

一 N 觸發型低電壓觸發雙極性電晶體裝置，包括連接該高電壓端 VDD 之一射極、連接到該 I/O 墊之一集極、以及一 N 觸發端連接到該第一靜電放電偵測電路之一輸出端，其

中該 N 觸發型低電壓觸發雙極性電晶體在該 I/O 墊與該高電壓端 VDD 間具有一靜電時，該第一靜電放電偵測電路輸出一高能階輸出訊號至該 N 觸發型低電壓觸發雙極性電晶體之該 N 觸發端，以觸發並導通該 N 觸發型低電壓觸發雙極性電晶體；

一第二靜電放電偵測電路連接到該 I/O 墊；以及

10. 一 P 觸發型低電壓觸發雙極性電晶體

- 裝置，包括一連接該 I/O 墊之一射極、一連接到該低電壓端 VSS 之一集極、以及一 P 觸發端連接到該第二靜電放電偵測電路之一輸出端；其中該 P 觸發型低電壓觸發雙極性電晶體在該 I/O 墊與該低電壓端 VSS 間具有靜電時，該第二靜電放電偵測電路輸出一低能階觸發訊號至該 P 觸發型低電壓觸發雙極性電晶體之該 P 觸發端，以觸發並導通該 P 觸發型低電壓觸發雙極性電晶體。
- 2.如申請專利範圍1所述之靜電放電防護單元，其中上述之 I/O 墊和該 N 觸發型低電壓觸發雙極性電晶體的該集極之間更設有一隔離元件。
 - 3.如申請專利範圍1所述之靜電放電防護單元，其中上述之第一靜電放電偵測電路包括一第一 RC 延遲電路和一 NMOS 電晶體。
 - 4.如申請專利範圍3所述之靜電放電防護單元，其中上述之第一 RC 延遲電路包括連接該高電壓端 VDD 之一第一電容，以及連接該低電壓端 VSS 之一第一電阻。
 - 5.如申請專利範圍4所述之靜電放電防護單元，其中該 NMOS 電晶體之一閘極通過該第一電容連接到該高電壓端 VDD，並經由該第一電阻連接到該低電壓端 VSS，以及該 NMOS 電晶體之一源極連接到該 I/O 墊，其一汲極連接到該低電壓觸發雙極性電晶體之該 N 觸發端。
 - 6.如申請專利範圍4所述之靜電放電防護單元，其中該第一電容係可以為 PMOS、NMOS、MIM 及 Varactor 或其組合之其中一種。
 - 7.如申請專利範圍3所述之靜電放電防護單元，其中該第二靜電放電偵測電路包括一第二 RC 延遲電路和一 PMOS 電晶體。

- 8.如申請專利範圍7所述之靜電放電防護單元，其中該第二 RC 延遲電路包括連接到該低電壓端 VSS 之一第二電容和連接到該高電壓端 VDD 之一第二電阻。
- 9.如申請專利範圍8所述之靜電放電防護單元，其中該 PMOS 電晶體之一閘極係經由該第二電容連接到該低電壓端 VSS，並經由該第二電阻連接到該高電壓端 VDD，且該 PMOS 電晶體之一源極係連接到該 I/O 墊，其一汲極連接到該 P 觸發型低電壓觸發雙極性電晶體之該 P 觸發端。
- 10.一種靜電放電防護單元，提供從複數個 I/O 墊到一高電壓端 VDD 或一低電壓端 VSS 之靜電放電路徑，包括：
 - 一第一靜電放電偵測電路連接到該複數個 I/O 墊，其具有一第一 RC 延遲電路，連接於該高電壓端 VDD 和該低電壓端 VSS 之間，以及複數個 NMOS 電晶體，每一 NMOS 電晶體之一閘極係連接到該第一 RC 延遲電路，其源極連接到其中一對應的 I/O 墊；
 - 複數個 N 觸發型低電壓觸發雙極性電晶體，每一 N 觸發型低電壓觸發雙極性電晶體包括連接到該高電壓端 VDD 之一射極、連接到該 I/O 墊之一集極、以及一 N 觸發端係連接該 NMOS 電晶體之一汲極，其中該 N 觸發型低電壓觸發雙極性電晶體在該 I/O 墊與該高電壓端 VDD 之間具有一靜電時，該第一靜電放電偵測電路輸出一高能階觸發訊號予該 N 觸發型低電壓觸發雙極性電晶體之該 N 觸發端，以觸發並導通該 N 觸發型低電壓觸發雙極性電晶體；
 - 一第二靜電放電偵測電路連接到該複數個 I/O 墊，包括一第二 RC 延遲

電路連接於該高電壓端 VDD 和該低電壓端 VSS 之間，以及複數個 PMOS 電晶體其中每一 PMOS 電晶體之一閘極連接到該第二 RC 延遲電路，其源極連接到其中一對應的 I/O 墊；以及

複數個 P 觸發型低電壓觸發雙極性電晶體裝置，每一 P 觸發型低電壓觸發雙極性電晶體裝置包括連接到該 I/O 墊之一射極、連接到該低電壓端 VSS 之一集極、以及一 P 觸發端連接到該 PMOS 電晶體之一汲極，其中該 P 觸發型低電壓觸發雙極性電晶體在該 I/O 墊與該低電壓端 VSS 之間具有一靜電時，該第二靜電放電偵測電路輸出一低能階觸發訊號予該 P 觸發型低電壓觸發雙極性電晶體之該 P 觸發端，以觸發並導通該 P 觸發型低電壓觸發雙極性電晶體。

11. 一種適用於積體電路之靜電放電防護單元，其中至少部分電路包括一高電壓端 VDD 及一接地端 VSS，其包括：

一觸發電路，係連接到該高電壓端 VDD 和該接地端 VSS 之間以偵測一電源電壓，其具有一輸出端，在該高電壓端 VDD 與該接地端 VSS 之間具有一靜電時，相對輸出一觸發訊號；以及

一低電壓觸發雙極性電晶體，連接於該高電壓端 VDD 和該接地端 VSS 之間，其具有一觸發端連接到前述觸發電路之該輸出端，以根據該觸發訊號，將一靜電放電電流從該高電壓端 VDD 釋放到該接地端 VSS。

12. 如申請專利範圍 11 所述之靜電放電防護單元，其中該低電壓觸發雙極性電晶體包括之一射極，連接到該高電壓端 VDD，以及一集極，連接到該接地端 VSS。

13. 如申請專利範圍 11 所述之靜電放電防護單元，其中該觸發電路為一電源偵測電路。

14. 如申請專利範圍 11 所述之靜電放電防護單元，其中該觸發電路包括一 RC 延遲電路扣一反向器，其中該 RC 延遲電路具有連接到該高電壓端 VDD 之一電阻和連接到該接地端 VSS 之一電容，以及該反向器係接收該 RC 延遲電路之一輸出訊號，並相對輸出一觸發訊號予該低電壓觸發雙極性電晶體，且該低電壓觸發雙極性電晶體為 P 觸發型。

15. 如申請專利範圍 11 所述之靜電放電防護單元，其中該觸發電路包括一 RC 延遲電路和一對串聯的反向器，其中該 RC 延遲電路具有連接到該高電壓端 VDD 之一電阻和連接到該接地端 VSS 之一電容，以及該對反向器係接收該 RC 延遲電路之一輸出訊號，並相對輸出一觸發訊號予該低電壓觸發雙極性電晶體，且此該低電壓觸發雙極性電晶體為 N 觸發型。

16. 如申請專利範圍 12 所述之靜電放電防護單元，具有至少一個二極體連接於該低電壓觸發雙極性電晶體之該集極與該接地端 VSS 之間。

17. 如申請專利範圍 12 所述之靜電放電防護單元，具有至少一個二極體連接於該低電壓觸發雙極性電晶體之該射極與高電壓端 VDD 之間。

18. 如申請專利範圍 12 所述之靜電放電防護單元，具有至少一個二極體連接於該低電壓觸發雙極性電晶體之該射極與該高電壓端 VDD 之間，以及具有至少一個二極體連接於該低電壓觸發雙極性電晶體之一 P 型基底與該接地端 VSS 之間。

40. 圖式簡單說明：

第一圖至第三圖分別為三種習知靜電放電防護電路之電路示意圖。

第四 A 和四 B 圖係為應用於本發明之靜電放電防護單元中之一 N 觸發型 LVTBJT 之示意圖。

第五圖係依據本發明第一較佳實施例之一靜電放電防護單元之電路示意圖，其具有一 RC 偵測電路。

第六圖係依據本發明第二較佳實施例之一靜電放電防護單元之電路示意圖，其具有一 RC 偵測電路。

第七圖係依據本發明第三較佳實施例之一靜電放電防護單元之之電路示意圖，其具有一電源偵測電路。

第八圖係依據本發明第四較佳實施例之一靜電放電防護單元之電路示意圖，其具有一電源偵測電路。

第九圖係依據本發明第五較佳實

施例之一靜電放電防護單元之電路示意圖，其具有一電源偵測電路。

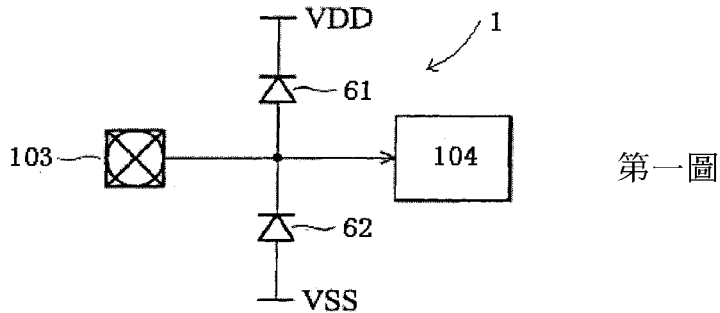
第十圖係依據本發明第六較佳實施例之一靜電放電防護單元之電路示意圖，其具有一電源偵測電路。

第十一圖係依據本發明第七較佳實施例之一靜電放電防護單元之電路示意圖，其具有一電源偵測電路。

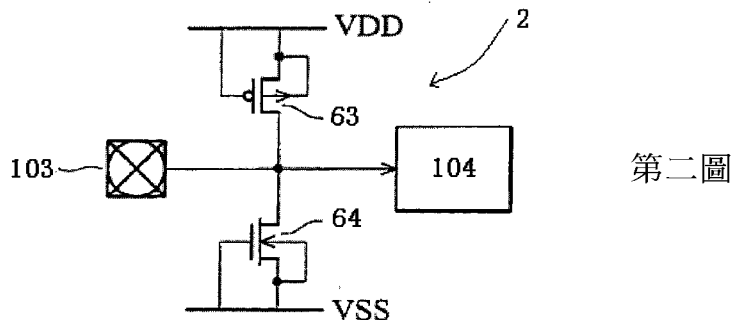
第十二圖係依據本發明第八較佳實施例之一靜電放電防護單元之電路示意圖，其具有一電源偵測電路。

第十三圖係依據本發明第九較佳實施例之一靜電放電防護單元之電路示意圖，其具有一電源偵測電路。

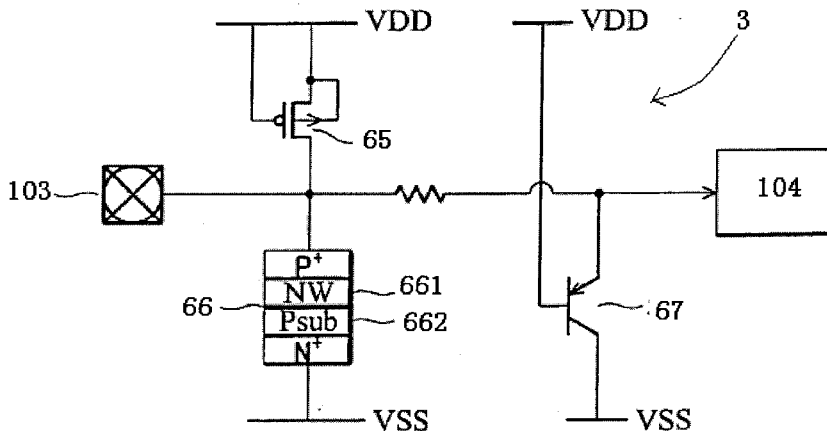
第十四圖係依據本發明第十較佳實施例之一靜電放電防護單元之電路示意圖，其具有一電源偵測電路。



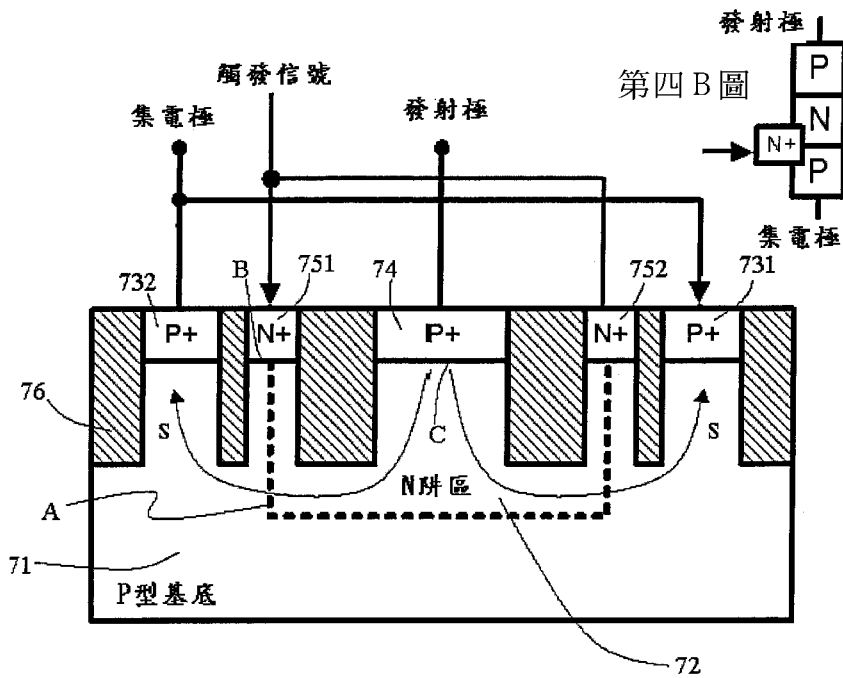
第一圖



第二圖

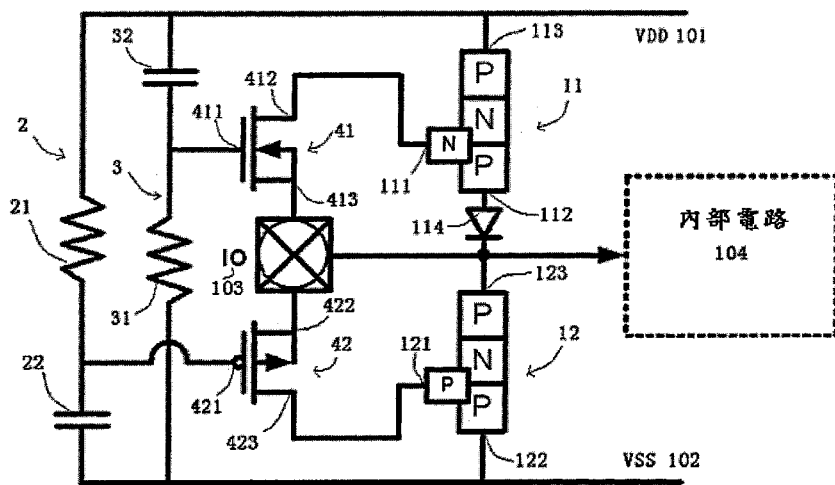


第三圖

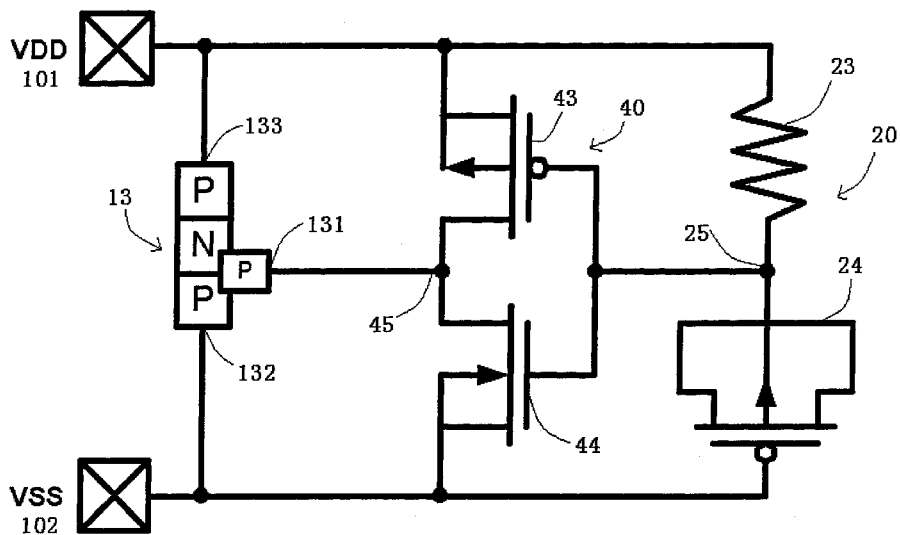


第四 A 圖

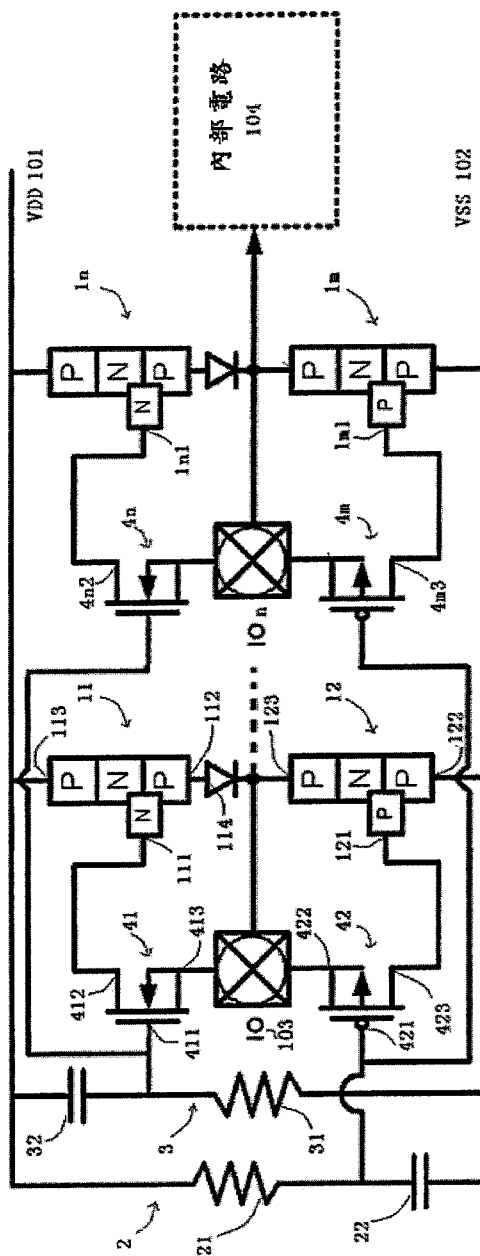
(6)



第五圖

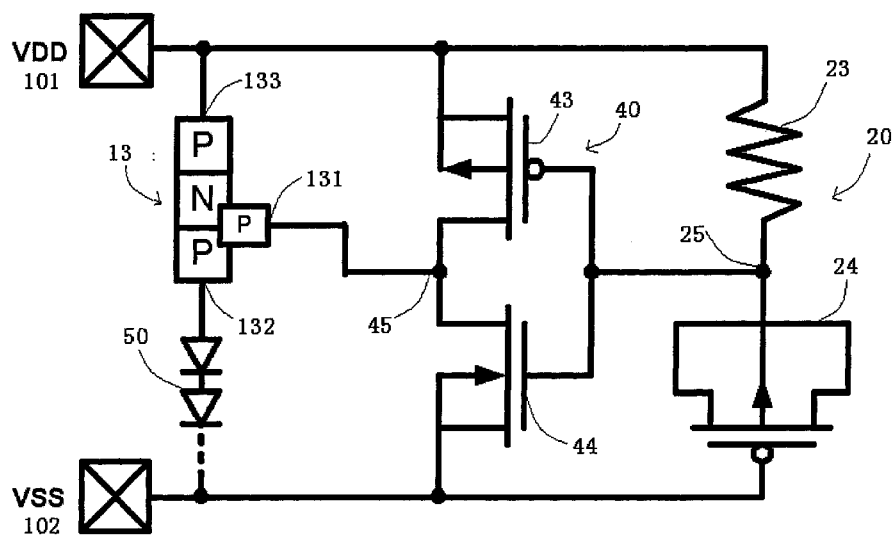


第七圖

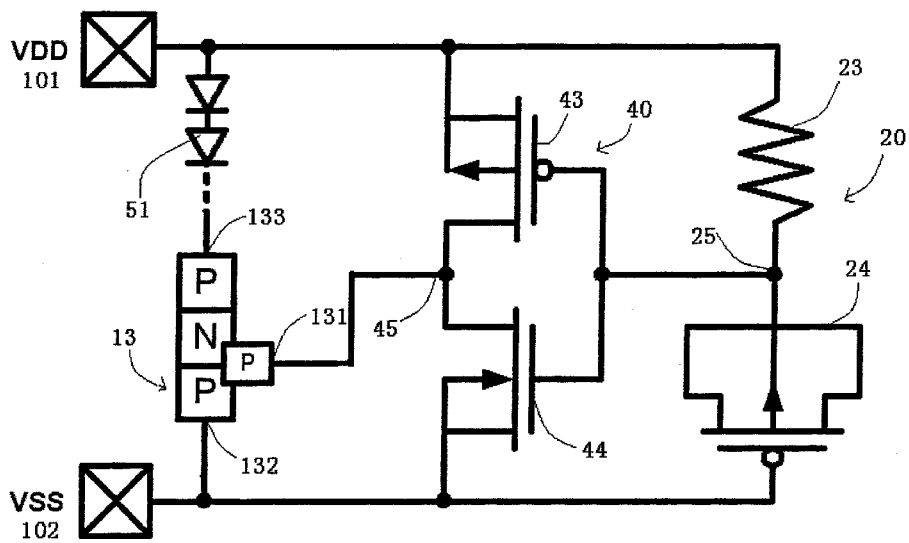


第六圖

(8)

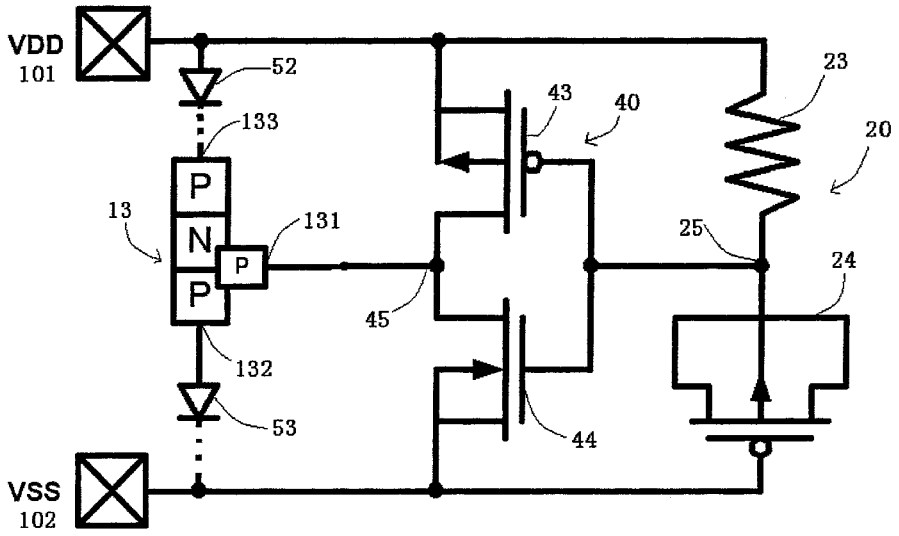


第八圖

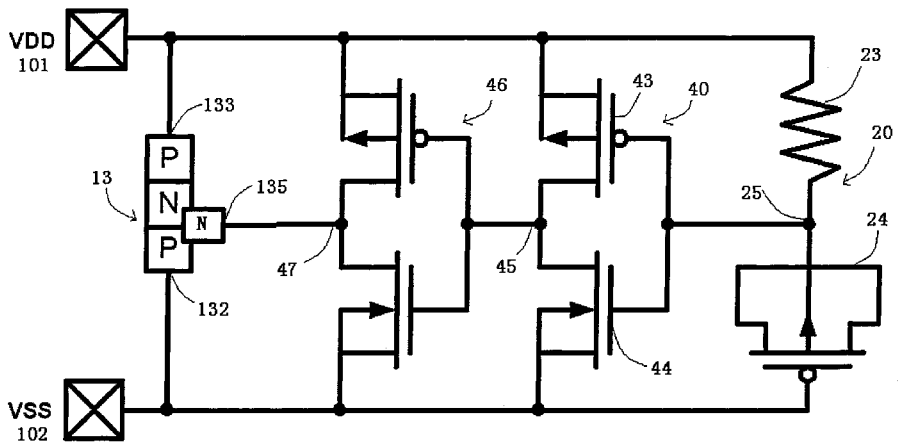


第九圖

(9)

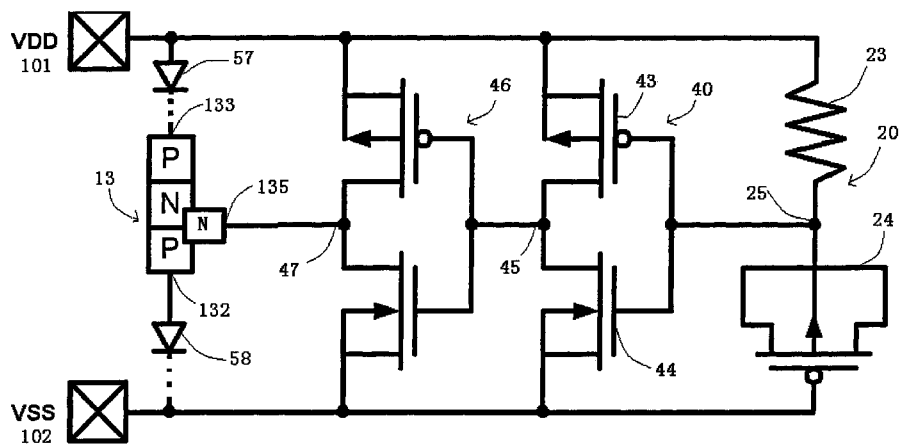


第十圖



第十一圖

– 2952 –



第十四圖

