

【19】中華民國

【12】專利公報 (B)

【11】證書號數：I287357

【45】公告日：中華民國96(2007) 年 9 月 21 日

【51】Int. Cl. : **H03K19/0175 (2006.01)**

發明 全 7 頁

【54】名稱： 避免漏電流之混合電壓共容輸出入緩衝電路之輸入端電路

INPUT STAGE FOR MIXED-VOLTAGE-TOLERANT BUFFER WITHOUT LEAKAGE ISSUE

【21】申請案號：093126870

【22】申請日：中華民國93(2004)年9月6日

【11】公開編號：200520386

【43】公開日：中華民國94(2005)年6月16日

【30】優先權： 2003/11/20 美國 60/523,317

2004/06/21 美國 10/871,348

【72】發明人： 莊哲豪 CHUANG, CHE HAO；柯明道 KER, MING DOU

【71】申請人： 宇東科技股份有限公司 TRANSPACIFIC IP LTD.

臺北市松山區敦化北路205號14樓之1402室

【74】代理人： 廖學忠

1

2

[57]申請專利範圍：

1.一種用於混合電壓系統之緩衝電路，該緩衝電路包含一操作於第一電壓供應源之第一電路，以及一操作於第二電壓供應源之第二電路，該緩衝電路係介於該第一電路及該第二電路之間，係以連接該第一電路及該第二電路，並連接至該第二電壓供應源，而該第一電路、該第二電路、以及該緩衝電路皆連接至一第三電壓供應源，該緩衝電路包括：

一第一節點，係連接至該第一電路；

一第二節點，係連接至該第二電路；以及

5. 一輸入端電路，係連接於該第一節點及該第二節點之間，以從該第一電路上之第一節點接收至少一訊號，以及提供至少一訊號至該第二電路上之第二節點，該輸入端電路包括：

一第一 NMOS 電晶體，係連接至該第一節點；

一第一反向器，係連接至該第一 NMOS 電晶體；

一第二反向器，係連接於該第一反向器及該第二節點之間；以及

一第一 PMOS 電晶體，係連接至該第一反向器，以及該第二電壓供應源，其中，該第一 PMOS 電晶體係包含一基底、一閘極、一源極、以及一汲極，其中，該第一 PMOS 電晶體之閘極係連接至該第二節點。

2.如申請專利範圍第1項所述之緩衝電路，其中，該第一電壓供應源係高於該第二電壓供應源，該第二電壓供應源係高於該第三電壓供應源，以及該三電壓供應源係接地端。

3.如申請專利範圍第1項所述之緩衝電路，其中，該緩衝電路更包含一二極體，該二極體包含一正端及一負端，其中，該二極體之負端係連接至該第一節點，以及該正端係連接至該第二節點。

4.如申請專利範圍第1項所述之緩衝電路，其中，該第一反向器包含一第二 PMOS 電晶體以及一第二 NMOS 電晶體，每一該第一 NMOS 電晶體、第二 NMOS 電晶體，以及第二 PMOS 電晶體包含一基底、一閘極、一源極、以及一汲極，其中，該第二 PMOS 電晶體及該第二 NMOS 電晶體之閘極係互相連接，並連接至該第一 NMOS 電晶體之汲極；該第二 PMOS 電晶體及該第二 NMOS 電晶體之汲極係互相連接，並連接至該第二反向器之輸入端；該第二 PMOS 電晶體之源極係連接至該第一 PMOS 電晶體，以及該第二 NMOS 電晶體之基底及源極，且同時連接至該第三電壓供應源。

5.一混合電壓系統，其包括；

一第一電路，係操作於一第一電壓供應源；

一第二電路，係操作於一第二電壓供應源，其中，該第一電壓供應源係高於該第二電壓供應源；以及

一緩衝電路，係連接於該第一電路及該第二電路之間，並連接至該第二電壓供應源，其包括：

10. 一第一節點，係連接至該第一電路；

一第二節點，係連接至該第二電路；

15. 一輸入端電路，係連接於該第一節點以及該第二節點之間，以從該第一電路上之第一節點接收至少一訊號，以及提供至少一訊號至該第二電路上之第二節點，該輸入端電路包括：

20. 一第一 NMOS 電晶體，係連接至該第一節點；

一反向器，係連接至該第一 NMOS 電晶體；

25. 一第二反向器，係連接於該第一反向器及該第二節之間；

一第一 PMOS 電晶體，係連接至該第一反向器，以及可連接至該第二電壓供應源，其中，該第一 PMOS 電晶體係包含一基底、一閘極、一

30. 源極、以及一汲極，該第一 PMOS 電晶體之閘極係連接至該第二節點，該第一 PMOS 電晶體之汲極係連接至該第一反向器；以及

35. 一二極體，包括一正端及一負端，該二極體之負端係連接至該第一節點，且該正端係連接至該第二節點；以及

40. 一輸出端電路，係連接於該第一節點及第二節點之間，以由該第二電路之該第二節點接收至少一訊號，

以及提供至少一訊號至該第一電路之該第一節點。

6.一種用於混合電壓系統之緩衝電路，該混合電壓系統包含一操作於第一電壓供應源之第一電路，以及一操作於第二電壓供應源之第二電路，該緩衝電路係介於該第一電路及該第二電路之間，係以連接該第一電路及該第二電路，並連接至該第二電壓供應源，而該第一電路、該第二電路、以及該緩衝電路皆連接至一第三電壓供應源，該緩衝電路包括：

一第一節點，係連接至該第一電路；

一第二節點，係連接至該第二電路；以及

一輸入端電路，係連接於該第一節點及該第二節點之間，以從該第一電路上之第一節點接收至少一訊號，以及提供至少一訊號至該第二電路上之第二節點，該輸入端電路包括：

一第一部位，係連接至該第一節點；以及

一反向器，該反向器係包含一第一輸入端、一第二輸入端、以及一輸出端，其中，該第一輸入端及第二輸入端係連接至該第一部位，以及該輸出端係連接至該第二節點；

其中，該第一部位係提供一第一訊號至該反向器之第一輸入端，以回應一高訊號至第一節點，以及提供一第二訊號至該反向器之第二輸入端，以回應一低訊號至該第二節點。

7.如申請專利範圍第6項所述之緩衝電路，其中，該第一電壓供應源係高於該第二電壓供應源，該第二電壓供應源係高於該第三電壓供應源，

以及該第三電壓供應源係接地。

8.如申請專利範圍第6項所述之緩衝電路，其中，該第一電壓供應源係3.3V，第二電壓供應源係1.8V，該高訊號電壓位準係3.3V，以及該低訊號電壓位準係近似於該第三電壓供應源。

9.如申請專利範圍第8項所述之緩衝電路，其中，該第一訊號之電壓位準係近似於該第二電壓供應源，以及該第二訊號之電壓位準係近似於該第三電壓供應源。

10.如申請專利範圍第9項所述之緩衝電路，其中，該第一部位更提供一第三訊號至該反向器之第一輸入端，以回應一高訊號至該第一節點，以及提供一第四訊號至該反向器之第二輸入端，以回應一低訊號至該第二節點，其中，該第三訊號之電壓位準係低於該第二電壓供應源，以及該第四訊號之電壓位準係高於該第三電壓供應源。

11.如申請專利範圍第6項所述之緩衝電路，其中，該反向器係包括一PMOS電晶體以及一NMOS電晶體，每一電晶體係包含一基底、一閘極、一源極、以及一汲極，其中，該PMOS電晶體之閘極係組成反向器之該第一輸入端，該NMOS電晶體之閘極係組成該反向器之該第二輸入端，以及該PMOS電晶體及該NMOS電晶體之汲極係互相連接以組成該反向器之該輸出端。

12.如申請專利範圍第6項所述之緩衝電路，其中，該輸入電路之該第一部位包括一NMOS電晶體，係連接於該第一節點及該反向器之該第二輸入端之間，一第一二極體係連接於該第一節點及該反向器之第一輸入端之間，以及複數個第二二極體

係連接於該第一節點及該反向器之第一輸入端之間，其中，每一二極體係包含一正端及一負端，該第一二極體之正端係連接至該反向器之該第一輸入端，該第一二極體之負端係連接至該第一節點，該等第二二極體係以串接方式連接，其中，該等第二二極體之第一正端係連接至該第一節點，該等第二二極體之最後負端係連接至該反向器之第一輸入端，以及除最後一第二二極體之外，該等第二二極體之每一負端係連接於鄰近二極體之正端。

13.如申請專利範圍第12項所述之緩衝電路，其中，該第一電壓供應源係3.3V，該第二電壓供應源係1.8V，以及該等第二二極體係包含三個二極體。

14.如申請專利範圍第12項所述之緩衝電路，其中，該反向器係包含一PMOS電晶體，以及該等第二二極體之數量係依據該第一及第二電壓供應源、該PMOS電晶體之臨界電壓、以及該輸入端電路所製造之基底材質做決定。

15.一種混合電壓系統，包含：
一第一電路，係操作於一第一電壓供應源；
一第二電路，係操作於一第二電壓供應源，其中，該第一電壓供應源係高於該第二電壓供應源；以及
一緩衝電路，係連接於該第一電路及該第二電路之間，並連接至該第二電壓供應源及該第三電壓供應源，其包含：
一第一節點，係連接至該第一電路；
一第二節點，係連接至該第二電路；
一輸入端電路，係連接於該第一節

點以及該第二節點之間，以從該第一電路上之第一節點接收至少一訊號，並提供至少一訊號至該第二電路上之第二節點，該輸入端電路包括：

一第一部位，係連接至該第一節點；以及

一反向器，係包含一第一輸入端、一第二輸入端、以及一輸出端，其中，該第一輸入端及該第二輸入端係連接至該第一部位，以及該輸出端係連接至該第二節點；

其中，該第一部位係提供一第一訊號至該反向器之第一輸入端及一第二訊號至該反向器之第二輸入端，以回應一高訊號至該第一節點，以及提供一第三訊號至該反向器之第一輸入端及一第四訊號至該反向器之第二輸入端，以回應一低訊號至該第二節點，其中，該高訊號之電壓位準係近似於該第一電壓供應源，以及該低訊號之電壓位準係近似於該第三電壓供應源。

16.如申請專利範圍第15項所述之混合電壓系統，其中，該第三電壓供應源係一接地端。

17.如申請專利範圍第15項所述之混合電壓系統，其中，該第一訊號之電壓位準係近似於該第二電壓供應源，該第二訊號之電壓位準係低於該第二電壓供應源，該第三訊號之電壓位準係高於該第三電壓供應源，以及該第四訊號之電壓位準係近似於該第三電壓供應源。

18.如申請專利範圍第15項所述之混合電壓系統，其中，該反向器係包括一PMOS電晶體以及一NMOS電晶體，每一電晶體係包含一基底、一閘極、一源極、以及一汲極，其中，該PMOS電晶體之閘極係組成

該反向器之該第一輸入端，該 NMOS 電晶體之閘極係組成該反向器之該第二輸入端，以及該 PMOS 電晶體及該 NMOS 電晶體之汲極係互相連接以組成該反向器之該輸出端。

- 19.如申請專利範圍第 15 項所述之混合電壓系統，其中，該輸入電路之該第一部位包括一 NMOS 電晶體，係連接於該第一節點及該反向器之該第二輸入端之間，一第一二極體係連接於該第一節點及該反向器之第一輸入端之間，以及複數個第二二極體係連接於該第一節點及該反向器之第一輸入端之間，其中，每一二極體係包含一正端及一負端，該第一二極體之正端係連接至該反向器之該第一輸入端，該第一二極體之負端係連接至該第一節點，該等第二二極體係以串接方式連接，其中，該等第二二極體之第一正端係連接至該第一節點，該等第二二極體之最後負端係連接至該反向器之

第一輸入端，以及除最後一第二二極體之外，該等第二二極體之每一負端係連接於鄰近二極體之正端。

- 20.如申請專利範圍第 19 項所述之混合電壓系統，其中，該反向器係包含一 PMOS 電晶體，以及該等第二二極體之數量係依據該第一及第二電壓供應源、該 PMOS 電晶體之臨界電壓、以及該輸入端電路-所製造之基底材質做決定。

圖式簡單說明：

圖 1 係習知混合電壓共容輸出入緩衝電路之輸入端電路。

圖 2 係本發明之混合電壓共容輸出入緩衝電路之輸入端電路的第一較佳實施例。

圖 3 係本發明之混合電壓共容輸出入緩衝電路之輸入端電路的第二較佳實施例。

圖 4 係本發明之混合電壓共容輸出入緩衝電路之輸入端電路的第三較佳實施例。

(6)

100

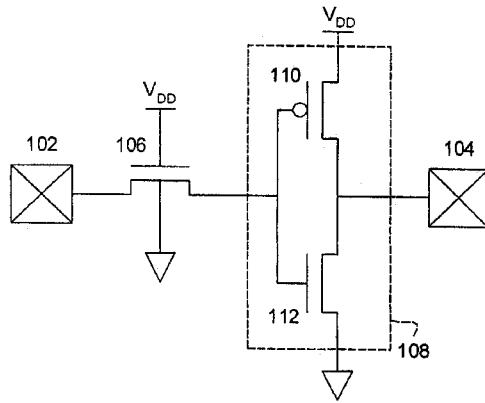


圖 1

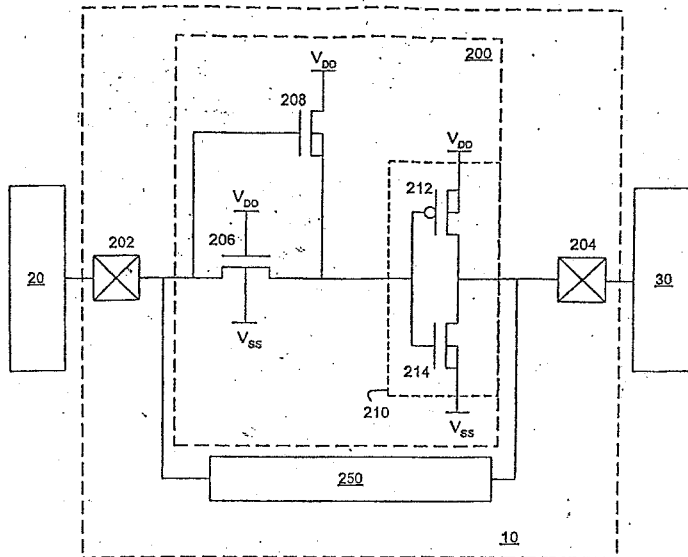


圖 2

(7)

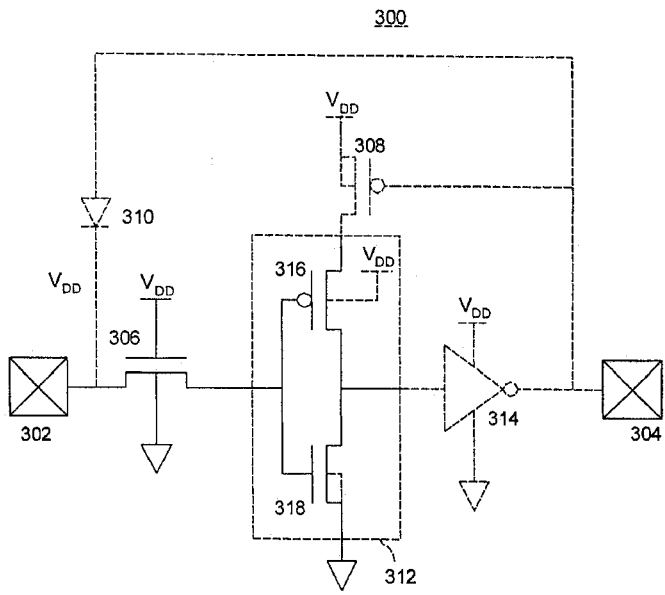


圖 3

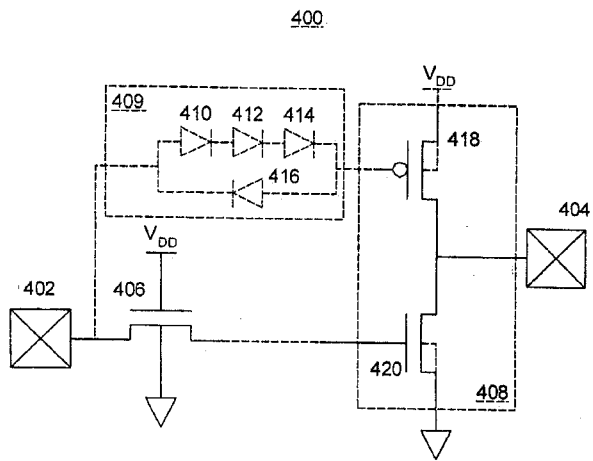


圖 4

