

【54】名稱：混合電壓電路中採用薄氧化層元件及動態N井區偏壓電路的CMOS輸入、傳送緩衝電路

MIXED-VOLTAGE CMOS I/O BUFFER WITH THIN OXIDE DEVICE AND DYNAMIC N-WELL BIAS CIRCUIT

【21】申請案號：093109440

【22】申請日：中華民國93(2004)年4月6日

【11】公開編號：200505160

【43】公開日：中華民國94(2005)年2月1日

【30】優先權：2003/07/25 美國 10/626,601

【72】發明人：柯明道 KER, MING DOU；蔡佳昇 TSAI, CHIA SHENG；莊哲豪 CHUANG, CHE HAO

【71】申請人：財團法人工業技術研究院 INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE
新竹縣竹東鎮中興路4段195號

【74】代理人：邱琦瑛

1

2

[57]申請專利範圍：

1.一種用於混合電壓電路中的緩衝電路，該緩衝電路具有一電源電壓，且包含：

一節點；

連接於該節點的一驅動電路，包含

至少一第一PMOS電晶體，該第一

PMOS電晶體含一基體，一汲極，一

源極，以及介於該汲極及該基體間

的一寄生二極體，該驅動電路有

開、關兩個狀態；以及

一第二PMOS電晶體，包含一源極及一汲極且其中之一與該第一PMOS電晶體之該基體相連，又及，當高於該電源電壓值之一第一信號出現在該節點時，該第二PMOS電晶體關閉。

2.如申請專利範圍第1項之電路，其中當該第一信號出現在該節點時，該第一PMOS電晶體之一基體電壓值與該第一信號電壓值大致相等。

- 3.如申請專利範圍第1項之電路，其中該第二 PMOS 電晶體包含一閘極及一基體，該閘極與該第一 PMOS 電晶體之該閘極相連，該基體與該第一 PMOS 電晶體之該基體相連，且該源極、該汲極其中另外一個可施加該電源電壓。
- 4.如申請專利範圍第1項之電路，其中當該驅動電路處於開的狀態、且該節點電壓與該電源電壓大致相等時，該第二 PMOS 電晶體導通。
- 5.如申請專利範圍第1項之電路，其中該驅動電路更包含兩個堆疊 NMOS 電晶體，該堆疊 NMOS 電晶體與該第一 PMOS 電晶體串接，且當該驅動電路處於關的狀態時，該堆疊 NMOS 電晶體及該第一 PMOS 電晶體均關閉，當該驅動電路處於開的狀態時，該第一 PMOS 電晶體導通，或該堆疊 NMOS 電晶體中兩個 NMOS 電晶體均導通。
- 6.一種連接於一第一電路及一第二電路之間的緩衝電路，該緩衝電路工作在一電源電壓，且包含：
 - 一節點；
 - 一驅動電路，包含一第一電晶體及兩個堆疊電晶體，該第一電晶體含一閘極，一汲極，一源極，且該源極及該汲極之一與該節點相連，該堆疊電晶體包含一第二電晶體及一第三電晶體；
 - 一第四電晶體，包含一源極及一汲極，且其中之一與一第一電晶體之該閘極相連，其中之另一個則與該節點相連，且當具有高於該電源電壓值之一第一信號出現在該節點時，該第四電晶體導通並提供一第一偏壓給該第一電晶體之該閘極；以及
 - 與該節點、該第二電晶體、以及該

- 第三電晶體均相連的一閘極跟蹤電路。
- 7.如申請專利範圍第6項之電路，其中該閘極跟蹤電路包含一第五電晶體，該第五電晶體包含一源極，一汲極，以及一閘極，且該源極及該汲極之一與該節點相連，該閘極與該第二電晶體與該第三電晶體均相連。
10. 8.如申請專利範圍第6項之電路，其中該第四電晶體包含一基體及一閘極，且該基體與該第一電晶體之該基體相連，該閘極可施加該電源電壓。
15. 9.如申請專利範圍第7項之電路，其中當該第一信號出現在該節點時，該第五電晶體導通。
20. 10.如申請專利範圍第6項之電路，其中該第一偏壓之電壓值與該第一信號大致相等。
25. 11.如申請專利範圍第6項之電路，其中該閘極跟蹤電路更包含一開關，且當該緩衝電路工作在傳送模式時，該開關開通。
30. 12.如申請專利範圍第11項之電路，其中該開關更包含一第六電晶體及一第七電晶體，該第六電晶體及該第七電晶體分別含一源極，一汲極，以及一閘極，且該第六電晶體之源極及汲極之一、該第七電晶體之源極及汲極之一與該第一電晶體之該閘極相連，該第六電晶體之該閘極可施加該電源電壓，該第七電晶體之該閘極與該第五電晶體之該源極及該汲極之另外一個相連。
35. 13.如申請專利範圍第12項之電路，其中當低於該電源電壓值之一第二信號出現在該節點時，該第七電晶體導通。
40. 14.一種工作於一電源電壓之緩衝電

路，包含：

一節點；

連接於該節點之一驅動電路，包含至少一第一 PMOS 電晶體，且該第一 PMOS 電晶體包含一閘極及一基體，該驅動電路有開、關兩個狀態；

一第二 PMOS 電晶體，包含一源極及一汲極，該源極及汲極之一與該第一 PMOS 電晶體之該基體相連，且當高於該電源電壓值之一第一信號出現在該節點時，該第二 PMOS 電晶體關閉；

一跟蹤電路的第一部分電路，該第一部分電路與該第一 PMOS 電晶體之該閘極相連，且當該第一信號出現在該節點時提供給該第一 PMOS 電晶體之該閘極一第一偏壓；

該跟蹤電路的第二部分電路，該第二部分電路與該第一 PMOS 電晶體之該閘極相連，且當該驅動電路處於關的狀態、以及不高於該電源電壓值之一第二信號出現在該節點時提供給該第一 PMOS 電晶體之該閘極一第二偏壓。

15.如申請專利範圍第 14 項之電路，其中該驅動電路更包含一對堆疊 NMOS 電晶體，該堆疊 NMOS 電晶體與該第一 PMOS 電晶體相連。

16.如申請專利範圍第 14 項之電路，其中，當該第一信號出現在該節點時，該第一 PMOS 電晶體之基體電壓與該第一信號大致相等。

17.如申請專利範圍第 14 項之電路，其中該第一偏壓值與該第一信號電壓值大致相等。

18.如申請專利範圍第 14 項之電路，其中該第二偏壓值與該電源電壓大致相等。

19.如申請專利範圍第 14 項之電路，其

中該第一部分電路包含一第三 PMOS 電晶體，該第三 PMOS 電晶體包含一閘極，一源極，一汲極，以及一基體，且該閘極可施加該電源電壓，該源極及該汲極之一與該節點相連，其源極及汲極之另外一個與該第一 PMOS 電晶體之該閘極相連，該基體與該第一 PMOS 電晶體之該基體相連。

5. 20.如申請專利範圍第 14 項之電路，其中當該第一信號出現在該節點時，該第三 PMOS 電晶體導通。

21.如申請專利範圍第 14 項之電路，其中該第二部分電路包含一第三 PMOS 電晶體，該第三 PMOS 電晶體包含一閘極，一源極，一汲極，以及一基體，該驅動電路包含一第一 NMOS 電晶體及一第二 NMOS 電晶體，且該第三 PMOS 電晶體之該閘極與該第一 NMOS 電晶體及該第二 NMOS 電晶體均相連，該第三 PMOS 電晶體之該源極及該汲極之一與該節點相連。

22.如申請專利範圍第 21 項之電路，其中當該第一信號出現在該節點時，該第三 PMOS 電晶體導通。

23.如申請專利範圍第 21 項之電路，其中該第二部分電路更包含一開關，該開關包含串聯相接的一第三 NMOS 電晶體及一第四 PMOS 電晶體，該第三 NMOS 電晶體及該第四 PMOS 電晶體分別包含一閘極，一源極，以及一汲極，且其中該第三 NMOS 電晶體之該閘極可施加該電源電壓，該第四 PMOS 電晶體之該閘極與該第三 PMOS 電晶體之一基體以及該源極及該汲極之另外一個相連，該第三 NMOS 電晶體之該源極及該汲極之一與該第四 PMOS 電晶體之該源極及該汲極之一相連，

且該第三 NMOS 電晶體之該源極及該汲極之另外一個與該第四 PMOS 電晶體之該源極及該汲極之另外一個、以及該第一 PMOS 電晶體之該閘極均相連。

24.如申請專利範圍第23項之電路，其中當該第一信號出現在該節點時，該第四 PMOS 電晶體關閉。

25.一種包含工作於不同電壓的不同部分之系統，包含：

包含一第一電路之一第一個晶片；

包含一第二電路之一第二個晶片；

位於該第一個晶片之一緩衝電路，該緩衝電路介於該第一電路及該第二電路之間且有一接收模式及一傳送模式，其中該緩衝電路可施加一第一電源電壓，該第二電路可施加一第二電源電壓；

連接該緩衝電路及該第二電路之一節點；以及

一控制信號端口，該控制信號端口提供一第一控制信號及一第二控制信號，其中該第一控制信號將該緩衝電路切換至該傳送模式，該第二控制信號將該緩衝電路切換至該接收模式，其中在該傳送模式中，該緩衝電路從該第一電路接收至少一信號並輸出至少一信號至該第二電路，在該接收模式中，該緩衝電路從該第二電路接收至少一信號並輸出至少一信號至該第一電路，且其中該緩衝電路包含至少一驅動電路；

其中該驅動電路包含至少一第一 PMOS 電晶體，該第一 PMOS 電晶體包含一汲極及一基體；

其中該驅動電路更包含一第二 PMOS 電晶體，該第二 PMOS 電晶體包含一源極及一汲極，且該源極及該汲極之一與該第一 PMOS 電晶體之該

基體相連，且當高於該第一電源電壓值之一第一信號出現在該節點時，該第二 PMOS 電晶體關閉。

26.如申請專利範圍第25項之系統，其中該緩衝電路更包含，

5. 一跟蹤電路之一第一部分電路，該第一部分電路連接於該第一 PMOS 電晶體之該閘極，且當該第一信號出現在該節點時提供給該第一 PMOS 電晶體之該閘極一第一偏壓，其中該第一偏壓值與該第一信號電壓值大致相等，以及

10. 該跟蹤電路之一第二部分電路，該第二部分電路連接於該第一 PMOS 電晶體之該閘極，且當低於該第一電源電壓值之一第二信號出現在該節點時提供給該第一 PMOS 電晶體之該閘極一第二偏壓，其中該第二偏壓值與該第一電源電壓值大致相等。

20. 27.如申請專利範圍第25項之系統，其中該第一電源電壓值低於該第二電源電壓值。

28.如申請專利範圍第25項之系統，其中該驅動電路在該傳送模式中開通，並在該接收模式中關閉。

29.如申請專利範圍第26項之系統，其中該跟蹤電路之該第一部分電路包含一第三 PMOS 電晶體，該第三 PMOS 電晶體包含一閘極，一源極，一汲極，以及一基體，且該閘極可施加該第一電源電壓，該源極及該汲極之一與該節點相連，該源極及該汲極之另外一個與該第一 PMOS 電晶體之該閘極相連，該基體於該第一 PMOS 電晶體之該基體相連。

30.如申請專利範圍第26項之系統，其中該跟蹤電路之該第二部分電路包含一第三 PMOS 電晶體，該第三 PMOS 電晶體包含一閘極，一源極，

一汲極，以及一基體，且該驅動電路包含一第一 NMOS 電晶體及一第二 NMOS 電晶體，其中該第三 PMOS 電晶體之該閘極與該第一 NMOS 電晶體及該第二 NMOS 電晶體均相連，且該源極及該汲極之一與該節點相連。

31.如申請專利範圍第30項之系統，其中該跟蹤電路之該第二部份電路更包含一開關，該開關包含並聯相接的一第三 NMOS 電晶體及一第四 PMOS 電晶體，該第三 NMOS 電晶體及該第四 PMOS 電晶體均分別包含一閘極，一源極，一汲極，且其中該第三 NMOS 電晶體之該閘極可施加該第一電源電壓，該第四 PMOS 電晶體之該閘極與該第三 PMOS 電晶體之一基體以及該源極和該汲極之另外一個均相連，該第三 NMOS 電晶體之該源極及該汲極之一與該第四 PMOS 之該源極及該汲極之一相連，且該第三 NMOS 電晶體之該源極及該汲極之另外一個與該第四 PMOS 電晶體之該源極及該汲極之另外一個以及該第一 PMOS 電晶體之該閘極均相連。

32.如申請專利範圍第25項之系統，其中該緩衝電路更包含一輸入電路以

從該第二電路接收至少一信號並輸出至少一信號至該第一電路。

33.如申請專利範圍第32項之系統，其中該輸入電路包含一反相器及一第三 PMOS 電晶體。

34.如申請專利範圍第30項之系統，其中該驅動電路更包含串聯相接之一第一 NMOS 電晶體及一第二 NMOS 電晶體，其中該反相器包含與該第一 NMOS 電晶體、該第二 NMOS 電晶體，及該第三 PMOS 電晶體之汲極均相連之一輸入端口，以及與該第三 PMOS 電晶體之該閘極相連之一輸出端口，且該第三 PMOS 電晶體之該源極可施加該第一電源電壓。

圖式簡單說明：

圖1顯示一個習知 I/O 緩衝電路的方塊圖；

圖2顯示另一個習知 I/O 緩衝電路的方塊圖；

圖3顯示本發明的一個實施例的 I/O 緩衝電路的方塊圖；

圖4顯示圖3所示 I/O 緩衝電路的模擬結果；及

圖5A和5B顯示圖3所示 I/O 緩衝電路的另一個模擬結果。

(6)

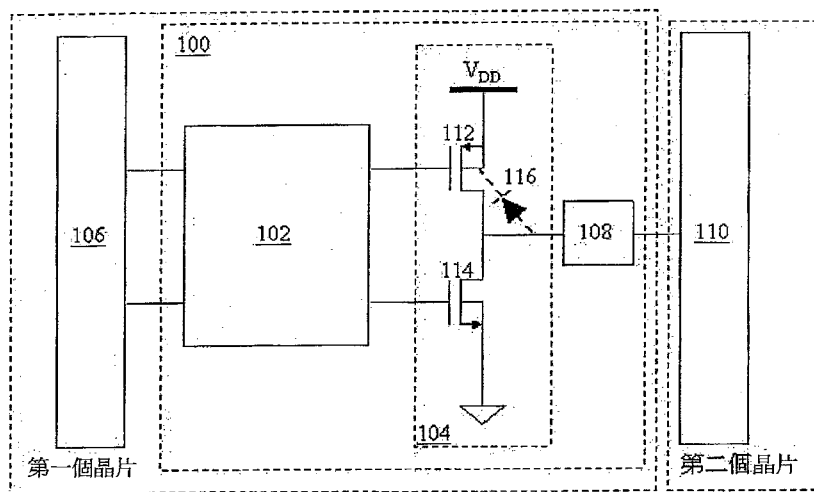


圖 1

習知電路

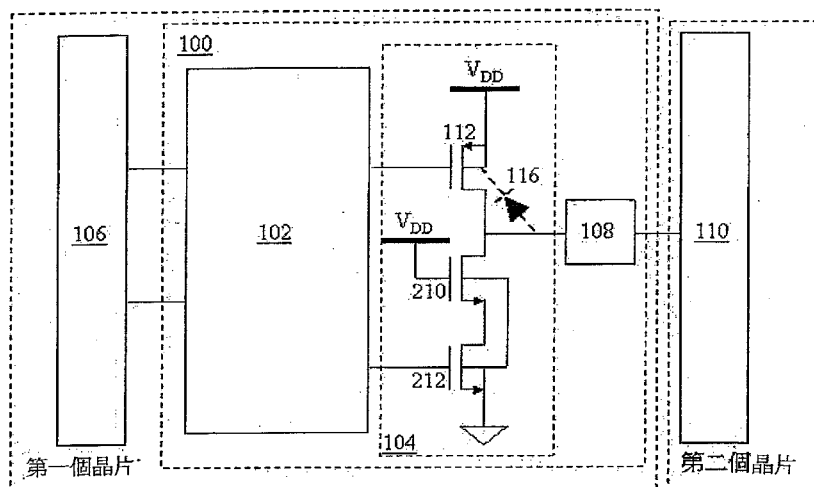


圖 2

習知電路

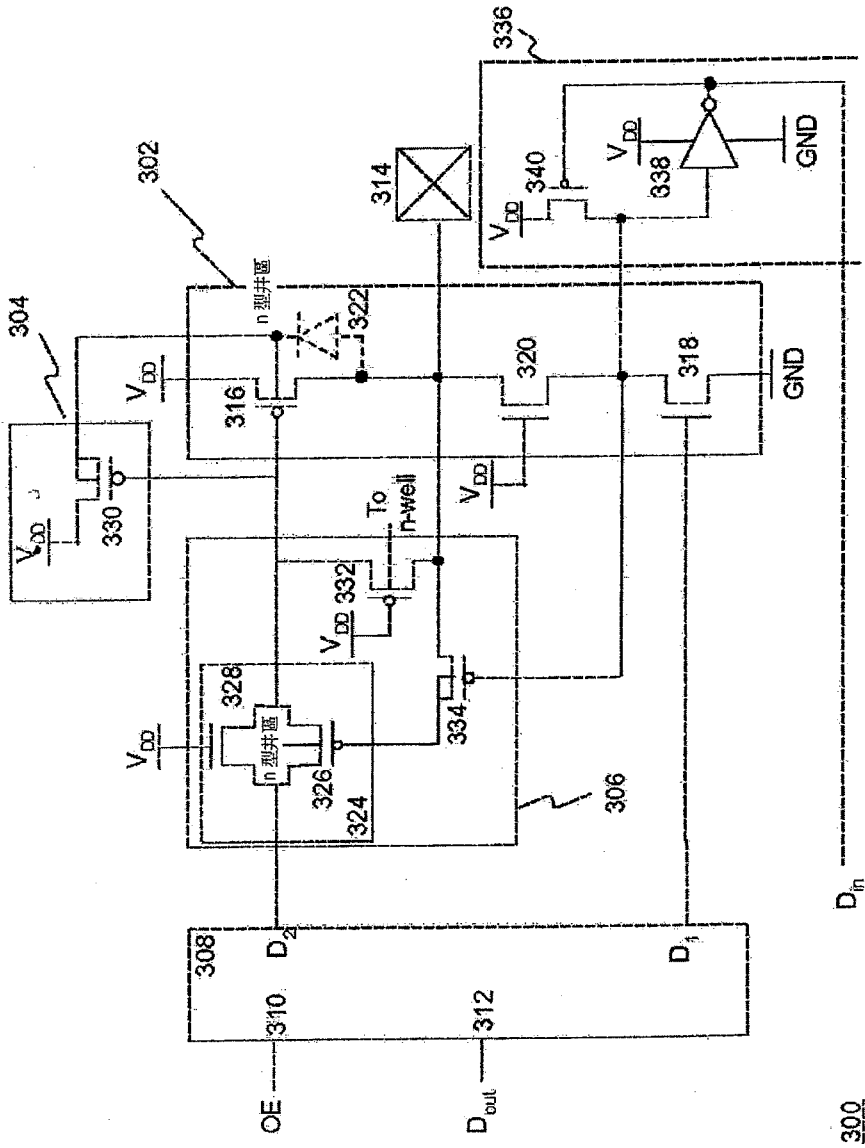


圖 3

(8)

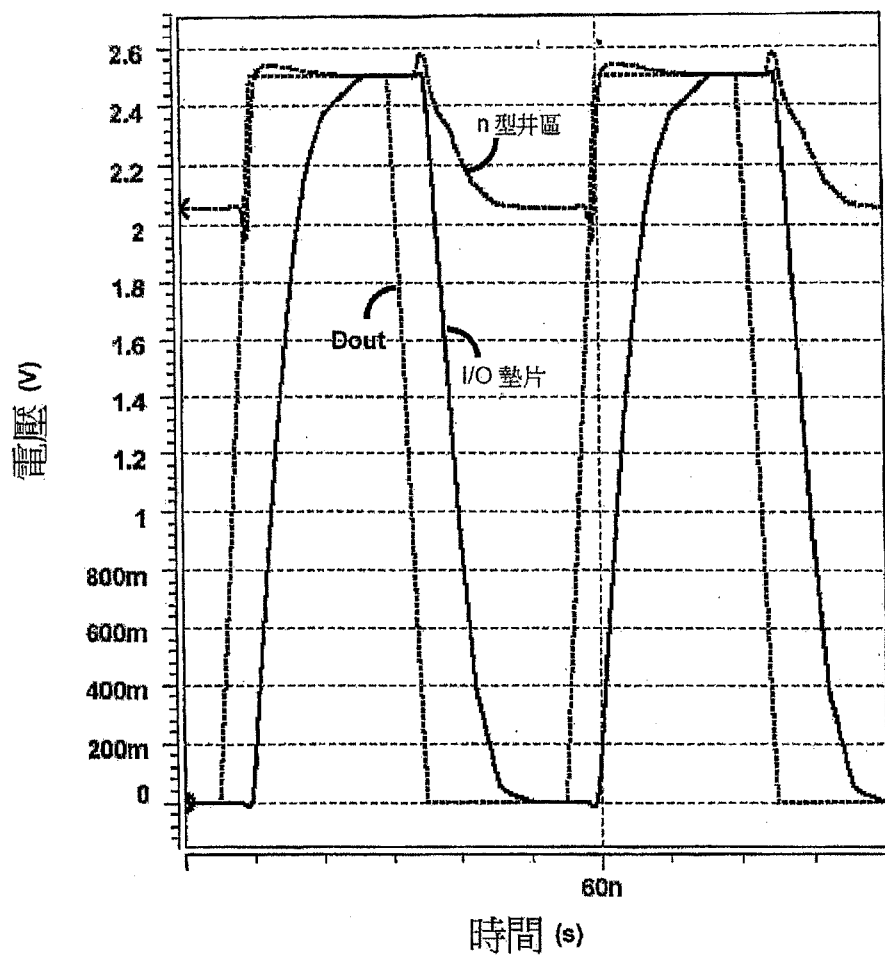


圖 4

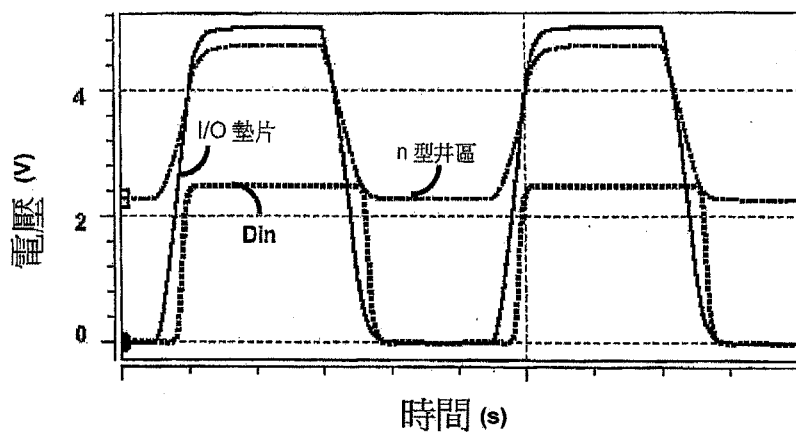


圖 5A

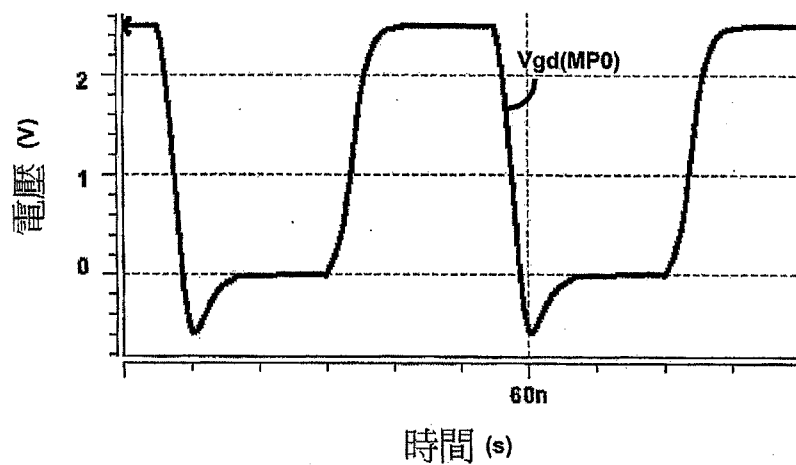


圖 5B

