
【54】名稱：靜電放電保護電路

ESD PROTECTION CIRCUIT

【21】申請案號：094126719

【22】申請日：中華民國94(2005)年8月8日

【11】公開編號：200707692

【43】公開日：中華民國96(2007)年2月16日

【72】發明人：柯明道 KER, MING DOU；李健銘 LEE, CHIEN MING

【71】申請人：矽統科技股份有限公司 SILICON INTEGRATED SYSTEMS CORP.
新竹市新竹科學園區研新一路16號

【74】代理人：陳達仁

【56】參考文獻：

TW 518736

1

2

[57]申請專利範圍：

1.一種靜電放電保護電路，包含：

一第一電源端；

一第二電源端；

一接地端；

一釋放電路，具一第一電晶體及一第二電晶體，其中該第一電晶體之一電源輸入端電性耦合至該第二電源輸入端，及該第二電晶體之一電源輸入端電性耦合至該接地端；及一觸發電流產生電路，其包含至少

一第三電晶體，其控制輸入端電性耦合至該第一電源端，且其控制輸出端電性耦合至該第二電晶體之一控制輸入端。

5. 2.如申請專利範圍第1項所述之靜電放電保護電路，其中該釋放電路係為一堆疊MOS電路。

3.如申請專利範圍第1項所述之靜電放電保護電路，其中上述之觸發電流產生電路包含：

- 一第一電阻，該第一電阻的第一端連結至一第一電源端；
- 一第一電容，該第一電容的第一端連結至該第一電阻的第二端；
- 一第一 NMOS，該第一 NMOS 的閘極連結至該第一電阻的第二端，該第一 NMOS 的基底(substrate)與源極(source)相連結；
- 一第二電阻，該第二電阻的第一端連結至該第一 NMOS 的汲極，該第二電阻的第二端連結至該第一 NMOS 的源極以及該第一電容的第二端，且該第二電阻的第二端連結至一接地端；
- 一第三電容，該第三電容的第二端連結至該第二電阻的第一端；
- 一第二電容，該第二電容的第二端連結至該第三電容的第一端，該第二電容的第一端連結至一第二電源端；
- 一第四電容，該第四電容的第一端連結至該第二電容的第一端以及該第二電源端；及
- 一第三電阻，該第三電阻的第二端連結至該第四電容的第二端，該第三電阻的第一端連結至該第一電源端。
- 4.如申請專利範圍第3項所述之靜電放電保護電路，其中上述之第一電容、第二電容、第三電容，以及第四電容是利用金氧半場效應電晶體(MOSFET)所構成的電容。
- 5.如申請專利範圍第3項所述之靜電放電保護電路，其中上述之堆疊 MOS 電路包含：
- 一第二 NMOS，該第二 NMOS 的汲極連結至該第二電源端，該第二 NMOS 的閘極連結至該第四電容的第二端；及
- 一第三 NMOS，該第三 NMOS 的汲

- 極連結至該第二 NMOS 的源極，該第三 NMOS 的基底與源極彼此相連結，該第三 NMOS 的基底與該第二 NMOS 的基底相連結而且連結至該接地端，該第三 NMOS 的閘極與該第二電阻的第一端相連結。
- 6.如申請專利範圍第5項所述之靜電放電保護電路，其中更包含一二極體，且該二極體的第一端連結至該第二電源端，該二極體的第二端連結至該接地端。
- 7.如申請專利範圍第5項所述之靜電放電保護電路，當靜電產生而使該接地端的電位值高於該第二電源端的電位值，則該二極體便作為該靜電放電第二路徑。
- 8.如申請專利範圍第5項所述之靜電放電保護電路，當靜電產生而使該第二電源端的電位值大於該接地端的電位值，則該堆疊 MOS 電路會導通作為該靜電放電第一路徑。
- 9.一種靜電放電保護電路，其中包含：
- 一觸發電流產生電路，用以產生一觸發電流，其中包含：
- 一第一電阻，該第一電阻的第一端連結至一第一電源端；
- 一第一電容，該第一電容的第一端連結至該第一電阻的第二端；
- 一第一 NMOS，該第一 NMOS 的閘極連結至該第一電阻的第二端，該第一 NMOS 的基底(substrate)與源極(source)相連結；
- 一第二電阻，該第二電阻的第一端連結至該第一 NMOS 的汲極，該第二電阻的第二端連結至該第一 NMOS 的源極以及該第一電容的第二端，且該第二電阻的第二端連結至一接地端；
- 一第三電容，該第三電容的第二端連結至該第二電阻的第一端；

一第二電容，該第二電容的第二端連結至該第三電容的第一端，該第二電容的第一端連結至一第二電源端；

一第四電容，該第四電容的第一端連結至該第二電容的第一端以及該第二電源端；

一第三電阻，該第三電阻的第二端連結至該第四電容的第二端，該第三電阻的第一端連結至該第一電源端；

一堆疊 MOS 電路，用以接收該觸發電流，然後導通作為靜電放電第一路徑，其中包含：

一第二 NMOS，該第二 NMOS 的汲極連結至該第二電源端，該第二 NMOS 的閘極連結至該第四電容的第二端；及

一第三 NMOS，該第三 NMOS 的汲極連結至該第二 NMOS 的源極，該第三 NMOS 的基底與源極彼此相連結，該第三 NMOS 的基底與該第二 NMOS 的基底相連結而且連結至該接地端，該第三 NMOS 的閘極與該第二電阻的第一端相連結。

10.如申請專利範圍第 9 項所述之靜電放電保護電路，其中上述之第一電容、第二電容、第三電容，以及第四電容是利用金氧半場效應電晶體 (MOSFET) 所構成的電容。

11.如申請專利範圍第 9 項所述之靜電放電保護電路，其中更包含一二極體，且該二極體的第一端連結至該第二電源端，該二極體的第二端連結至該接地端。

12.如申請專利範圍第 9 項所述之靜電放電保護電路，當靜電產生而使該接地端的電位值高於該第二電源端的電位值，則該二極體便作為該靜電放電第二路徑。

13.如申請專利範圍第 9 項所述之靜電放電保護電路，當靜電產生而使該第二電源端的電位值大於該接地端的電位值，則該堆疊 MOS 電路會導通作為該靜電放電第一路徑。

14.一種靜電放電保護電路，其中包含：

一第一電阻，該第一電阻的第一端連結至一第一電源端；

10. 一第一電容，該第一電容的第一端連結至該第一電阻的第二端；

一第一 NMOS，該第一 NMOS 的閘極連結至該第一電阻的第二端，該第一 NMOS 的基底(substrate)與源極(source)相連結；

15. 一第二電阻，該第二電阻的第一端連結至該第一 NMOS 的汲極，該第二電阻的第二端連結至該第一 NMOS 的源極以及該第一電容的第二端，且該第二電阻的第二端連結至一接地端；

20. 一第三電容，該第三電容的第二端連結至該第二電阻的第一端；

25. 一第二電容，該第二電容的第二端連結至該第三電容的第一端，該第二電容的第一端連結至一第二電源端；

30. 一第四電容，該第四電容的第一端連結至該第二電容的第一端以及該第二電源端；

35. 一第三電阻，該第三電阻的第二端連結至該第四電容的第二端，該第三電阻的第一端連結至該第一電源端；

40. 一第二 NMOS，該第二 NMOS 的汲極連結至該第二電源端，該第二 NMOS 的閘極連結至該第四電容的第二端；

一第三 NMOS，該第三 NMOS 的汲極連結至該第二 NMOS 的源極，該

第三 NMOS 的基底與源極彼此相連結，該第三 NMOS 的基底與該第二 NMOS 的基底相連結而且連結至該接地端，該第三 NMOS 的閘極與該第二電阻的第一端相連結；及一二極體，用以作為靜電放電第二路徑。

15. 如申請專利範圍第 14 項所述之靜電放電保護電路，其中上述之第一電容、第二電容、第三電容，以及第四電容是利用金氧半場效應電晶體 (MOSFET) 所構成的電容。
16. 如申請專利範圍第 14 項所述之靜電放電保護電路，其中上述之二極體的第一端連結至該第二電源端，該二極體的第二端連結至該接地端。
17. 如申請專利範圍第 14 項所述之靜電

放電保護電路，當靜電產生而使該接地端的電位值高於該第二電源端的電位值，則該二極體便作為該靜電放電第二路徑。

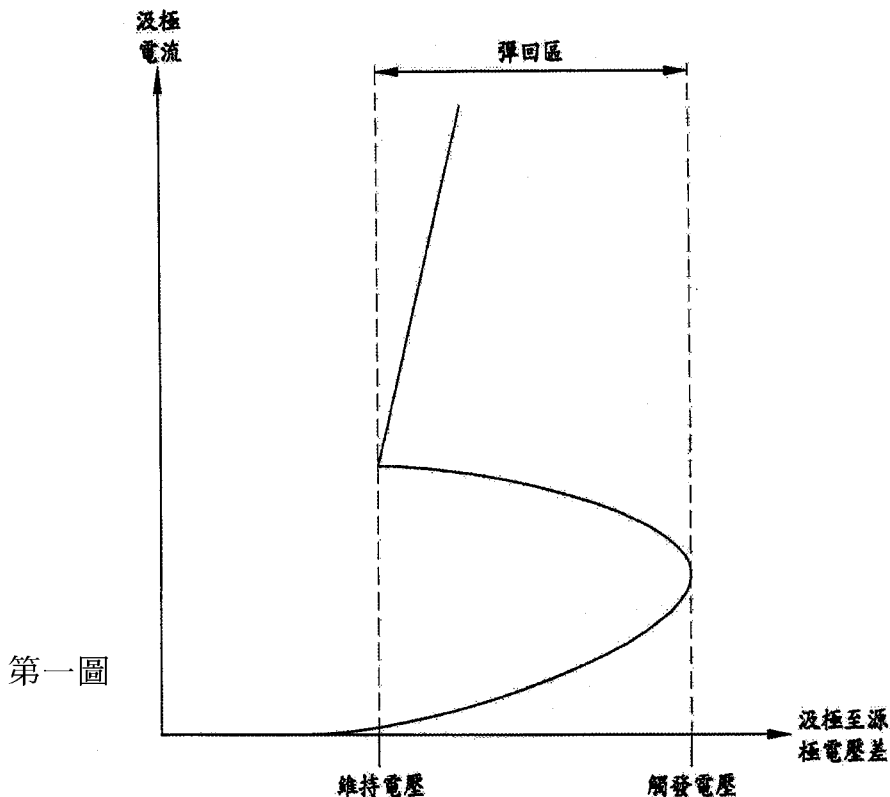
5. 18. 如申請專利範圍第 14 項所述之靜電放電保護電路，當靜電產生而使該第二電源端的電位值大於該接地端的電位值，則該第二 NMOS 以及該第三 NMOS 會導通作為一靜電放電第一路徑。
- 10.

圖式簡單說明：

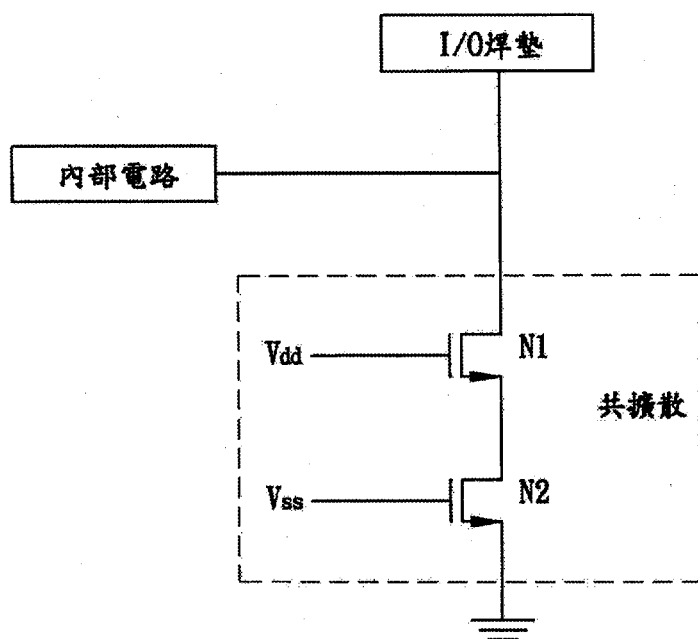
第一圖顯示傳統堆疊 NMOS 電路的 I-V 曲線圖；

第二圖顯示一傳統堆疊 NMOS 的電路圖；及

15. 第三圖顯示符合本發明之一較佳實施例的靜電放電保護電路圖。



(5)



第二圖

