
【54】名稱：資料恢復裝置與方法

DATA RECOVERY APPARATUS AND METHOD FOR REPRODUCING RECOVERY DATA

【21】申請案號：095114853

【22】申請日：中華民國95(2006)年4月26日

【11】公開編號：200741460

【43】公開日：中華民國96(2007)年11月1日

【72】發明人：柯明道 KER, MING-DOU；吳建樺 WU, CHIEN-HUA

【71】申請人：聯華電子股份有限公司 UNITED MICROELECTRONICS CORP.

新竹市新竹科學工業園區力行二路3號

【74】代理人：詹銘文；蕭錫清

【56】參考文獻：

TW 255079

TW 437220

US 5638409

US 6055119

US 6374361B1

US 6449017B1

WO 2005/099164A1

1

2

[57]申請專利範圍：

1.一種資料恢復裝置，用以接收一傳送端所提供之至少一原始時脈與至少一原始資料串，以輸出至少一恢復資料，其中於該原始時脈之週期 T 中該原始資料串包含 N 個步距， N 為大於 0 之整數，則該資料恢復裝置包括：

一取樣單元，用以依據該原始時脈取樣該原始資料串，其中於每一步距中以 $T/(4N)$ 時間週期取樣該原始

資料串之對應資料至少三次；以及一處理單元，電性連接至該取樣單元，用以接收並比較該取樣單元所輸出之該些取樣結果，並依據前述比較結果而將該些取樣結果恢復為該恢復資料。

2.如申請專利範圍第1項所述之資料恢復裝置，其中該取樣單元包括：

一鎖相迴路，用以依據該原始時脈至少產生 $4N$ 個不同相位之取樣時

脈；以及

一資料取樣器，電性連接至該鎖相迴路，用以依據前述 $4N$ 個不同相位之取樣時脈而取樣該原始資料串，並將該些取樣結果輸出至該處理單元。

3.如申請專利範圍第2項所述之資料恢復裝置，其中該處理單元包括：

一同步器，電性連接至該取樣單元，用以使該取樣單元所輸出之該些取樣結果同步化；

一相位檢測器，電性連接至該同步器，用以藉由比較該同步器之輸出而檢知該原始資料串之週期 T 中每一步距落後或領先該原始時脈之時序，並輸出於週期 T 中每一步距相對應之相位檢測結果；

一投票器，電性連接至該相位檢測器，用以依據於目前週期 T 中每一步距相對應之相位檢測結果而決定並輸出週期相位檢測結果；

一數位低通濾波器，電性連接至該投票器，用以過濾雜訊；以及

一相位選擇器，電性連接至該數位低通濾波器，用以經由該數位低通濾波器接收該週期相位檢測結果，並據以選擇該鎖相迴路所產生該些取樣時脈其中之一作為一內部時脈；

其中該同步器更依據該相位選擇器之選擇結果而從該取樣單元所輸出之該些取樣結果中選擇 N 個資料，並依據該內部時脈之時序而將所選擇 N 個資料輸出作為該恢復資料。

4.如申請專利範圍第1項所述之資料恢復裝置，其中該取樣單元包括：

一鎖相迴路，用以依據該原始時脈至少產生一內部時脈與 N 個不同相位之取樣時脈；

一延遲選擇器，用以接收該原始資

料串用以依據一移位控制信號決定該原始資料串之延遲時間，並輸出擇定延遲資料串；

一偵測窗單元，電性連接至該延遲選擇器，用以接收並延遲該延遲選擇器所輸出之資料串，以輸出至少三個不同相位之資料串；以及

一資料取樣器，電性連接至該鎖相迴路與該偵測窗單元，用以依據該鎖相迴路輸出之每一取樣時脈而取樣該偵測窗單元輸出之該些資料串，並將該些取樣結果輸出至該處理單元。

5.如申請專利範圍第4項所述之資料恢復裝置，其中該延遲選擇器包括：

一第一延遲器，用以接收該原始資料串，並將該原始資料串延遲後輸出第一延遲資料串；

一第二延遲器，電性連接至該第一延遲器，用以接收該第一延遲資料串，並將該第一延遲資料串延遲後輸出第二延遲資料串；

一第三延遲器，電性連接至該第二延遲器，用以接收該第二延遲資料串，並將該第二延遲資料串延遲後輸出第三延遲資料串；以及

一多工器，電性連接至該第一延遲器、該第二延遲器與該第三延遲器，用以依據該移位控制信號選擇該第一延遲資料串、該第二延遲資料串與該第三延遲資料串其中之一，並輸出作為該擇定延遲資料串。

6.如申請專利範圍第4項所述之資料恢復裝置，其中該偵測窗單元包括：

一第四延遲器，電性連接至該延遲選擇器，用以接收該延遲選擇器所輸出之擇定延遲資料串，並將該擇定延遲資料串延遲後輸出第四延遲資料串；

一第五延遲器，電性連接至該第四延遲器，用以接收該第四延遲資料串，並將該第四延遲資料串延遲後輸出第五延遲資料串；以及

一第六延遲器，電性連接至該第五延遲器，用以接收該第五延遲資料串，並將該第五延遲資料串延遲後輸出第六延遲資料串；

其中該資料取樣器依據該鎖相迴路輸出之每一取樣時脈而取樣該第四延遲資料串、該第五延遲資料串與該第六延遲資料串，並將該些取樣結果輸出至該處理單元。

7.如申請專利範圍第4項所述之資料恢復裝置，其中該處理單元包括：

一同步器，電性連接至該取樣單元，用以使該取樣單元所輸出之該些取樣結果同步化；

一相位檢測器，電性連接至該同步器，用以藉由比較該同步器之輸出而檢知該原始資料串之週期 T 中每一步距落後或領先該原始時脈之時序，並輸出於週期 T 中每一步距相對應之相位檢測結果；

一投票器，電性連接至該相位檢測器，用以依據於目前週期 T 中每一步距相對應之相位檢測結果而決定並輸出週期相位檢測結果；以及

一移位選擇器，電性連接至該投票器，用以接收該週期相位檢測結果，並依據該週期相位檢測結果產生該移位控制信號，以控制該延遲選擇器決定該原始資料串之延遲時間；

其中該同步器更依據該移位選擇器之選擇結果而從該取樣單元所輸出之該些取樣結果中選擇 N 個資料，並依據該內部時脈之時序而將所選擇 N 個資料輸出作為該恢復資料。

8.一種資料恢復方法，用以將一傳送端

所提供之至少一原始時脈與至少一原始資料串恢復為至少一恢復資料，其中於該原始時脈之週期 T 中該原始資料串包含 N 個步距， N 為大於 0 之整數，則該資料恢復方法包括：

a. 於每一步距中，以 $T/(4N)$ 時間週期取樣該原始資料串之對應資料至少三次；以及

b. 於每一步距中，比較前述取樣結果，而將該些取樣結果恢復為該恢復資料。

9.如申請專利範圍第8項所述之資料恢復方法，其中步驟 a 包括：

15. 延遲該原始時脈以產生至少 $4N$ 個不同相位之取樣時脈；以及
依據前述 $4N$ 個不同相位之取樣時脈而取樣該原始資料串。

10.如申請專利範圍第9項所述之資料恢復方法，其中步驟 b 包括：

20. 使步驟 a 之該些取樣結果同步化；
藉由比較已同步化之該些取樣結果而檢知該原始資料串之週期 T 中每一步距落後或領先該原始時脈之時序；

25. 依據上述於目前週期 T 中每一步距相對應之相位檢測結果而決定週期相位檢測結果；

30. 依據上述週期相位檢測結果選擇該些取樣時脈其中之一作為一內部時脈；

依據上述選擇結果而從該些取樣結果中選擇 N 個資料；以及

35. 依據該內部時脈之時序而將上述所選擇 N 個資料輸出作為該恢復資料。

40. 11.一種資料恢復方法，用以將一傳送端所提供之至少一原始時脈與至少一原始資料串恢復為至少一恢復資料，其中於該原始時脈之週期 T 中

該原始資料串與該恢復資料各自包含 N 個步距， N 為大於 0 之整數，則該資料恢復方法包括：

a. 依據一移位控制信號改變該原始資料串之相位，以獲得至少三個不同相位之資料串；

b. 依據該原始時脈至少產生 N 個不同相位之取樣時脈；

c. 依據步驟 b 中 N 個取樣時脈的時序，取樣步驟 a 中所獲得不同相位之三個資料串；以及

d. 比較步驟 c 中取樣結果，而將該些取樣結果恢復為該恢復資料。

12. 如申請專利範圍第 11 項所述之資料恢復方法，其中步驟 a 中不同相位之三個資料串之間的相位差為 $T/(4N)$ 時間。

13. 如申請專利範圍第 11 項所述之資料恢復方法，其中步驟 b 中不同相位之 N 個取樣時脈之間的相位差為 T/N 時間。

14. 如申請專利範圍第 11 項所述之資料恢復方法，其中步驟 a 包括：
依據該移位控制信號決定該原始資料串之延遲時間，並獲得擇定延遲資料串；以及
延遲該擇定延遲資料串，以獲得上述至少三個不同相位之資料串。

15. 如申請專利範圍第 11 項所述之資料恢復方法，其中步驟 d 包括：
依據該原始時脈產生一內部時脈；
使步驟 c 之該些取樣結果同步化；
藉由比較已同步化之該些取樣結果，而檢知該原始資料串之週期 T 中，每一步距落後或領先該原始時脈之時序；
依據上述於目前週期 T 中每一步距相對應之相位檢測結果而決定週期相位檢測結果；
依據該週期相位檢測結果產生該移

位控制信號，以決定該原始資料串之延遲時間；

依據上述選擇結果而從該些取樣結果中選擇 N 個資料；以及

5. 依據該內部時脈之時序而將上述所選擇 N 個資料輸出作為該恢復資料。

圖式簡單說明：

圖 1 說明典型平面顯示器中時序控制器與顯示卡之間的資料傳輸介面。

圖 2A~圖 2C 是說明三倍取樣(three times oversampling)之操作時序。

圖 3 說明圖 1 之接收端中，時脈與資料回復電路之傳統架構。

圖 4 說明圖 3 中鎖相迴路之電路圖。

圖 5 是依照本發明實施例說明採用三倍四分之一步距取樣之一種資料回復電路。

圖 6A~6C 是依照本發明實施例說明採用三倍四分之一步距取樣之時序圖。

圖 6D 是依照本發明實施例說明三倍取樣與三倍四分之一步距取樣二者對輸入訊號眼圖(eye diagram)的忍受度。

圖 7 是依照本發明實施例說明圖 5 鎖相迴路之電路圖。

圖 8 是依照本發明另一實施例說明採用三倍四分之一步距取樣之一種時脈與資料回復電路。

圖 9 是依照本發明實施例說明採用三倍四分之一步距取樣之時序圖。

圖 10A~10C 是依照本發明實施例說明資料取樣器取樣偵測窗單元所輸出不同相位資料串之時序圖。

圖 11 是依照本發明實施例說明圖 8 相關信號之操作過程。

(5)

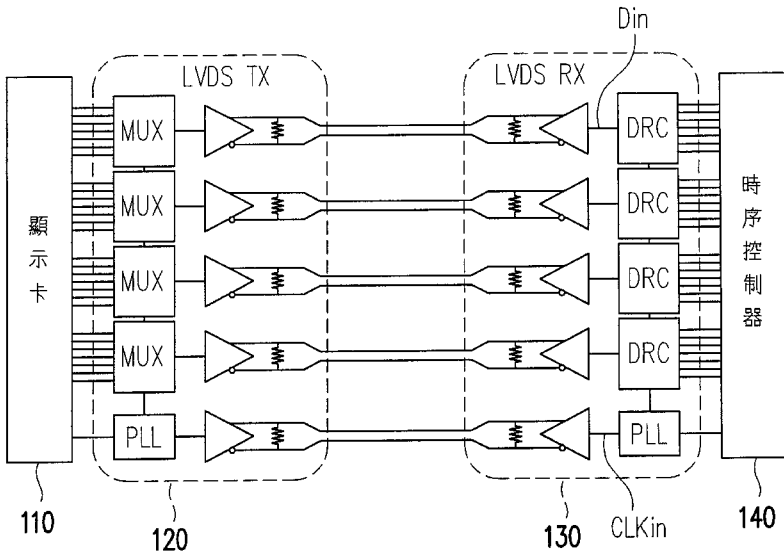


圖 1

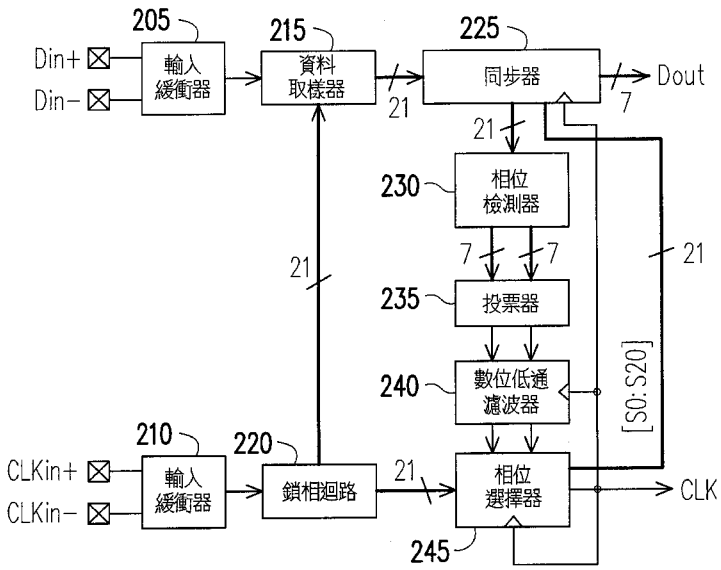


圖 3

(6)

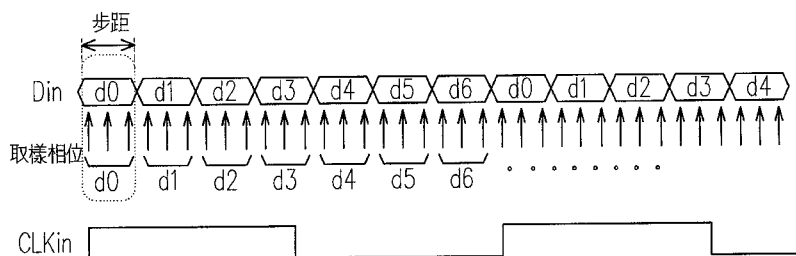


圖 2A

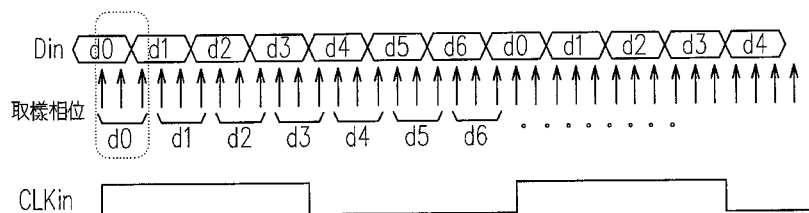


圖 2B

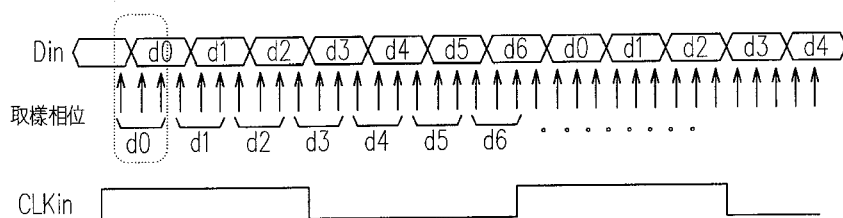


圖 2C

(7)

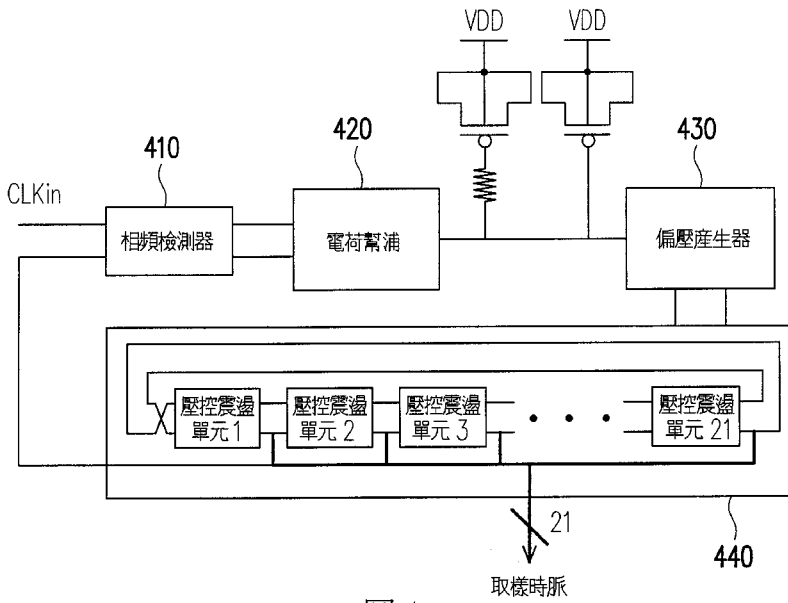


圖 4

220

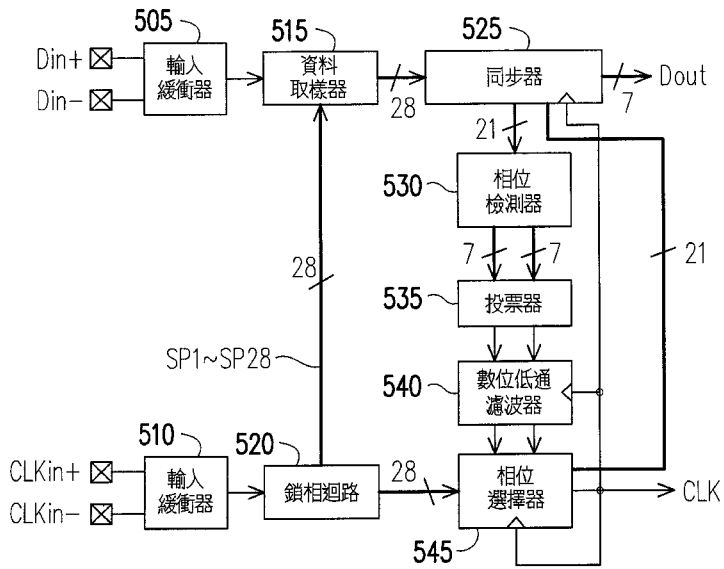


圖 5

(8)

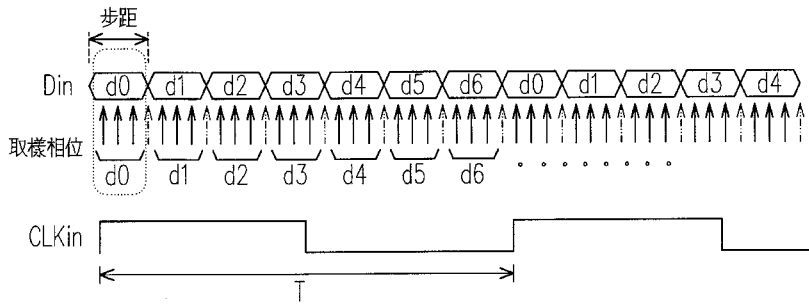


圖 6A

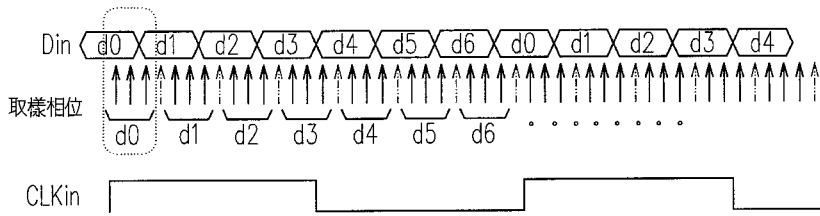


圖 6B

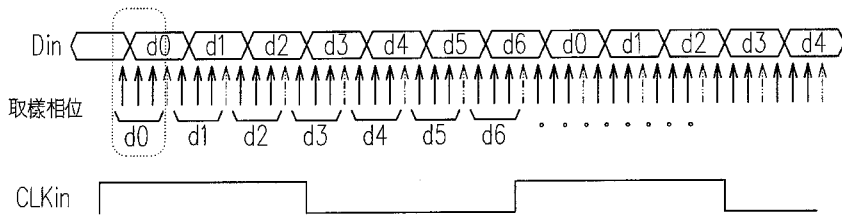


圖 6C

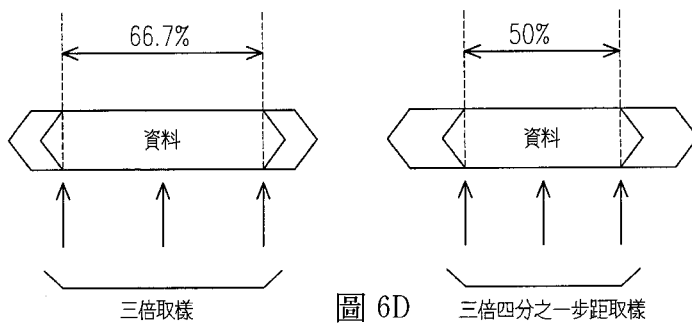


圖 6D

(9)

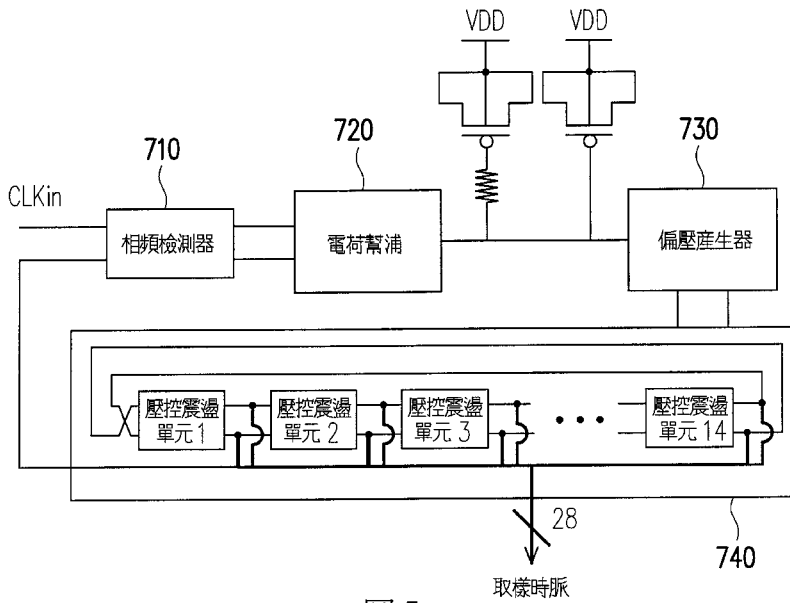


圖 7

520

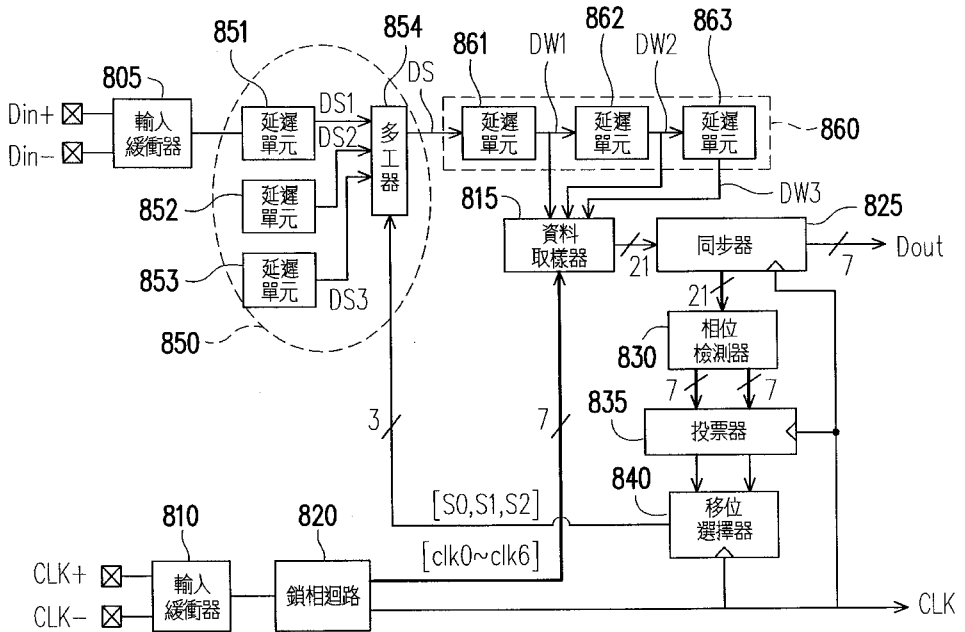


圖 8

(10)

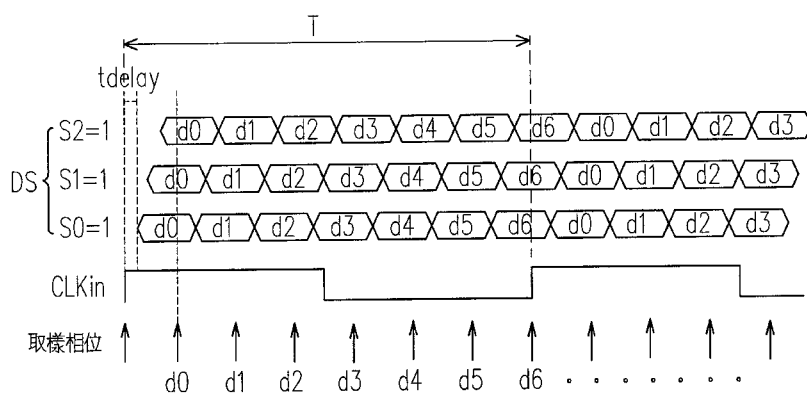


圖 9

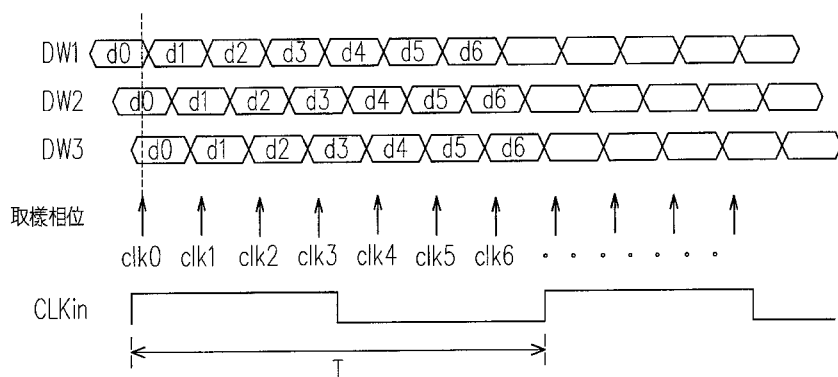


圖 10A

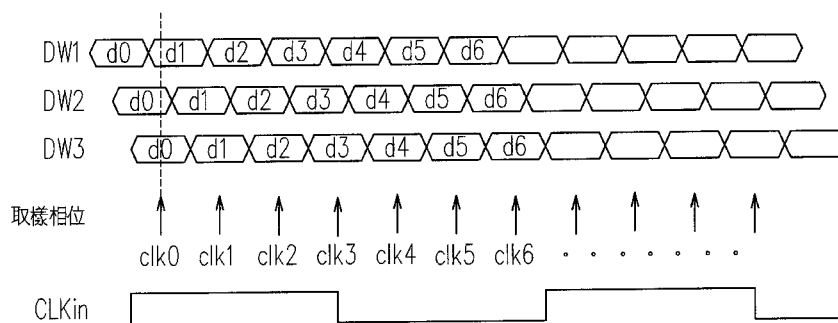


圖 10B

(11)

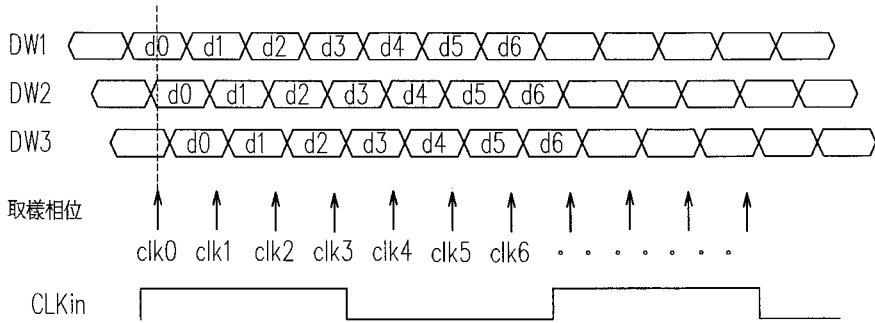


圖 10C

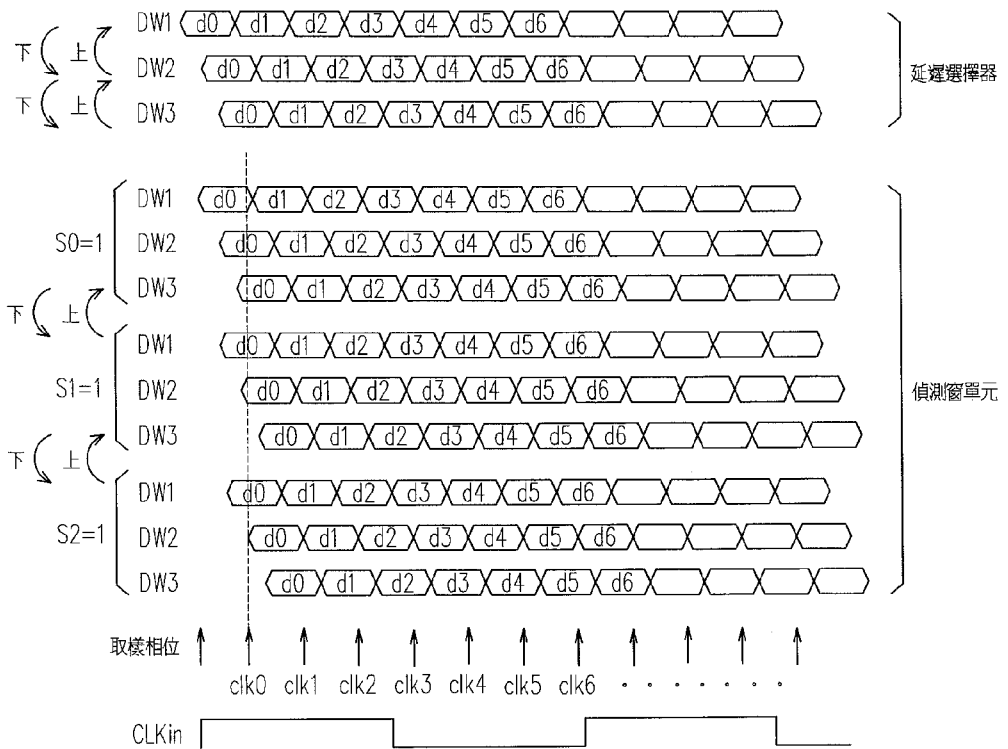


圖 11

