

【54】名稱：具有低電壓元件設計之混合電壓輸入／輸出緩衝器

MIXED-VOLTAGE INPUT/OUTPUT BUFFER HAVING LOW-VOLTAGE DESIGN

【21】申請案號：095118536

【22】申請日：中華民國95(2006)年5月25日

【11】公開編號：200744187

【43】公開日：中華民國96(2007)年12月1日

【72】發明人：柯明道 KER, MING-DOU；陳世倫 CHEN, SHIH-LUN

【71】申請人：國立交通大學 NATIONAL CHIAO TUNG UNIVERSITY
新竹市大學路1001號

【74】代理人：何金塗；林榮琳

【56】參考文獻：

TW I224390

TW I224426

TW I244192

TW M246895

US 6313672B1

US 6838908B2

US 6927602B2

1

2

[57]申請專利範圍：

1.一種混合電壓輸入／輸出緩衝器，包含：

一預驅動器，用以接收一來自外部單元之第一資料信號及致能信號，將該第一資料信號及該致能信號共同轉換並輸出一第一資料電壓及第二資料電壓；

一循軌單元，用以接收該第一資料電壓，提供一閘極循軌功能；

一驅動單元，耦接至該預驅動器及

循軌單元，該驅動單元經由該循軌單元接收該第一資料電壓，用以藉由該閘極循軌功能來產生一對應於該第一資料電壓之第一緩衝電壓，該驅動單元並接收該第二資料電壓，該第二資料電壓用於輸入／輸出狀態之轉換，該驅動單元含有一阱，該阱用以當作該驅動單元內之一電晶體的基板；

10. 一輸入／輸出接墊，耦接至該驅動單

元，用以輸出該第一緩衝電壓至一另一外部單元及自該另一外部單元接收一第二資料信號；以及一輸送單元，耦接至該輸入/輸出接墊及該驅動單元，用以產生及輸出一對應於該第二資料信號之第二緩衝電壓至該外部單元，該混合電壓輸入/輸出緩衝器之特徵在於：

一浮接阱單元，耦接至該輸入/輸出接墊及該驅動單元，該浮接阱單元包含一第一電晶體，該第一電晶體之一輸出端耦接至該輸入/輸出接墊，該第一電晶體之另一輸出端及其基板接至該驅動單元之該阱，用以當該輸入/輸出接墊之電壓大於一預定值時，提升該阱之電壓至一預定之高電壓，用以防止該驅動單元之該阱與該輸入/輸出接墊間之漏電流發生。

- 2.如申請專利範圍第1項之混合電壓輸入/輸出緩衝器，其中該循軌單元進一步包含一開關元件、一第一堆疊式電晶體及一第二電晶體；而該循軌單元透過該開關元件接收來自該預驅動器之該第一資料電壓並輸入該第一資料電壓至該驅動單元；該第二電晶體之一輸出端耦接至該驅動單元，該第二電晶體之另一輸出端耦接至該輸入/輸出接墊，用以提供一閘極循軌功能及防止該輸入/輸出接墊與該驅動單元間之漏電流發生；該第一堆疊式電晶體含一第三電晶體與一第四電晶體，該第三電晶體為常導通狀態以供電路匹配，該第四電晶體之閘極接收該致能信號，用以使該第一堆疊式電晶體輸出一對應該致能信號之電壓至該浮接阱單元。

- 3.如申請專利範圍第2項之混合電壓輸入/輸出緩衝器，其中該驅動單元進一步包含一第五電晶體及一第二堆疊式電晶體；

5. 該第五電晶體之閘極透過該循軌單元接收該第一資料電壓；該第二堆疊式電晶體含一第六電晶體及一第七電晶體，該第六電晶體為常導通狀態，用以自該輸入/輸出接墊傳送該第二資料信號至該輸送單元，該第七電晶體則用以接收來自該預驅動器之該第二資料電壓，並輸出一控制電壓至該循軌單元。

- 4.如申請專利範圍第3項之混合電壓輸入/輸出緩衝器，其中該循軌單元進一步包含一第八電晶體，該第八電晶體之一輸出端耦接至該輸入/輸出接墊，該第八電晶體之另一輸出端耦接至該開關元件，該第八電晶體藉由接收來自該第七電晶體之該控制電壓，用以防止該開關元件之漏電流。

- 5.如申請專利範圍第1項之混合電壓輸入/輸出緩衝器，其中該輸送單元進一步包含一反相器及一第九電晶體；

25. 該反相器之一輸出端及一輸入端分別耦接至該第九電晶體之一控制端及一輸出端，該反相器之該輸入端接收該第二資料信號，並利用該第九電晶體之電壓提升功能及反相器之反相功能，以於該反相器之該輸出端提供該第二緩衝電壓至該外部單元。

30. 6.如申請專利範圍第2項之混合電壓輸入/輸出緩衝器，其中該浮接阱單元進一步包含一第十電晶體；

35. 該第十電晶體之一輸出端耦接至一電源電壓，該第十電晶體之控制端藉由該第一堆疊式電晶體所輸出之
- 40.

對應電壓的控制，來將該驅動單元之該阱的電壓提升至該電源電壓，用以防止該驅動單元之該阱與該輸入/輸出接墊間之漏電流發生。

7.如申請專利範圍第1項之混合電壓輸入/輸出緩衝器，其中該外部單元及該另一外部單元係分別具有不同工作電壓之晶片組合。

圖式簡單說明：

第1圖係習知之混合電壓接面三相輸入/輸出緩衝器之電路圖。

第2圖係另一習知之混合電壓輸入/輸出緩衝器之電路圖。

第3圖係另一習知之混合電壓輸入/輸出緩衝器的電路圖。

第4圖係另一習知之混合電壓輸入/輸出緩衝器的電路圖。

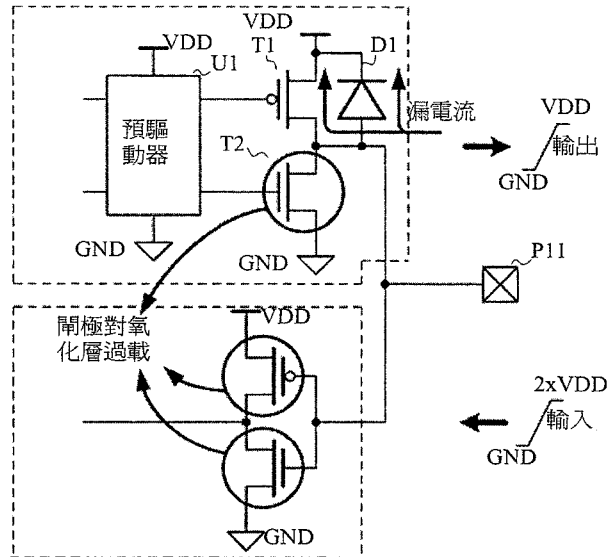
第5圖係另一習知之混合電壓輸入/輸出緩衝器的電路圖。

第6圖係另一習知之電壓輸入/輸出緩衝器的電路圖。

第7圖係根據本發明實施例之混合電壓輸入/輸出緩衝器700之電路圖。

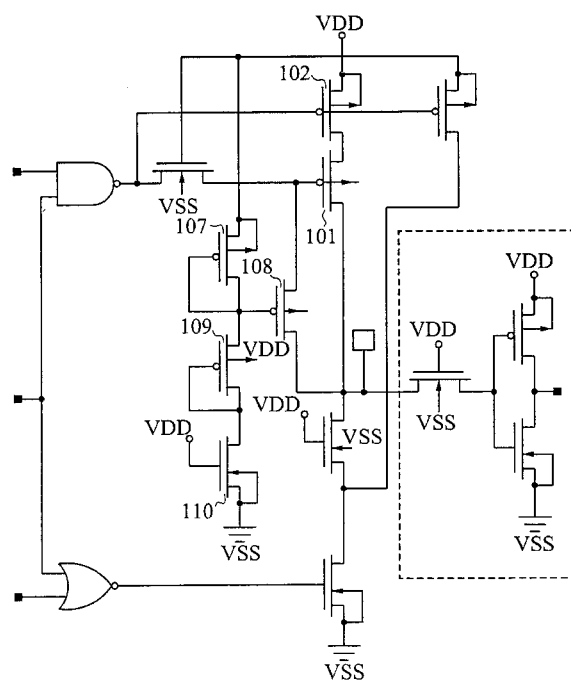
第8A圖係根據本發明實施例之混合電壓輸入/輸出緩衝器傳送模式之模擬波形圖。

第8B圖係根據本發明實施例之混合電壓輸入/輸出緩衝器接收模式之模擬波形圖。

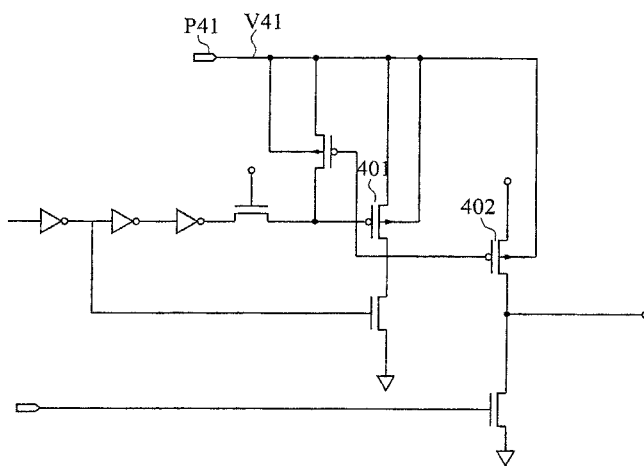


第1圖

(4)

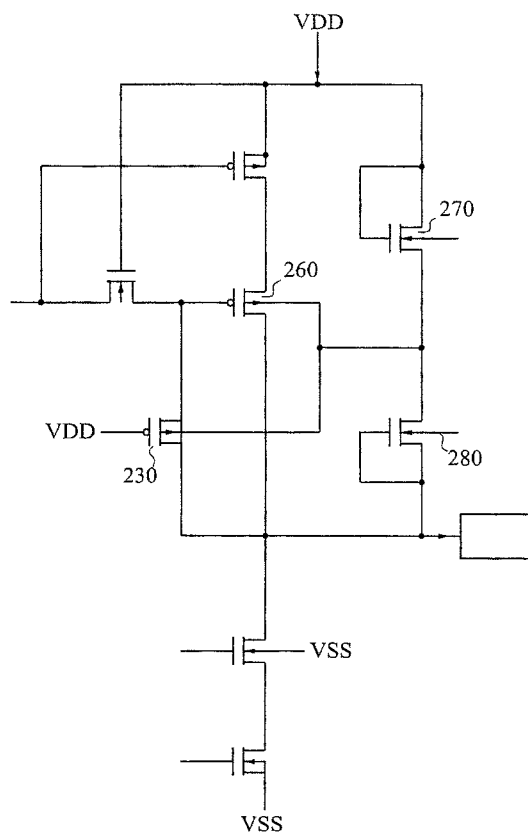


第 2 圖



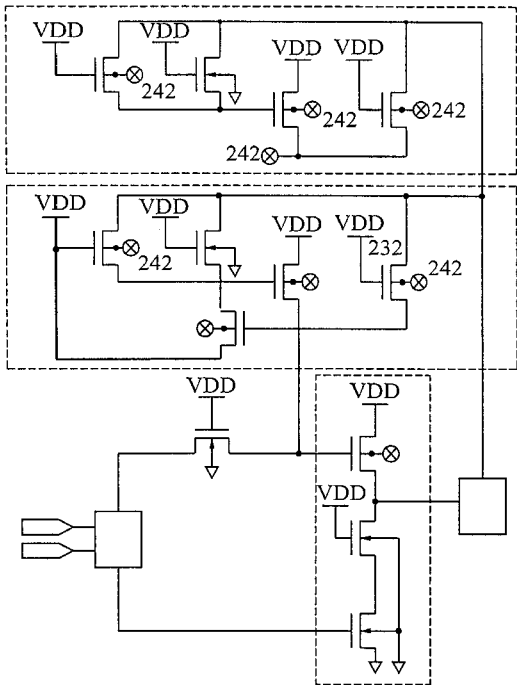
第 4 圖

(5)

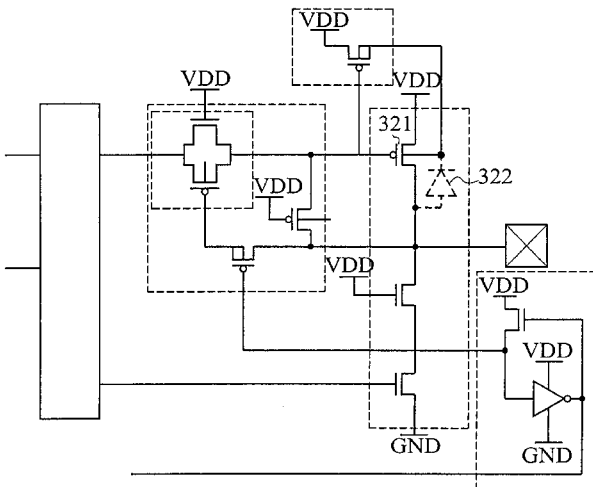


第 3 圖

(6)

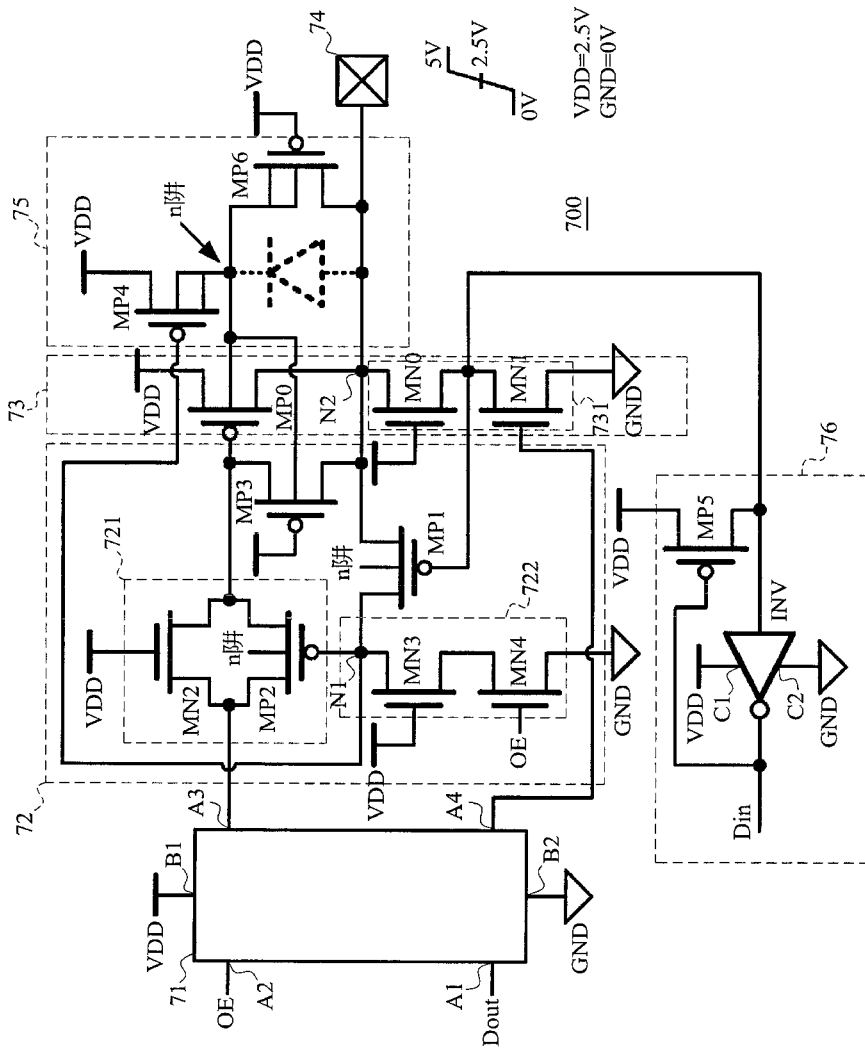


第 5 圖



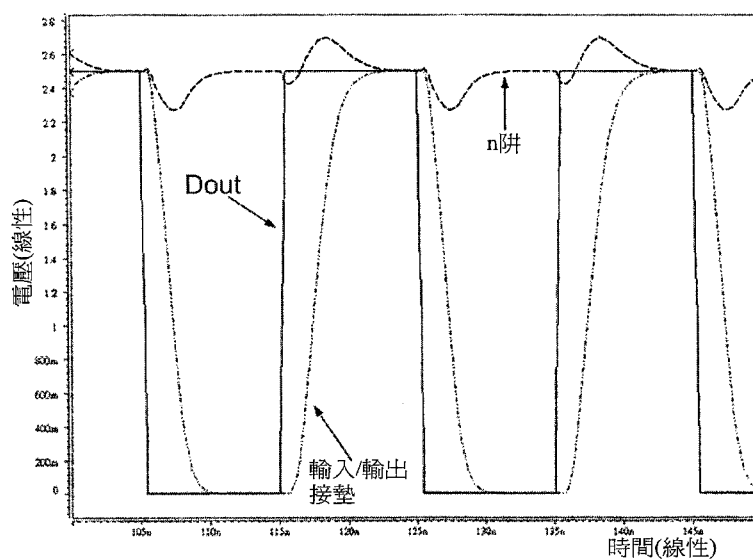
第 6 圖

(7)

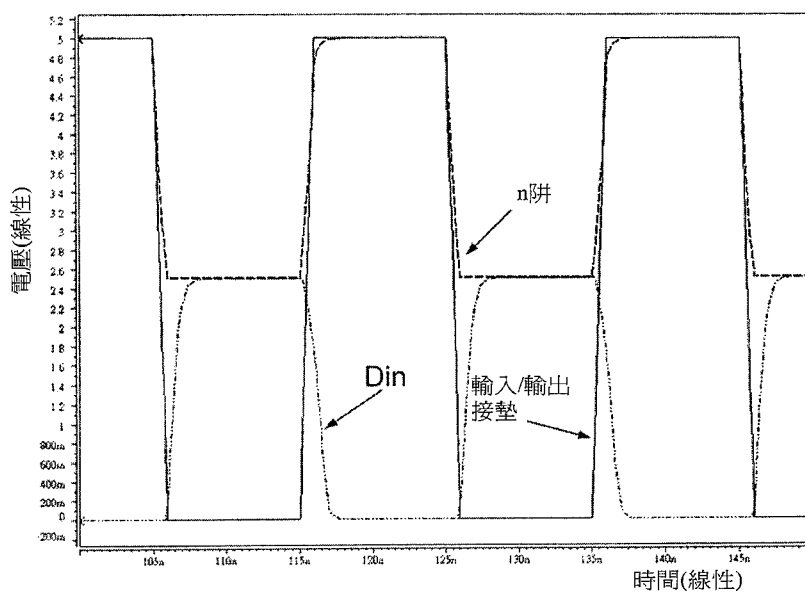


第7圖

(8)



第 8A 圖



第 8B 圖